

Analysis of Yield and Electrical Characteristics of Ag Electrode-Based Volatile Threshold Switching Memristors with Al₂O₃ Dielectric Films Under Different ALD Process Conditions

Wan-Sik Woo^{1†}, Seung-Jin Lee^{2†}, Moon-Seok Kim^{3*} , Seung-Bae Jeon^{1,2*} 

[†] First two authors contributed equally to this work.

¹ Department of Intelligent nano semiconductor, Hanbat National University, Daejeon 34158, Korea

² Department of Electronic Engineering, Hanbat National University, Daejeon 34158, Korea

³ Department of Semiconductor Convergence, Chungnam National University, Daejeon 34134, Korea

Al₂O₃ 절연막을 적용한 Ag 전극 기반 휘발성 문턱 스위칭 멤리스터의 ALD 공정 조건에 따른 수율 및 전기적 특성 변화 분석

우완식^{1†}, 이승진^{2†}, 김문석^{3*} , 전승배^{1,2*} 

¹ 국립한밭대학교 지능형나노반도체학과

² 국립한밭대학교 전자공학과

³ 충남대학교 반도체융합학과

✉ **Corresponding author(s):** kimms@cnu.ac.kr (M. S. Kim), sbjeon@hanbat.ac.kr (S. B. Jeon)

Cite as J. Electr. Electron. Mater., 39(5), 493–500 (2026), DOI: <https://doi.org/10.4313/JEEM.2026.39.5.6>

Received June 5, 2026; **Revised** July 8, 2026; **Accepted** July 8, 2026

ABSTRACT: In this study, we systematically investigated the effects of thermal atomic layer deposition (ALD) conditions on the electrical characteristics of conductive-filament-based volatile threshold switching memristors with a Pt/Al₂O₃/Ag structure. Although volatile threshold switching memristors have attracted significant attention for neuromorphic computing applications such as spiking neural networks, the impact of dielectric deposition conditions on their switching behavior remains relatively unexplored. The number of ALD cycles was varied from 40 to 200, and the deposition temperature was varied from 50 to 250°C to evaluate their effects on threshold voltage (V_{th}), off-state resistance (R_{off}), and device yield. Devices fabricated using 75–150 ALD cycles showed clear volatile threshold switching behavior with relatively high device yield, whereas excessively low or high cycle numbers resulted in short-type and open-type failures, respectively. In addition, V_{th} and R_{off} tended to increase at higher deposition temperatures, while the device yield significantly degraded above 150°C. These results indicate that the number of ALD cycles and the deposition temperature define a critical process window for achieving volatile threshold switching while suppressing both short-type and open-type failures. This study provides practical guidelines for optimizing dielectric ALD conditions in conductive-filament-based volatile threshold switching memristors for future neuromorphic hardware applications.

KEYWORDS: Volatile memristor, Atomic layer deposition, Spiking neural network, Electrochemical metallization

1 서론

최근 인공지능 기술이 빠르게 발전함에 따라 이미지, 영상처리 등 다양한 분야에서 머신러닝 기술이 응용되고 있다 [1,2]. 그러나 대부분의 머신러닝 연산은 중앙처리장치와 메모리 사이에서 반복적으로 데이터를 주고받는 폰노이만 구조에 기반하고 있기 때문에 연산 속도 저하와 높은 전력 소모라는 구조적인 한계를 안고 있다. 이러한 문제를 해결하기 위해, 인공신경망 구조를 하드웨어로 구현하여 메모리와 연산이 분리되지 않는 구조인 뉴로모픽 컴퓨팅이 새로운 대안으로 고려되고 있다 [3,4]. 여러 인공신경망 방식 중에서도, 생물학적 뉴런처럼 전기적 신호(Spike)를 이용해 정보를 전달하는 스파이크 신경망(spiking neural network, SNN)이 차세대 인공신경망 구조로 주목받고 있다 [5,6]. 해당 SNN 하드웨어 구현에는 입력이 누적되다가(Integration) 일정한 임계값을 넘으면 신호를 발화(Fire) 하는 'I&F (Integration & Fire)' 뉴런 동작이 반드시 필요하며, 이를 구현할 수 있는 소자로 유기 전기화학 트랜지스터 [7], 휘발성 문턱 스위칭 멤리스터(Volatile Threshold Switching Memristor) 등이 활발히 연구되고 있다. 이 중 휘발성 문턱 스위칭 멤리스터는 양단에 인가되는 전압이 문턱 전압(Threshold Voltage, V_{th})을 상회하면 고저항 상태(high resistance state, HRS)에서 저저항 상태(low resistance state, LRS)로 급격한 전환이 이루어지고, 이후 전압이 다시 홀드 전압(Hold Voltage, V_{ho}) 이하로 떨어지면 다시 고저항 상태로 되돌아가는 특성을 가진다. 해당 휘발성 문턱 스위칭 멤리스터를 활용하여 intrinsic 한 커패시터 혹은 병렬로 연결된 커패시터를 통해 간단히 I&F 동작을 구현할 수 있다 [8]. 이러한 휘발성 문턱 스위칭 멤리스터는 다양한 방식으로 구현될 수 있는데 [9,10], 그중 하나는 Ag(은)의 산화

-환원반응을 통한 필라멘트 형성 및 이완(relaxation)이다 [11, 12].

그림 1은 Ag 전극 기반 휘발성 문턱 스위칭 멤리스터의 동작원리를 도시한다. Ag 전극에 양전압이 인가될 시 Ag 원자가 Ag^+ 이온으로 산화되고 해당 이온이 절연막 내부를 통해 이동하며 반대 전극에서 Ag로 환원된다. Ag 전극에 인가된 전압이 문턱 전압을 상회할 시 환원된 Ag 원자들은 상·하부 전극 사이를 연결하는 전도성 필라멘트를 형성하며, 급격한 저저항 상태로의 전환이 이루어진다. 반면 인가 전압이 홀드 전압 이하로 감소하면 전기장에 의해 유지되던 Ag 전도 경로가 계면 에너지 최소화화에 따른 Ag 원자의 확산 및 재응집 과정으로 이완되어 단절되고, 이에 따라 소자는 다시 고저항 상태로 복귀한다. Ag 전극 기반 휘발성 문턱 스위칭 멤리스터는 MIM (metal-insulator-metal) 구조에 기인해 간단히 제작할 수 있으며 타 기작과 달리 특수 절연막 사용이 요구되지 않아 경제적 측면에서도 우수성을 보인다. 상기 Ag 전극 기반 멤리스터 소자의 핵심요소 중 하나는 상·하부 전극 사이에 위치한 절연막이며, 통상 원자층 증착 (atomic layer deposition, ALD) 공정을 통해 형성된다. 절연막의 두께와 증착 온도 등 공정 조건은 Ag의 산화환원 특성에 큰 영향을 미칠 것으로 예상되나 기존 연구는 주로 절연막 종류에 따른 특성 비교에 집중되어 있으며, 동일 절연막 내에서 증착 조건을 변화시켜 전기적 특성을 체계적으로 분석한 연구는 제한적이다. 따라서 본 연구에서는 Al₂O₃ 절연막을 적용한 Ag 전극 기반 휘발성 문턱 스위칭 멤리스터를 제작하고, ALD cycle 수와 증착 온도에 따른 전기적 특성 및 수율 변화를 분석함으로써 휘발성 문턱 스위칭 동작에 적합한 절연막 공정 조건 범위를 제시하고자 한다.

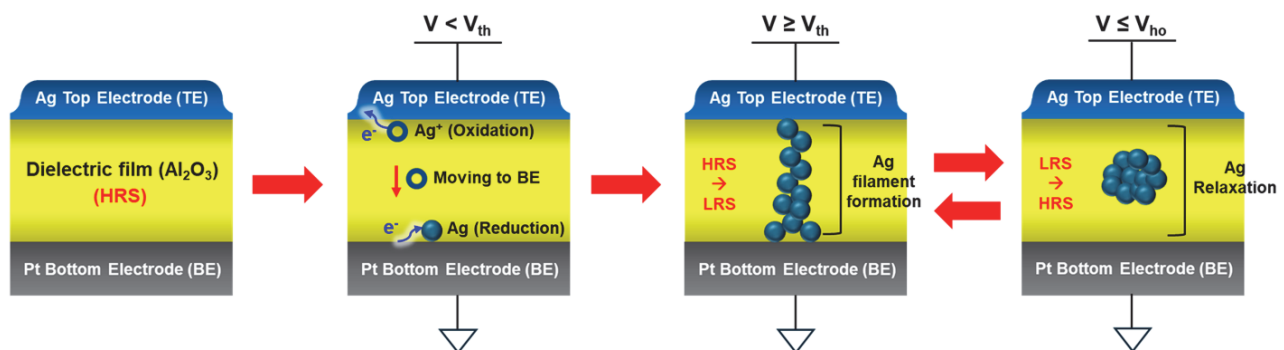


Fig. 1. Operation principle of the Ag electrode-based volatile threshold switching memristor

2 실험 방법

휘발성 문턱 스위칭 메모리스터 소자 제작 과정은 그림 2에 도시하였다. 기판과 하부 전극 간의 절연을 위해 LP-TEOS를 500 nm 두께로 증착한 뒤 Pt 하부 전극은 전자빔 증착기(E-beam evaporator)를 이용해 100 nm 두께로 증착하였다. 이때 Pt와 LP-TEOS 간의 접착력을 향상시키기 위해 Pt 증착 전 10 nm 두께의 Cr adhesive layer를 동일 전자빔 증착기를 통해 형성하였다. Al₂O₃ 절연막은 tri-methyl-aluminium (TMA)와 H₂O를 각각 Al 전구체와 산화제로 사용하여 thermal ALD 장비 (울텍, Space-S)를 통해 형성하였다. Carrier, dilution 및 purge gas로 Ar gas를 사용하였으며, 한 ALD cycle은 TMA pulse 0.1s / Ar purge 30s / H₂O pulse 0.5s / Ar purge 35s로 구성하였다. 본 공정에서 Al₂O₃의 growth per cycle은 약 1.4 Å/cycle이었으며, ALD cycle 수는 40–200 cycle, 증착 온도는 50–250°C 범위에서 조절하며 cycle 수, 증착 온도 영향성을 평가하였다. 마지막으로 상부 전극은 잉크젯 프린터 (Voltera, V-one)를 이용하여 Ag 전도성 잉크 (Conductor 3)로 형성하였다. 분사된 Ag ink는 90°C에서 5 min 동안 drying을 진행한 뒤, 170°C에서 15 min 동안 curing을 수행하였다. 이후 90°C에서 5 min 동안 thermal stabilization을 추가로 진행하였다. 제작된 휘발성 문턱 스위칭 메모리스터의 DC 전압-전류 특성 평가는 probe station과 2채널 소스미터(KEITHLEY 2636B)를 활용하여 하부전극은 접지하고, 상부 전극에 인가되는 DC 전압을 double sweep 하여 진행하였다. 고전류 도통에 따른 메모리스터 소자의 breakdown을 방지하기 위해, 측정 시 전류 compliance는 50 µA로 제한하였다.

3 결과 및 고찰

그림 3(a)는 제작된 휘발성 문턱 스위칭 메모리스터 소자의 절단면과 각 층 물질 조성을 투과 전자 현미경(TEM) 및 EDS 분석을 통해 검증한 이미지이다. 실험 방법에서 기술한 공정 과정과 같이 SiO₂, Cr (Adhesive layer), Pt (Bottom electrode), Al₂O₃ (Dielectric layer), Ag (Top electrode) 순으로 정상 형성되었음을 확인하였다. 그림 3(b)는 제작된 휘발성 문턱 스위칭 메모리스터의 DC I-V 특성 예시이다. 메모리스터 소자의 상부 전극에 인가된 전압이 V_{th}를 상회할 시 전도성 필라멘트가 형성되어 HRS에서 LRS로 급격한 전환이 이루어지고 전압이 V_{ho} 이하가 되면 Ag 전도 경로가 이완 및 단절되어 소자는 LRS에서 HRS로 복귀한다. 전체 제작된 소자 중 이처럼 HRS-LRS 간 가역적 동작이 가능한 소자를 정상 소자로 분류하고 각 공정 조건에서의 수율을 산출하였으며, 각 공정 조건 별 정상 소자를 기준으로 V_{th}, V_{ho}, 저저항상태 저항(R_{on}), 고저항상태 저항 (R_{off})을 지표로 하여 주요 전기적 특성을 비교·분석하였다.

가장 먼저 증착 온도를 100°C로 고정한 뒤 Al₂O₃ 절연막의 ALD 공정 cycle 수를 40, 75, 120, 150, 200으로 변화시키며 cycle 수가 미치는 영향성을 분석하였다. 수율의 경우 75, 120, 150 cycle에서 각각 13.67%, 16.50%, 12.68%의 비교적 준수한 수율을 보인 반면, 적은 cycle (40) 및 높은 cycle (200)에서는 0–2.15% 수준의 매우 낮은 수율을 보였다 [그림 4(a)]. 비교적 양호한 수율을 보인 75–150 cycle 범위에서 특성지표 비교 시 R_{off}의 경우 평균 2.87 GΩ에서 20.6 GΩ까지 cycle 증가에 따라 함께 증가함을 확인하였다 [그림 4(b)]. R_{off} 산포의 경우에도 cycle이 75 cycle에서 150 cycle로 증가함에 따라

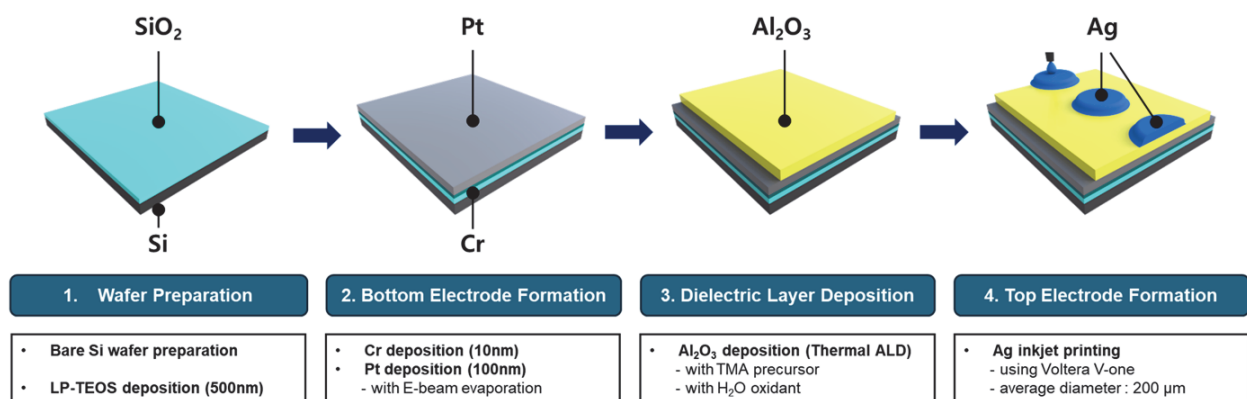


Fig. 2. Fabrication process of the Ag electrode-based volatile threshold switching memristor

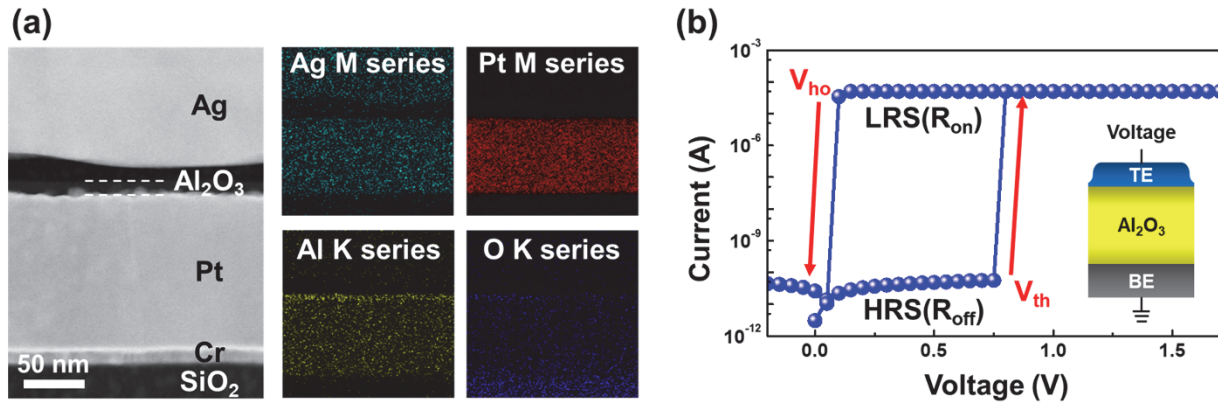


Fig. 3. (a) TEM and EDS images of the fabricated volatile threshold switching memristor device and (b) I-V characteristic of the fabricated volatile threshold switching memristor

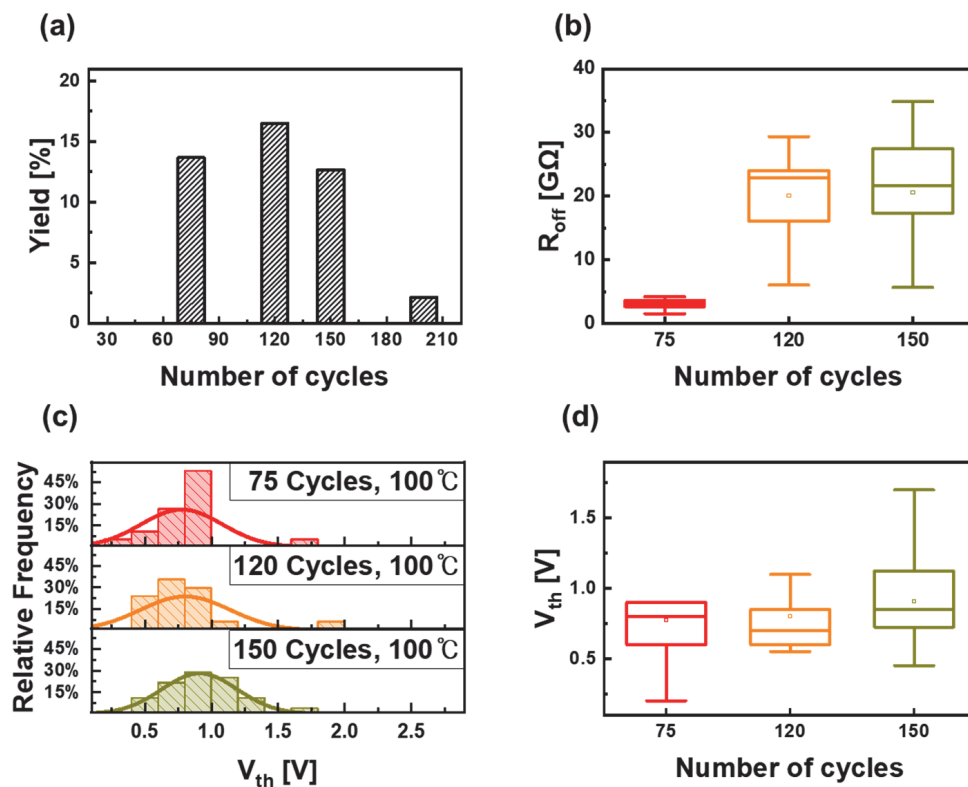


Fig. 4. Electrical characteristics of Ag electrode-based volatile threshold switching memristor devices fabricated using different numbers of Al₂O₃ ALD cycles: (a) device yield, (b) box plots of off-state resistance, (c) threshold-voltage distributions, and (d) box plots of threshold voltage. In all box plots, the boxes indicate the 25th–75th percentile ranges, the horizontal lines inside the boxes represent the median values, and the open square symbols (□) denote the mean values. The lower and upper whiskers correspond to the 5th and 95th percentiles, respectively

Table 1. Summary of electrical characteristics of Ag electrode-based volatile threshold switching memristor devices fabricated using different numbers of Al₂O₃ ALD cycles at a fixed deposition temperature of 100°C. Values of V_{th} , V_{ho} , and R_{off} are given as mean $\pm$ standard deviation. N_{total} denotes the total number of measured devices

ALD cycle	Yield (%)	V_{th} (V)	V_{ho} (V)	R_{off} (G Ω)	R_{on} (Ω)	N_{total}
40	0	N/A	N/A	N/A	N/A	100
75	13.67	0.73 ± 0.23	0.11 ± 0.10	2.87 ± 1.10	< 2 k	139
120	16.50	0.80 ± 0.33	0.09 ± 0.14	20.1 ± 5.80	< 2 k	103
150	12.68	0.86 ± 0.28	0.03 ± 0.09	20.6 ± 10.5	< 2 k	355
200	2.15	0.70 ± 0.10	0.00 ± 0.05	27.6 ± 24.3	< 2 k	93

표준편차가 1.10 G Ω 에서 10.5 G Ω 으로 증가하는 등 두께에 따른 증가 경향을 보였다. V_{th} 의 경우 75 cycle 소자의 평균 V_{th} 는 0.73 V인데 반해 150 cycle 소자의 경우 평균 0.86 V로 두께 증가에 따라 소폭 상승하는 경향성을 확인하였다 [그림 4(c), (d)]. V_{th} 산포의 경우 cycle 증가에 따른 뚜렷한 증가 경향은 보이지 않았다. R_{on} 의 경우 소자 안정성을 위해 설정한 전류 compliance로 인해 정확히 측정할 수 없었으나, V_{ho} 전후로 전압 변동에 따른 전류 변동을 관찰했을 때, 소자는 대략 2 k Ω 미만의 저항을 가졌다고 유추할 수 있었다. ALD cycle에 따른 특성 지표의 통계는 표 1에 정리하였다. 상기 수율, V_{th} , R_{off} 변화 경향은 ALD cycle에 따라 달라지는 절연막 두께에 의한 것으로 해석할 수 있다. 40 cycle 조건에서의 낮은 수율은 절연막의 두께가 충분하지 않아 상·하부 전극 간 단락이 다발했기 때문이다. 반면 증착 cycle 수가 증가할수록 단락이 완화되어 75–150 cycle 조건에서 양호한 수율을 보였다. 동일 조건 하에서 V_{th} 의 경우 절연막이 두꺼워지면 필라멘트 형성을 위해 Ag 이온이 이동해야 하는 물리적 경로가 길어지고 동일 인가 전압에서 절연막 내부 전계가 감소하여 cycle 증가에 따라 V_{th} 가 소폭 증가한 것으로 판단된다. R_{off} 의 경우 cycle 증가에 따라 상·하부 전극을 연결하는 누설 경로 형성이 감소하면서 증가 경향을 나타낸 것으로 보인다. 한편 200 cycle 조건에서는 Ag 이온의 이동 경로가 과도하게 길고, 절연막 내부 전계가 더욱 감소해 고전압을 인가하더라도 상·하부 전극 간 전도성 필라멘트가 형성되지 못해 개방성 불량률 증가, 수율이 다시 낮아진 것으로 추정된다.

이후 ALD 증착 온도 영향성 분석을 위해 증착 cycle을 75 cycle로 고정한 뒤 ALD 증착 온도를 50°C, 100°C, 120°C, 140°C, 150°C, 200°C, 250°C로 달리하여 제작한 휘발성 문턱 스위칭 멤리스터의 전기적 특성을 비교하였다. 먼저 수율은 50–140°C 구간에서 13.67–20.10% 범위를 보였으며, 120°C 조건에서 가장 높은 값을 나타냈다. 반면 150°C 이상에서는 3–5% 수준으로 급격히 감소하였다 [그림 5(a)]. 수율 양호

조건인 50–140°C 조건 간 비교 시 R_{off} 의 평균값은 2.10 G Ω 에서 5.20 G Ω 까지 온도가 증가함에 따라 함께 증가하는 경향을 보였다 [그림 5(b)]. R_{off} 산포의 경우 동일 조건 하에서 표준편차 1.34 G Ω 이하인 50°C, 100°C 조건과 달리 120°C 이상 조건에서 표준편차 2.43 G Ω 이상으로 증가하는 경향을 보였다. V_{th} 의 경우 50–120°C 범위에서는 평균 0.72–0.78 V 범위에서 비교적 유사하게 나타났으나 140°C, 150°C, 200°C에서는 각각 0.93 V, 1.01 V, 1.07 V로 소폭 증가하였다. V_{th} 산포는 50–200°C 온도 대역에서 표준편차 0.2–0.34 V 수준으로 큰 변동을 보이지는 않았다. 다만 250°C 조건에서는 V_{th} 평균값과 표준편차가 각각 1.79 V, 0.68 V 수준으로 크게 증가하였다 [그림 5(c), (d)]. 다양한 증착 온도 조건에 따른 전기적 특성 지표 통계는 표 2에 요약하였다. 앞서 소개한 결과는 증착 온도 변화에 따른 Al₂O₃ 박막의 밀도 및 결합 변화를 통해 정성적으로 해석할 수 있다. 비정질 Al₂O₃ 박막은 증착 온도가 증가함에 따라 박막의 밀도가 증가하고 결합은 감소하는 것으로 알려져 있다 [13]. 따라서 수율 양호 조건인 50–140°C 구간에서는 증착 온도 증가에 따라 절연막 밀도 증가, 결합 감소가 절연막 내 누설 경로를 감소시켜 R_{off} 가 증가한 것으로 판단된다. 이와 유사하게 절연막 밀도 증가에 따라 Ag 이온 이동도가 감소하고, 박막 내 결합 감소로 인해 초기 Ag 필라멘트 형성이 용이한 경로가 감소하면서 증착 온도 증가에 따라 V_{th} 가 소폭 증가한 것으로 해석된다. 반면 150°C 이상의 높은 증착 온도 조건에서는 박막 밀도 증가와 결합 감소가 더욱 두드러져 Ag 이온의 이동 및 국부적인 전도성 필라멘트 형성이 제한되었고, 그 결과 수율이 급격히 감소한 것으로 추측된다.

본 연구에서 사용된 구체적인 ALD cycle 수 혹은 증착 온도 수치는 이중 장비로의 확산 시 미세 조정이 필요할 수 있으나, ALD cycle 수에 따른 절연막 두께 변화, 증착 온도에 따른 절연막 밀도, 결합 상태 변화 및 그에 따른 전기적 특성 변화 경향은 동일 전구체 및 산화제를 사용하는 thermal ALD 공정에서 일반적으로 고려해야 할 경향성이다.

따라서 본 연구 결과는 이중 장비를 통한 휘발성 문턱 스위칭 멤리스터 제작에 있어서도 유용한 공정 지침으로 기능할 수 있다. 또한 본 연구에서 확인된 정상, 불량 소자의 경우 특정 영역 편중 경향 없이 wafer 전반에 혼재되어 있

음을 확인할 수 있었는데, 만약 절연막 균일성 개선을 위한 어닐링 기법 [14] 등이 함께 적용된다면 이러한 무작위성을 억제하고 보다 정교한 공정 조건 탐색이 가능할 것으로 기대된다.

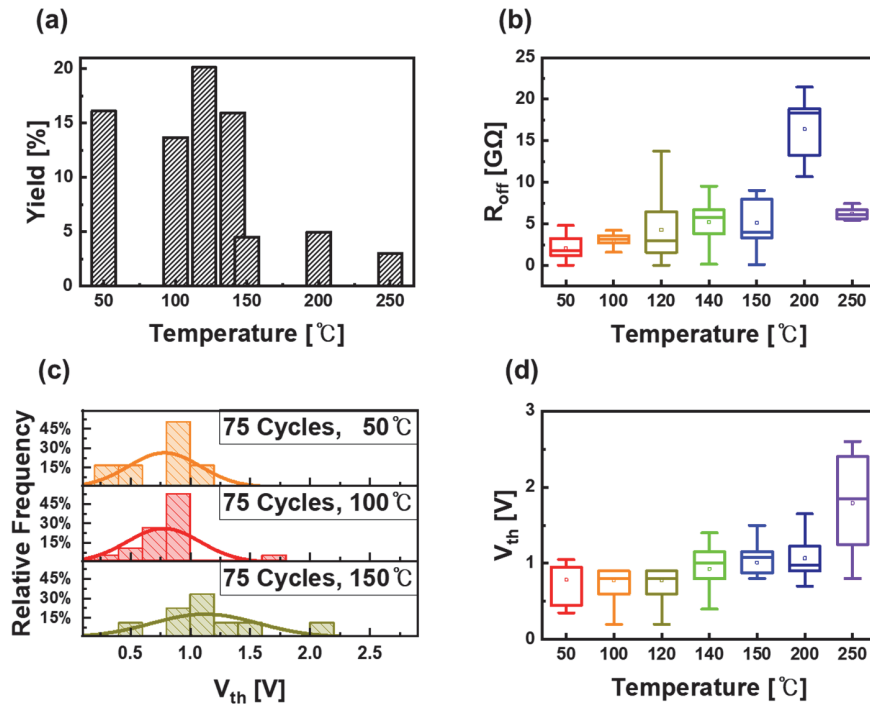


Fig. 5. Electrical characteristics of Ag electrode-based volatile threshold switching memristor devices fabricated at different Al₂O₃ ALD deposition temperatures using 75 ALD cycles: (a) device yield, (b) box plots of off-state resistance, (c) threshold-voltage distributions for representative deposition temperatures, and (d) box plots of threshold voltage. In all box plots, the boxes indicate the 25_{th}–75_{th} percentile ranges, the horizontal lines inside the boxes represent the median values, and the open square symbols (□) denote the mean values. The lower and upper whiskers correspond to the 5_{th} and 95_{th} percentiles, respectively

Table 2. Summary of electrical characteristics of Ag electrode-based volatile threshold switching memristor devices fabricated at different Al₂O₃ ALD deposition temperatures using 75 ALD cycles. Values of V_{th} , V_{ho} , and R_{off} are given as mean $\pm$ standard deviation. N_{total} denotes the total number of measured devices

Temp (°C)	Yield (%)	V_{th} (V)	V_{ho} (V)	R_{off} (GΩ)	R_{on} (Ω)	N_{total}
50	16.10	0.78 ± 0.30	0.13 ± 0.12	2.10 ± 1.34	< 2 k	118
100	13.67	0.73 ± 0.23	0.11 ± 0.10	2.87 ± 1.10	< 2 k	139
120	20.10	0.72 ± 0.20	0.09 ± 0.08	4.29 ± 3.51	< 2 k	199
140	15.92	0.93 ± 0.27	0.09 ± 0.08	5.20 ± 2.43	< 2 k	245
150	4.50	1.01 ± 0.30	0.04 ± 0.05	5.13 ± 2.95	< 2 k	178
200	4.96	1.07 ± 0.30	0.15 ± 0.06	16.4 ± 3.87	< 2 k	141
250	3.02	1.79 ± 0.68	0.06 ± 0.07	6.23 ± 0.74	< 2 k	199

4 결론

본 연구에서는 Al_2O_3 절연막을 적용한 Ag 전극 기반 휘발성 문턱 스위칭 메모리스터를 제작하고, 절연막 ALD cycle 수와 증착 온도가 소자의 수율 및 전기적 특성에 미치는 영향을 분석하였다. 먼저 증착 온도를 100°C 로 고정하고 ALD cycle 수를 40–200 cycle 범위에서 변화시킨 결과, 75–150 cycle 조건에서 휘발성 문턱 스위칭 동작이 상대적으로 높은 수율로 관찰되었으며, 120 cycle 조건에서 가장 높은 수율을 나타냈다. 반면 40 cycle 조건에서는 상·하부 전극 간 단락에 의한 short-type failure가 주로 관찰되었고, 200 cycle 조건에서는 높은 전압에서도 초기 전도성 필라멘트가 형성되지 않는 open-type failure가 우세하게 나타났다. 또한 75–150 cycle 범위에서 R_{off} 는 $2.87\text{ G}\Omega$ 에서 $20.6\text{ G}\Omega$ 로 증가하였고, V_{th} 는 0.73 V 에서 0.86 V 로 소폭 증가하였다.

이후 ALD cycle 수를 75 cycle로 고정하고 증착 온도를 $50\text{--}250^\circ\text{C}$ 범위에서 변화시킨 결과, $50\text{--}140^\circ\text{C}$ 구간에서는 13.67–20.10% 수준의 수율을 보였으며, 120°C 조건에서 가장 높은 수율을 나타냈다. 반면 150°C 이상에서는 수율이 약 3–5% 수준으로 감소하였다. 전기적 특성 측면에서는 증착 온도가 증가함에 따라 R_{off} 가 200°C 까지 증가하는 경향을 보였으며, V_{th} 역시 고온 조건에서 증가하는 경향을 나타냈다.

이러한 결과는 Al_2O_3 절연막의 ALD cycle 수와 증착 온도가 Ag 전극 기반 휘발성 문턱 스위칭 소자의 전도성 필라멘트 형성 및 이완 거동에 영향을 미치며, short-type 및 open-type failure를 억제하기 위한 적절한 절연막 공정 조건 범위가 존재함과 동시에 해당 공정 변수를 통한 R_{off} , V_{th} 등 소자 특성의 미세 조정이 가능함을 시사한다. 이에 본 연구 결과는 향후 SNN 향 다중 I&F 뉴런 어레이 구현에 있어 수율 증대와 더불어 R_{off} , V_{th} 조절을 통한 뉴런 소자의 누적 및 발화 특성 미세 조절을 위한 공정 가이드라인으로 활용될 수 있을 것으로 기대된다.

ORCID

Moon-Seok Kim <https://orcid.org/0000-0001-5208-5649>

Seung-Bae Jeon <https://orcid.org/0009-0001-7054-1633>

감사의 글

이 연구는 2025학년도 국립한밭대학교 학술문화연구재단에서 지원을 받았음.

Conflict of Interest

The authors have no conflicts of interest to declare.

Author Contributions

Wan-Sik Woo: Conceptualization, Validation, Formal analysis, Writing - Original Draft.

Seung-Jin Lee: Conceptualization, Validation, Formal analysis, Writing - Original Draft.

Moon-Seok Kim: Writing - Review & Editing, Methodology, Visualization, Supervision, Project administration.

Seung-Bae Jeon: Writing - Review & Editing, Methodology, Visualization, Supervision, Project administration, Funding acquisition.

Data Availability

Data available on request from the authors.

References

- [1] Y. LeCun, L. Bottou, Y. Bengio, and P. Haffner, *Proc. IEEE*, **86**, 2278 (1998).
doi: <https://doi.org/10.1109/5.726791>
- [2] A. Krizhevsky, I. Sutskever, and G. E. Hinton, *Commun. ACM*, **60**, 84 (2017).
doi: <https://doi.org/10.1145/3065386>
- [3] J. W. Jang, S. Park, G. W. Burr, H. Hwang, and Y. H. Jeong, *IEEE Electron Device Lett.*, **36**, 457 (2015).
doi: <https://doi.org/10.1109/LED.2015.2418342>
- [4] M. Seo, M. H. Kang, S. B. Jeon, H. Bae, J. Hur, B. C. Jang, S. Yun, S. Cho, W. K. Kim, M. S. Kim, K. M. Hwang, S. Hong, S. Y. Choi, and Y. K. Choi, *IEEE Electron Device Lett.*, **39**, 1445 (2018).
doi: <https://doi.org/10.1109/LED.2018.2852698>
- [5] K. Roy, A. Jaiswal, and P. Panda, *Nature*, **575**, 607 (2019).
doi: <https://doi.org/10.1038/s41586-019-1677-2>
- [6] P. Panda, S. A. Aketi, and K. Roy, *Front. Neurosci.*, **14**, 653 (2020).
doi: <https://doi.org/10.3389/fnins.2020.00653>
- [7] H. Jeong, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **39**, 147 (2026).
doi: <https://doi.org/10.4313/JEEM.2026.39.2.4>

- [8] Y. F. Lu, Y. Li, H. Li, T. Q. Wan, X. Huang, Y. H. He, and X. Miao, *IEEE Electron Device Lett.*, **41**, 1245 (2020).
doi: <https://doi.org/10.1109/LED.2020.3006581>
- [9] R. Wang, J. Q. Yang, J. Y. Mao, Z. P. Wang, S. Wu, M. Zhou, T. Chen, Y. Zhou, and S. T. Han, *Adv. Intell. Syst.*, **2**, 2000055 (2020).
doi: <https://doi.org/10.1002/aisy.202000055>
- [10] D. Lee, M. Kwak, K. Moon, W. Choi, J. Park, J. Yoo, J. Song, S. Lim, C. Sung, W. Banerjee, and H. Hwang, *Adv. Electron. Mater.*, **5**, 1800866 (2019).
doi: <https://doi.org/10.1002/aelm.201800866>
- [11] Z. Wang, S. Joshi, S. E. Savel'ev, H. Jiang, R. Midya, P. Lin, M. Hu, N. Ge, J. P. Strachan, Z. Li, Q. Wu, M. Barnell, G. L. Li, H. L. Xin, R. S. Williams, Q. Xia, and J. J. Yang, *Nat. Mater.*, **16**, 101 (2017).
doi: <https://doi.org/10.1038/nmat4756>
- [12] J. H. Yoon, Z. Wang, K. M. Kim, H. Wu, V. Ravichandran, Q. Xia, C. S. Hwang, and J. J. Yang, *Nat. Commun.*, **9**, 417 (2018).
doi: <https://doi.org/10.1038/s41467-017-02572-3>
- [13] S. Kim, S. H. Lee, I. H. Jo, J. Seo, Y. E. Yoo, and J. H. Kim, *Sci. Rep.*, **12**, 5124 (2022).
doi: <https://doi.org/10.1038/s41598-022-09054-7>
- [14] Y. S. Kim, D. H. Jung, H. J. Park, J. W. Yeon, T. H. Kil, and J. Y. Park, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **37**, 148 (2024).
doi: <https://doi.org/10.4313/JKEM.2024.37.2.4>