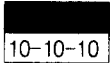


결정입계 처리에 따른 다결정 실리콘 태양전지의 효율 향상



Efficiency Improvement of Polycrystalline Silicon Solar Cells using a Grain boundary treatment

김상수*, 임동건**, 김도영**, 김재문*, 원충연**, 이준신**

(Sang-Su Kim, Dong-Gun Lim, Do-Young Kim, Jae-Mun Kim, Chung-yeon Won, Junsin Yi)

Abstract

A solar cell conversion efficiency was degraded by grain boundary effect in polycrystalline silicon. Grain boundaries acted as potential barriers as well as recombination centers for the photo-generated carriers. To reduce these effects of the grain boundaries, we investigated various influencing factors such as emitter thickness, thermal treatment, preferential chemical etching of grain boundaries, grid design, contact metal, and top metallization along grain boundaries. Pretreatment in N₂ atmosphere and gettering by POCl₃ and Al were performed to obtain multicrystalline silicon of the reduced defect density. Structural, electrical, and optical properties of solar cells were characterized before and after each fabrication process. Improved conversion efficiencies of solar cell were obtained by a combination of pretreatment above 900°C, emitter layer of 0.43μm, Al diffusion into grain boundaries on rear side, fine grid finger, top Yb metal and buried contact metallization along grain boundaries.

Key Words(중요 용어) : Polycrystalline Silicon(다결정 규소), Solar Cell(태양전지), Grain Boundary(결정입계), Buried Contact Metallization(함몰전극 형성)

1. 서 론

태양전지를 사용한 전력은 아직 기존의 상용전력에 비해 생산 단가가 높아서 생산단가를 낮추면서도 변환 효율이 높은 태양전지의 제작이 필수적이다¹⁾. 다결정 실리콘 태양전지는 단결정 태양전지의 70~80%에 달하는 변환 효율 달성이 가능하며, 웨이퍼 가격이 50% 낮다. 현재 다결정 실리콘 태양전지의 연구 분야는 저가의 기판 위에 다결정 실리콘을 성장하는 연구, 박막으로 성장된 실리콘을 다결정화하는 연구, 고온에서 다결정 웨이퍼를 성장시킨 후 불순물을 석출하고, 태양전지를 제작하는 연구 등이 진행되고 있다²⁾. 태양전지의 효율은 광학적, 전기적 손실에 의해 제한을 받기 때문에 손실을 최소화시키

기 위한 공정으로 전열처리(pretreatment)를 통한 결함 밀도 개선, 게터링(gettering)을 통한 불순물 석출, 수소화 처리(Hydrogen passivation)와 산화막 성장(oxidation)을 통한 표면 재결합 감소, 선택 확산을 통한 결정입계의 영향 최소화 등이 진행되고 있다^{3,4)}. 다결정 실리콘은 쌍정(twins), 전위(dislocation) 등 결정입 내부 결함(intragrain defect)과 결정입계(grain boundary)를 많이 포함하고 있어 태양전지의 광 변환 효율을 저하시킨다. 결정입계는 전위장벽을 형성하여 반송자의 흐름에 장벽을 주거나 계면 내에 존재하는 트랩 때문에 빛에 의해 생성된 반송자는 결정입계에서 재결합한다. 재결합은 다결정 태양전지의 소수 반송자 수명을 단축하고 변환효율을 감소시킨다⁵⁾. 본 연구에 의한 다결정 태양전지의 구조는 결정입계를 따라 전극을 형성하여 소수 반송자 수명을 연장하는 효과를 얻어 변환효율을 상승시키고자 한다. 결정입계의 영향을 줄이기 위해 전열처리, 불순물 석출, 표면처리 등을 수행하였다. p-n접합 후에 n층의 두께에 대한 영향, 후면 전계 형성을 위한 후

* : 성균관대학교 전기공학과

** : 성균관대학교 전기전자 및 컴퓨터공학과

접수일자 : 1997년 5월 9일

심사완료 : 1997년 11월 20일

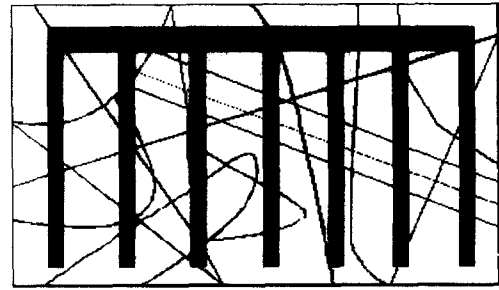
면 처리, 결정입계 식각 후 상부전극 형성과 다양한 전극 형태를 조사하였다.

2. 실험 방법

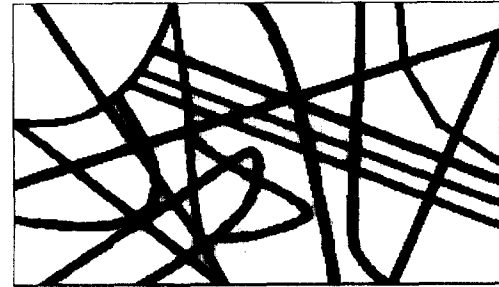
본 연구의 실험은 p형 다결정 실리콘 웨이퍼의 크기가 $10\text{cm} \times 10\text{cm}$, 두께가 $350\mu\text{m}$, 비저항이 $1 \sim 5\Omega\text{-cm}$ 인 기판을 출발 물질로 사용하였다. 결정입 (grain) 수는 $10\text{cm} \times 10\text{cm}$ 기판에 약 59개의 결정이 존재하였다. 결정입 크기 범위는 $5 \sim 50\text{mm}$ 이고 평균 크기는 16.9mm 이다. 다결정 실리콘의 캐리어 수명은 $5\mu\text{sec}$ 이상이다. 다결정 실리콘의 전열처리를 위해 온도 $600, 700, 800, 900, 1000^\circ\text{C}$ 에서 30분간 열처리하고, 전열처리 시간의 영향을 조사하기 위해 900°C 에서 30, 60, 120, 320분간 처리하였으며, 가스 분위기의 영향을 살피기 위해 질소, 질소와 수소 혼합 가스를 사용하였다. 다결정 기판의 열처리 전, 후의 비저항 성분 변화와 결정입계의 영향에 따른 비저항 성분 변화는 4분 탐침법인 Signatone S-30L system을 이용하였다⁶⁾. 비저항은 시료 하나에 3번에서 6번 각각 다른 부분을 측정하였다. KOH 또는 KOH+IPA+DI water를 사용한 습식 식각을 한 후에 POCl_3 로 n형 전면 확산을 행하였다. 다결정 실리콘 기판의 광학적 특성 규명을 위해 광원으로 할로젠 램프를 이용하여 조사시 전류-전압 특성을 조사하였다. N층의 저항성분 또한 4분 탐침법을 사용하여 규명하였다. 다결정 기판에 n형 확산을 행한 후에는 2가지 습식 식각된 시료에 대하여 각각 buffered HF로 표면의 산화막을 제거하고 상부 전극을 형성하거나 산화막을 성장한 후 상부 전극을 형성하였다.

그림 1은 상부 금속 형성을 위해 시도된 전극 형태이다. 상부 금속 형태는 그림 1의 (a) 기존의 전극과 (b) 결정입계로의 함몰전극(buried contact grid)⁷⁾ 그리고 (c) 기존의 전극에 결정입계로의 함몰전극이 혼합된 전극의 3가지로 시도되었다. 함몰전극 형성을 위해 기판 표면에 포지티브 감광막을 입히고 결정입계만을 선택적으로 제거하고 실리콘 기판을 화학물로 $0.4\mu\text{m}$ 깊이로 식각한 후 기판 전체에 상부 금속을 증착하였다. 결정입계로만 금속이 직접 접촉하고 다른 부분은 감광막위에 금속이 입혀져 lift-off 과정을 통하여 결정입계에 함몰전극을 형성하였다. 전지의 상부 금속에 대한 영향은 Al, Cr, Yb를 이용하여 연구하였다.

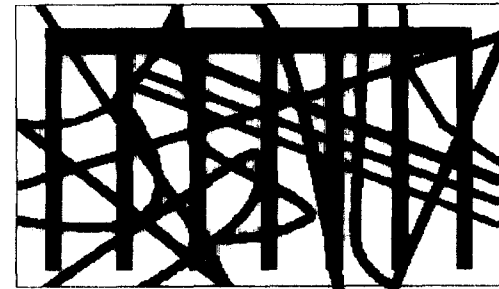
그림 2는 하부 처리에 다른 태양전지의 구조이다. 습식 식각을 이용하여 전지의 후면 처리에 따른 영향을 살펴보았다. n형 확산시 기판의 후면에도 n층



(a) conventional grid.



(b) buried electrode along grain boundaries.



(c) conventional grid+buried electrode along grain boundaries.

그림 1. 본 연구에서 시도된 다양한 상부 전극 형태.
Fig. 1. The various top electrode patterns used in the investigation.

이 확산이 되므로 등방성 식각액($\text{HNO}_3(70\%)+\text{DI water}+\text{HF}(49\%)=50:20:2$)⁸⁾으로 후면 n층을 제거한 후 하부 전극을 형성하거나 후면 결정입계에서의 캐리어 재결합을 줄이기 위해 결정입계를 선택적으로 식각하는 Schimmel 식각액($\text{HF}+(1\text{M}-\text{CrO}_3)=2:1$)⁹⁾으로 습식 식각을 한 후 하부 전극을 형성하였다. 하부 전극은 진공증착법으로 Al(99.99%, $\phi=0.5\text{mm}$ wire)을 약 1000Å 두께로 증착했다. 알루미늄 증착 후 후면 전계 형성(back surface field)을 위해 620°C 에서 20분간 질소분위기 열처리를 행하였다.

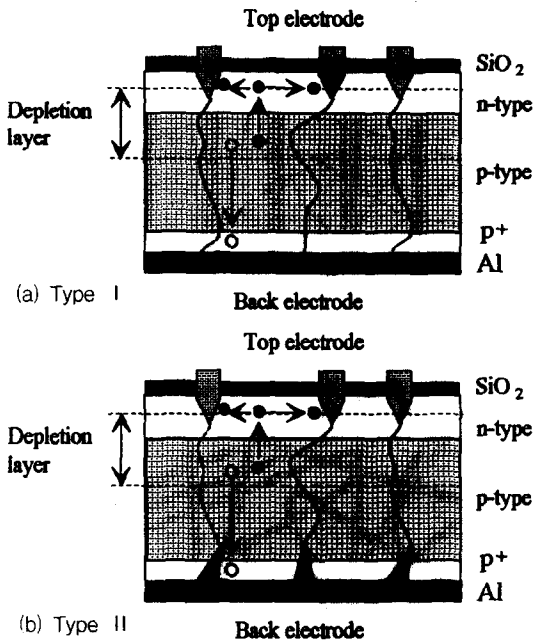


그림 2. 다결정 실리콘 기판의 하부 처리에 따른 태양전지의 구조.

Fig. 2. The fabricated structure of solar cells for the various back-side treatments of poly Si substrate (buried electrodes are shown as a top contact metal).

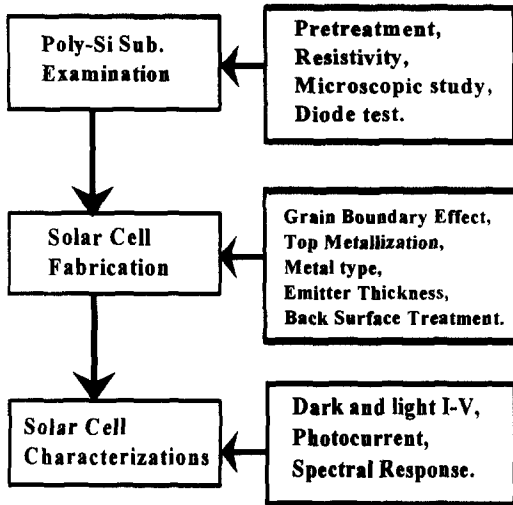


그림 3. 다결정 실리콘 태양전지 제작순서와 소자 특성 규명 요소들.

Fig. 3. The fabrication procedures and device characterization factors of poly-Si solar cells.

그림 3은 다결정 실리콘 태양전지 제작순서와 소자 특성 규명 요소들을 나타냈다. 제작이 완료되면 n-p 접합 분리를 위해 최종적으로 diamond saw cutter(Buehler ISO 9001)로 절단 후에 제작된 태양전지의 암, 조사시 전류-전압 특성을 관찰하였다. 분광 반응도는 Jobin Yvon XC-150 광원과 MAP23 monocromator controller를 이용하고 전류는 Keithley 617을 이용하여 측정하였다.

3. 결과 및 고찰

다결정 실리콘 기판의 열처리 온도에 따른 비저항 성분 변화에서 결정입계의 영향으로 비저항 성분의 이산화 정도가 크나 일반적으로 열처리 온도가 증가함에 따라 비저항 값이 감소함을 볼 수 있다¹⁰⁾. 이는 열처리 온도가 높아질수록 다결정 기판의 결함 밀도 감소에 따른 전기 전도도 개선으로 해석이 가능하다. 전열처리는 900°C 이상을 권유하며 시간은 30분 이상의 조건이면 큰 영향을 미치지 않았다¹⁴⁾.

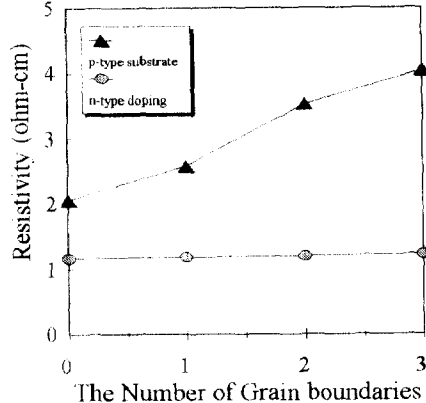


그림 4. 결정입계의 갯수에 따른 비저항 성분 변화.
Fig. 4. Resistivity change as a function of the number of grain boundaries.

그림 4는 측정시 탐침 사이에 결정입계를 몇 개나 포함하고 있는 것에 따라 비저항 성분의 변화를 나타낸다. 일반적으로 결정입계의 갯수가 증가할수록 비저항 성분이 증가하였다. 이는 결정입계가 전위장벽의 역할로 저항성분이 증가하기 때문으로 사려된다. 다결정 실리콘을 초음파 세척을 하고 KOH와 KOH+IPA+DI water를 사용하여 식각을 한 후 전면 확산을 POCl₃로 doping하여 접합 깊이는 약 0.5μm를 얻었다. 결정립 방향성이 각 결정립마다 다르므로

로 KOH+IPA+DI water를 사용하여 texturing 식각을 한 후의 표면 구조는 여러 방향 결정립이 공존하며 삼각형 etch pit은 (111) 방향으로 먼저 식각되었음을 나타낸다. 습식 식각은 또한 결정입계로만 먼저 식각되는 정도가 빨라서 결정입계의 영향을 줄이기 위해 다결정입계면으로 전극을 형성할 수 있고 이런 방법을 통해 고효율 다결정 태양전지 제작이 가능함을 알 수 있다. N층의 비저항을 4분 탐침법으로 10여군데의 측정결과 0.02~0.09Ω-cm를 얻었다. 측정된 비저항에 상응하는 불순물의 농도는 $5.1 \times 10^{16} \text{cm}^{-3} \sim 2.3 \times 10^{17} \text{cm}^{-3}$ 를 얻었다.



그림 5. Schimmel 식각액으로 10분동안 식각된 다결정 실리콘 기판의 표면구조(400배 확대).

Fig. 5. The surface structure of poly-Si substrate etched by Schimmel etchant for 10min (Mag. ×400).

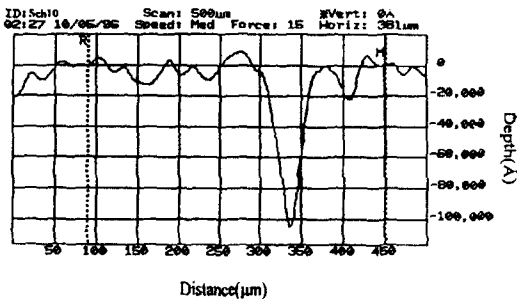


그림 6. Schimmel 식각액으로 10분동안 식각된 다결정 실리콘 기판의 α-step 측정결과.

Fig. 6. The α-step measurement of poly-Si substrate etched by Schimmel etchant for 10min..

Schimmel 식각액을 이용하여 결정입계를 선택적으로 식각하면서 texturing된 표면 구조와 α-step 측정결과를 그림 5와 그림 6에서 볼 수 있다.

Texturing된 표면 구조가 불규칙한 피라미드 형태로 2μm 정도의 깊이로 형성되고 동시에 결정입계를 우선 식각하여 깊이가 약 10μm가 된다. Schimmel 식각액을 기판 후면에 적용하고 하부금속을 형성하여 광여기된 캐리어의 손실을 줄이고자 하였다. 후면 n층만을 제거한 후에 하부전극을 형성한 전지와 비교해 볼 때 장파장대의 광전류 특성이 약간 개선되었다. 이는 후면의 결정입계로 인한 재결합 손실이 감소되었음을 나타낸다. 전지 면적은 0.11cm²에서 2.1cm²까지 범위하였다. 전극의 차광 면적(shading area)은 4%에서 9%까지 범위하였다. 다양한 전극 형태중에서도 전극 선 간격(finger spacing)이 작을수록, 전극 금속 선폭(line width)이 좁을수록 효율 특성이 좋게 나타났다. 다결정 실리콘은 결정입의 크기가 많은 차이를 보여 결정립의 크기가 큰 기판인 경우 결정입계로만 함몰전극을 형성한 전지는 전극 간격이 평균 17mm 정도로 넓어서 전극 선 간격의 직렬저항 성분 때문에 광여기된 캐리어들을 효과적으로 수집할 수 없어 전지의 특성은 좋지 못했다.

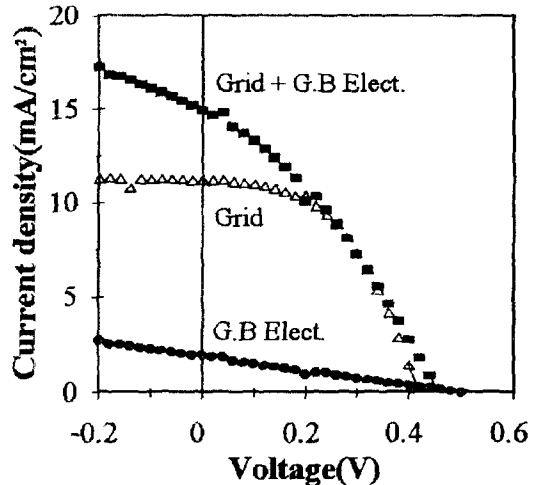


그림 7. 빛 조사시 다결정 실리콘 태양전지의 전류-전압 특성.

Fig. 7. Light I-V characteristic curves for poly-Si solar cells.

그림 7은 기존의 전극형태로 전지 면적의 7%로 상부 전극을 형성한 전지와 결정입계만을 따라 함몰전극을 형성한 전지, 그리고 기존의 전극에 결정입계를 따라 함몰전극을 추가 형성한 전지 모두 3가지 종류의 태양전지의 빛 조사시 전류밀도-전압 측정결과를 보인 결과이다. 기존의 전극에 결정입계로

전극 형성을 추가한 전지는 단락전류밀도가 향상된 특성을 보였다. 전압을 -0.2V에서 0.6V까지 변화하였으며 전류밀도는 15mA/cm²까지 달성하였다. 입사 광 전력을 고려하면 전류밀도는 우수하다고 고려되나 개방전압은 비교적 낮은 0.41V로 측정되었다. 이는 표면 n층의 불순물 농도가 비교적 낮기 때문이다. 개방전압 증가와 직렬저항 성분 감소를 위해선 향후 1×10¹⁸cm⁻³ 정도로 불순물 농도를 조절할 필요가 있다. 결정입계로 함몰전극만을 형성한 전지는 함몰 전극간 간격이 평균 17mm 정도로 기존의 전극 간격(0.4~0.8mm)보다 넓고 불규칙해서 광생성된 캐리어들을 효과적으로 수집할 수 없어 효율이 향상되지 못했다. 기존의 전극에 결정입계를 따라 함몰전극을 추가 형성한 전지에서 측정된 효율 향상은 개방전압보다는 단락전류의 개선에 의한 것으로 보아 광생성된 반송자가 결정입계에서 재결합하거나 전위장벽에 의한 방해가 줄어들어 광전류 수집이 증가함으로써 광세기가 8.9mW/cm²일 때 변환효율이 16.8%에서 약 2%가 상승된 18.7%로 측정되었다. 결정입계를 따라 함몰전극을 추가 형성한 전지는 표면에 추가된 전극 면적에 의한 차광 손실보다도 결정입계면 재결합이나 전위장벽으로 인한 손실이 약 2% 정도 더 컸음을 알 수 있다. 상부전극으로 이용한 Al, Cr, Yb는 낮은 일함수 특성을 보이는 금속이며 n-type에 오믹접촉, p-type에 schottky장벽을 형성하는 금속들이며 Yb는 반도체와 오믹접촉이나 schottky 접촉 금속으로 사용되어지는 양질의 금속을 보고되고 있다¹¹⁻¹⁴. 상부전극으로 이용한 각 금속들의 전류-전압 특성 곡선은 유사하였다. Yb는 증착하기가 용이하였으며 전류-전압 특성은 약간 더 우수하였다. 상부금속 접합 후 접촉저항을 줄이기 위한 열처리는 질소 분위기에서 15분씩 300, 400, 500, 600°C 에서 처리한 후 태양전지의 특성을 조사하였다. 열처리가 300°C~500°C까지는 광변환 효율이 최고 2% 내외에서 개선됨을 보였다. 그러나 열처리 온도 600°C 이상에서는 Yb 금속이 n층을 모두 확산해 들어가 p층 기판과 접촉하게 되어 변환 효율이 급격히 감소됨을 보였다. 그림 8은 광세기가 증가함에 따라 제작된 태양전지의 단락전류와 개방전압이 증가하지만 곡선 인자가 감소하여 변환 효율이 감소함을 보이고 있다. 이는 태양전지 n층의 비교적 낮은 불순물 농도에 기인한 직렬저항(series resistance)성분 때문으로 생각되며 광전류 변화분과 전압 변화분의 비($\Delta V/\Delta I$)로 계산된 태양전지의 직렬저항은 10Ω 이상으로 크게 나타났다¹⁵. 또한 blue filter와 red filter를 두고서 광전류-전압 특성을 살펴보면 일반적으로 red

filter에서 보다 더 좋은 특성을 보이고 있어 광생성 전류가 p형 기판에서 광생성 기여도가 크며 표면에서는 전류 기여도가 약간 더 낮음을 알 수 있다.

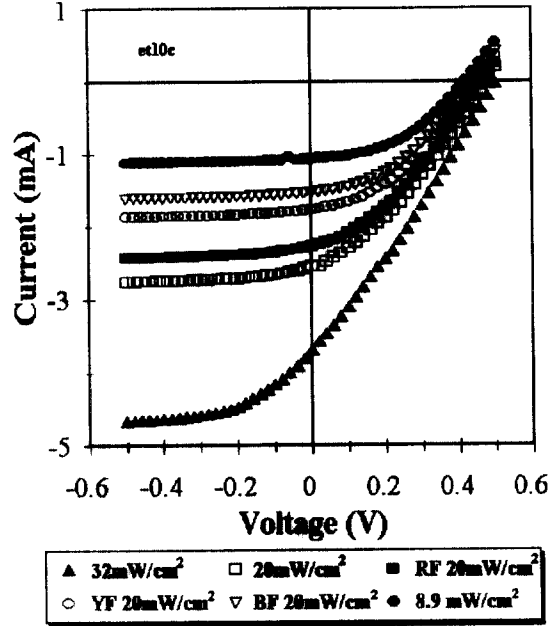


그림 8. 다양한 광세기에 따른 단락 전류와 개방전압의 변화.

Fig. 8. Changes in short circuit current and open circuit voltage for the various light intensities.

상부 n층 두께에 대한 영향을 조사하기 위하여 등방성 식각액으로 50HNO₃(60%) + 20DIWater + 1HF(49%)를 이용하여 n층의 두께를 조절하였다. n층 두께가 0.43μm일 때 특성 개선을 볼 수 있었고 두께가 0.4μm일 때 광전류는 개선이 있지만 곡선인자가 저하되는 특성을 보였다. 식각시간이 240초에서는 거의 모든 n층이 제거되어 전류 전압 모두 크게 저하되었다.

그림 9은 기존의 전극형태를 지닌 태양전지와 기존의 전극 구조에 결정입계로 함몰 전극 형성이 추가된 태양전지의 분광 반응도를 나타내었다. 기존의 전극 구조에 결정입계로 전극이 추가된 태양전지는 단파장 영역에서의 수집효율이 향상되었다. 이는 기존의 전극에 결정입계를 따라 함몰전극 형성을 추가하여 결정입계의 결함에 의한 영향이 감소되었음을 나타낸다.

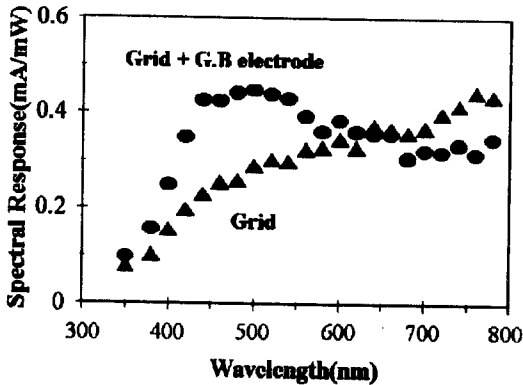


그림 9. 제작된 다결정 실리콘 태양전지의 분광 반응도.

Fig. 9. Spectral response of the fabricated poly-Si solar cells.

4. 결 론

본 연구에서 다결정 실리콘 태양전지는 여러 가지 전극 형태, 결정입계로의 함몰 전극 형성, 등방성 식각에 따른 n층 두께의 영향과 기판 후면 처리의 영향을 살펴보았다. 전열처리 900°C 이상의 조건과 결함밀도를 줄이기 위한 표면 처리로 다결정 실리콘의 전류-전압 특성과 광특성을 최적화시켰고, 표면 재결합을 줄이기 위해 20초 동안 식각된 0.43μm의 n층 두께와 다결정 실리콘 기판의 결함밀도에 의한 영향을 최소화시키기 위한 기판의 전극 구조와 결정입계에서 광생성된 캐리어의 재결합 손실을 줄이기 위해 결정입계로의 함몰전극 형성이 추가된 태양전지를 제작하여 단락전류밀도가 약 15mA/cm²로 향상된 변환효율을 달성하였다. 향후의 연구는 기판 자체의 두께 감소와 불순물 농도의 증가와 선택 확산에 의한 결정입계의 최적화와 결정입계를 식각 후 낮은 접촉 저항과 직렬 저항 성분을 갖는 투명전극 형성에 대한 연구가 권장된다.

※ 본 연구는 성균관 대학교의 1996년도 63학술 연구비 지원으로 수행되었으며 저자일동은 이에 깊은 감사를 드립니다.

참 고 문 헌

1. 권봉수, 박용관, 조기현, 김홍국, 윤종욱, 오영현, 조효용, "고효율 다결정 실리콘 태양전지 개발",

금성 Siltron보고서, 상공부편, 1994.
 2. J. Yi, "Properties and Applications of Thin Films Amorphous and micro-crystalline(poly) Silicon", Ph.D. Dissertation, SUNY at Buffalo, NY, 1994.
 3. R. Schindler, "The Art of Living with Defects in Silicon : Gettering and Passivation", Solid State Phenomena, Vol.37, pp.343-354, 1994.
 4. S. Martinuzzi, I. Pericard, and M. Stemmer, "External Gettering around Extended Defects in Silicon wafers", Solid State Phenomena, Vol.37, pp.361-366, 1994.
 5. K. V. Ravi, "Imperfection and Impurities in Semiconductor Silicon", John Wiley & Sons, pp.302-304, 1981.
 6. Dieter K. Schroder, "Semiconductor Material and Device Characterization", John Wiley & Sons, pp.2-9, 1990.
 7. S. Narayanan, J. H. Wohlgemuth, J. B. Creeger S. P. Roncin, and J. M. Perry, "Buried Contact Solar Cell", 23rd IEEE PhotoVoltaic Specialist Conference, pp.277-280, 1993.
 8. O. D. Trapp, R. A. Blanchard, and L. J. Lopp, "Semiconductor Technology Handbook", Technology Associate, pp.6-7, 1980.
 9. D. G. Schimmel, "Defect Etch for <100> Silicon Evaluation", J. Electrochemical. Soc : Solid-State Science and Technology, Vol.126, No.3, pp.479-483, 1979.
 10. 김상수, 김도영, 임동건, 박용관, 이준신, 제31회 대한 전기학회 전기재료연구회 춘계학술대회 논문집, p.27-29, 1997.4.18.
 11. G. Rajeswaran, V. J. Rao, M. A. Jackson, M. Thayer, W. A. Anderson, and B. B. Rao, IEEE Trans. Electron Devices 30, 1840, 1983.
 12. B. B. Rao, S. Banerjee, W. A. Anderson, and M. K. Han, IEEE Trans. Electron Devices 32, 817(1985).
 13. K. C. Reihart, A. Singh, and W. A. Anderson, Solid State Electro. 31, 1537, 1988.
 14. 이준신, 김상수, "고효율 저가의 이중접합 태양전지 제작(최종보고서)", 기초전력공학공동연구소, 1996.
 15. Martin Wolf and Hans Rauschenbach, "Series Resistance Effects on Solar Cell Measurements", Advanced Energy Conversion, Vol.3, pp.455-479, 1963.

지시소개

김상수

1971년 12월 23일생. 1996년 성균관대 전기공학과 졸업. 1996년 동 대학원 전기공학과 석사과정.



임동건

1970년 1월 4일생. 1997년 성균관대 전기공학과 졸업. 1997년 동 대학원 전기전자 및 컴퓨터공학과 석사과정.



김도영

1971년 4월 30일생. 1997년 성균관대 재료공학과 졸업. 1997년 동 대학원 전기전자 및 컴퓨터공학과 석사과정.



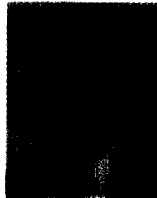
김재문

1967년 9월 6일생. 1994년 성균관대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 현재 동 대학원 박사과정.



원충연

1955년 5월 5일생. 1978년 성균관대 공대 전기공학과 졸업. 1980년 서울대 공대 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(공학). 1983년 3월-88년 2월 동양공전 전기과 조교수. 1991년 12월-'92년 12월 미국 테네시 주립대학 전기공학과 객원교수. 1988년 3월-현재 성균관대 전기전자 및 컴퓨터공학부 교수.



이준신

1962년 12월 7일생. 1989년 성균관대 공대 전기공학과 졸업. 1992년 미국 뉴욕주립대 전기공학과 졸업(석사). 1994년 동 대학원 전기공학과 졸업(공학). 1995년 3월-현재 성균관대 전기전자 및 컴퓨터공학부 조교수.

