

t-WS 고장 검출을 위한 테스트 방법의 개선

Improvement of Test Method for t-WS Fault Detect



김철운*, 김영민**, 김태성**
(Cheol-Woon Kim, Young-Min Kim, Tae-Sung Kim)

Abstract

This paper aims at studying the improvement of test method for t-weight sensitive fault (t-wsf) detect. The development of RAM fabrication technology results in not only the increase at device density on chips but also the decrease in line widths in VLSI. But, the chip size that was large and complex is shortened and simplified while the cost of chips remains at the present level, in many cases, even lowering.

First of all, The testing patterns for RAM fault detect, which is apt to be complicated, need to be simplified. This new testing method made use of Local Lower Bound (L.L.B) which has the memory with the beginning pattern of 0(1) and the finishing pattern of 0(1).

The proposed testing patterns can detect all of RAM faults which contain stuck-at faults, coupling faults. The number of operation is 6N at 1-weight sensitive fault, 9.5N at 2-weight sensitive fault, 7N at 3-weight sensitive fault, and 3N at 4-weight sensitive fault.

This test techniques can reduce the number of test pattern in memory cells, saving much more time in test. This testing patterns can detect all static weight sensitive faults and pattern sensitive faults in RAM.

Key Word (중요용어) : Pattern Sensitive Fault(패턴 감도 고장), Fault Model(고장 모델), Pattern Interference Fault(패턴 간섭 고장), Weight Sensitive Fault(가중 감도 고장), Local Lower Bound (시작과 끝이 0 또는 1인상태)

1. 서 론

지금의 IC 제조 기술은 소자 밀도의 증가에도 불구하고 칩 크기는 오히려 작아져 한개의 칩에 더욱 많은 소자들을 배치할 수 있다. 전반적으로 한 개의 칩내의 소자 증가는 RAM, ROM, PLD 등과 같이 규칙적인 설계에서 더욱 두드러지며, 메모리 칩은 대단히 집적도가 높다. 모든 칩은 고장이 없어야 하며, 높은 정밀도와 낮은 생산가격이 동시에 요구된다. 이를 위해서는 보다 빠른 시간내에 정확한 테스트 벡터가 생성되는 알고리즘이 요구된다.¹⁾ 메모리 칩 테스트의 주요 연구는 최소의 테스트 패턴으로 모든고장을 완전하게 검출하는 방법을 연구하는 데 있다.

Srini는 메모리의 Static Pattern Sensitive Fault를 검출하기 위해 많은 연구를 했으며¹⁾, SUK와 Reddy²⁾, hayes³⁾, 그리고 Seth와 Narayanswamy⁴⁾에 의해 연구된 여러 가지 RAM 테스트 방법들도 체계적인 방법을 이용하였으나 테스트 패턴수가 비교적 많았다. 이와같은 점을 개선하기 위하여 이

논문에서는 기존의 테스트 기술보다 적은 테스트 패턴으로 메모리 칩을 빠르게 테스트할 수 있는 새로운 방법을 제안하고자 한다.

2. 고장 모델

RAM은 자료를 저장하거나 관독할때 자료가 저장된 주소에 관계없이 거의 동일한 접근시간이 걸리는 매우 빠른 기억장치로 컴퓨터의 주기억장치로 주로 사용되며 주로 반도체 기억장치가 사용되고 있다. IC 메모리는 각 워드가 n 비트로 되어 있는 m 개의 워드로 구성된 RAM의 내부 구조는 m*n 개의 2진 저장 소자와 각 단어를 선택하는데 필요한 번지용 논리 소자로 구성되어 있다. 그림 1에는 한 비트의 정보를 저장하는 2진 소자의 회로가 나타나 있는데 이 2진 소자는 메모리 장치를 구성하는데 기본단위가 된다.

일반적으로 하나의 RAM은 메모리 셀 배열, 어드레스 디코더, 메모리 어드레스 레지스터, 메모리 데이터 레지스터, 입출력 회로 등으로 구성된다. 테스트에서 가장 많이 알려진 고장 모델로는 Stuck-at 고장이다. 메모리 셀의 입출력단위 계속 0이나 1로 고정되어 있는 고장으로 한셀에 stuck-at 고장이 발생하면 그 셀은 이

* : 전남전문대학 사무자동화과
** : 전남대학교 전기공학과
접수일자 : 1996년 12월 20일
심사완료 : 1997년 3월 17일

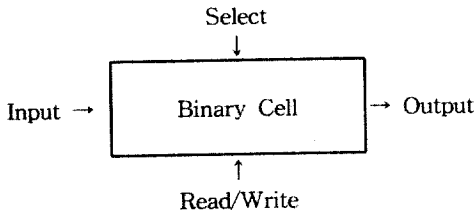


그림 1. 2진 소자 회로
Fig. 1. Circuit of Binary Cell

떠한 읽기나 쓰기 동작에 관계없이 X 상태를 유지한다.^{1) 5) 6)} 천이 고장은 메모리 셀에 쓰기 동작을 할 때 X에서 X'로의 천이가 불가능한 고장을 말하며, 결합 고장은 한 셀에 0→1 (1→0)로 쓰기 동작을 했을 때 그 영향을 받아 다른 셀의 내용이 변하게 된 경우 서로 다른 두 셀에 발생하는 고장이다. Pattern Sensitive Fault (PSF)는 소자 밀도의 증가로 메모리 셀들이 가까워져 셀 간에 전기 자기적 영향이나 정전용량, 전류 누설 등으로 인한 다른 셀들의 간섭에 의해 정보가 바뀔 수 있다.

즉 하나의 셀 내용이 주위 다른 셀들의 상태의 조합인 어떤 패턴에 의해 바뀌는 고장을 말한다. 일반적인 PSF를 검출하는 것은 많은 시간이 필요하기 때문에 메모리 설계나 메모리 접근 방법을 고려하여 한 셀에 영향을 줄 수 있는 주변 셀은 4개로 제한한다. 여기서 중앙의 셀을 기본 셀이라고 하고 상, 하, 좌, 우의 주변 셀을 각각 N, E, W, S로 표시 한다. 주변 셀 N, E, W, S의 어떤 내용에 의해 기본 셀의 내용이 바뀌지 않거나, 바뀌는 고장을 Static Pattern Sensitive Fault (SPSF)라고 한다.⁵⁾ 주변 셀 N, E, W, S의 패턴이 기본 셀의 내용을 무조건 바꾸어 놓을 때 그 고장을 Critical Pattern Fault (CPF) 이라 한다.^{1) 7)} 지금까지는 메모리 테스트 패턴들은 고장모델의 정확한 정의 없이 다른 메모리 기능을 실험하다 발견적 방법으로 유도되었다. 그러나 그러한 테스트 방법들은 근본적인 고장모델을 정의 하기란 쉽지 않다. 표 1은 N bit RAM의 여러가지 테스트 방법들의 패턴수를 보여주고 있다.⁹⁾

표 1. 테스트 패턴 길이

Table 1. Length of test pattern

Type of Test	Length of Test Pattern
March	10N
Waking	2N ²
Galloping	4N ²
Column/Row Galloping	3N ^{3/2} + 6N
Diagonal	2N ^{3/2} + 4N + 5N ^{1/2}

본 연구에서는 새로운 고장모델을 정의하고 그 모델을 사용하여 테스트 패턴을 생성하였으며 정의는 다음과 같다.

정의 1 : 어떤 Cell B의 주변 CELL이 B 주위라고 할 수 있는 Cell의 집합이라고 하면 그림 2(a)와 같이 인접한 주위의 Cell 4개의 물리적 값은 N, E, W, S로 한다.

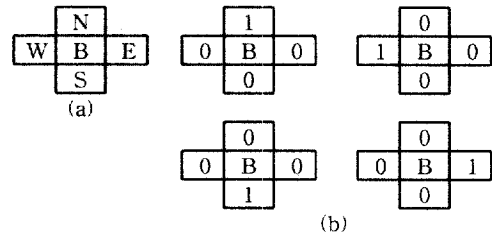


그림 2. (a) 주변 셀 (b) 1-ws 패턴

Fig. 2. (a) neighborhood cell
(b) 1-ws patterns

정의 2 : 어떤 기본 cell B의 주위에 있는 N, E, W, S Cell들이 B에 영향을 준다면 이를 Pattern Interference Fault (PIF)라고 한다.

정의 3 : 기본 cell B의 내용이 B 주위의 N, E, W, S의 값에 의한 PIF에 의해 고장이 발생했을 때 그 고장을 SPSF라고 한다.

정의 4 : 만약 기본 cell B의 내용들이 B와 관계된 N, E, W, S 내용들이 변화할 때 고장을 일으킨다면 그 고장을 Dynamic Pattern Sensitive Fault (DPSF)라고 한다.⁶⁾

정의 5 : Static Weight Sensitive Fault (SWSF)는 주변셀에 있는 weight 1에 의해 기본셀의 내용을 변화시키는 고장이다.

정의 6 : t-ws 고장은 기본셀의 주변셀 news가 1로 할당 될 때 발생하는 ws 고장의 여러 가지 형태를 말한다.

정의 7 : P(N) SWSF는 주변셀이 1(0)일 때 기본셀의 내용이 0→1 (1→0)으로 각각 변화하는 고장이다.

정의 8 : Dynamic Weight Sensitive Fault (DWSF)는 주변셀의 쓰기 동작중 news의 내용이 변화될 때 기본셀의 내용이 바뀌는 고장이다.

정의 9 : P(N) DWSF 고장은 주변셀에 쓰기 동작중 기본셀의 내용이 0→1 (1→0)로 바뀌는 고장

이다.

정의 10 : 테스트 패턴의 수는 읽기와 쓰기의 동작 수로 정의한다.

정의 11 : Local Lower Bound (LLB)는 메모리 내용이 모두 0 (1) 으로 부터 시작하고 0 (1) 으로 끝나는 테스트 패턴을 말한다.

이러한 정의들은 임의의 주변셀에 확대 해석 할 수 있다.⁶⁾ 예를 들면 하나의 패턴 N, E, W, S=1, 1, 1, 0에서 보면, 이 패턴이 능동 결합에 의해 기본 Cell 에 영향을 준다고 가정해 보자. Srin이 N, E, W, S=1, 1, 1, 0일때 마다 대응하는 기본 Cell B 는 논리 1 이 된다고 설명하였다.⁴⁾ 만약에 패턴 N, E, W, S=1, 1, 1, 0의 적용에 앞서 B속에 이디 나타난 논리 0은 논리 0에 머무르고 변하지 않는다. Hayes 에 의해 사용되고 정의된 모델은 정적고장과 동적인 고장이 혼합되었다.⁷⁾ RAM 내부의 인접한 셀 사이의 정전용량, 전류누설 등이 원인으로 SPSF 는 발생 된다. 본 연구의 목적은 RAM 의 고장을 검출하는데 있어 가장 간단하고 빠른 테스트 방법을 얻는데 있다. 메모리 사이즈가 칩에 소자 밀도에 비례하여 증가되므로 기존의 테스트 방법들은 많은 시간이 걸리고 비용도 많아 비실용적이다. 이러한 테스트 시간은 너무 많이 걸리고, 고밀도의 메모리 칩을 빠르게 테스트하기 위해서는 복잡한 테스트 장비와 많은 비용이 든다. 테스트 방법으로는 Built in Self Test (BIST) 가 있는데 이방법은 어떠한 특별한 테스트 장비도 필요치 않으며 칩 내부에 테스트 벡터를 생성할 수 있는 회로를 내장해 놓으므로써 자체적으로 고장을 비교하여 검출하는 효율적인 방법이다. 그동안 값비싼 테스트 장비를 사용하는 많은 기억소자들에 BIST 방법은 적용될 수 있다. 과거에는 모든 테스트 알고리즘이 단지 비용 절감을 위한 목적으로 되어 있어 알고리즘의 실행을 위해서는 상당한 양의 하드웨어와 소프트웨어가 요구되었다. 그러나 최근의 연구 추세는 최소화 또는 최소화에 가까운 알고리즘의 연구와 보다 간단한 테스트 패턴 생성 회로설계에 대한 투가지로 요약된다. BIST 테스트 방법을 사용한다면 테스트 벡터 생성 및 테스트 분석회로는 간단한 것이 좋다.

3. 테스트 알고리즘

t=0, 1, 2, 3, 4 일때 고장을 검출할 수 있는 테스트 집합은 메모리의 모든 PSF 를 검출할 수 있다. P(N) WSF 를 검출하기 위해서는 기본 셀의 내용이 0(1)으로 되어야 하며 모든 가능한 weight 패턴 이 주변 셀에 포함되어야만 한다. 이 상태가 모든 PSF 를 검출할 수 있는 충분한 상태이다. 메모리의 t-wsf 를 구하여 보자.

3-1. 1-ws 테스트

그림 2 에 각 기본 셀은 4개의 서로 다른 1-ws 패턴으로 되어 있다. 그러므로 각 기본 셀은 네가지 패턴을 순서적으로 네번 읽어야만 한다. 주어진 모든 1-ws 패턴은 주변 셀에 1이 꼭 쓰여져야 한다. 그러나 만약 1이 0으로 바뀌면 모든 메모리 셀은 지워지고 테스트는 끝나게 된다. 그러므로 두번의 쓰기 동작과 네번의 읽기 동작이 각 셀에 필요하므로 $4N + (8*N/4) = 6N$ 이 필요하다.

* 결과 1 : 1-ws 고장 검출 LLB 는 6N 의 테스트 패턴에 의해 검출된다.

N	n	S	s		
w	E	e	W		
S	s	N	n		
e	W	w	E		
N	n	S	s		

그림 3. 메모리 셀 배열
Fig. 3. memory cell array.

그림 3 의 메모리 배열상태를 사용하여 증명하자. 모든셀이 0으로 비워있다고 가정하고 다음 절차에 의해 모든 1-wsf 는 검출된다.

- 1) 셀 N에 1을 쓴다. 기본 셀 news 를 읽는다. 셀 N 에 0을 쓴다.
- 2) 셀 E 에 1을 쓴다. news 를 읽는다. 셀 E 에 0을 쓴다.
- 3) 셀 W 에 1을 쓴다. news 를 읽는다. 셀 W 에 0을 쓴다.
- 4) 셀 S 에 1을 쓴다. news 를 읽는다. 셀 S 에 0을 쓴다.

단계 5) 8) 은 NEWS 를 news 로 바꿔 반복하면 된다. X)와 X') 단계마다 쓰기 동작의 수는 각각 1/8N 이고, 읽기 동작의 수는 4/8N 이므로 읽기와 쓰기의 전체 동작 수는 다음과 같다.

$$8*(1/8N + 1/8N + 4/8N) = 6N$$

3-2. 2-ws 테스트

그림 4 에 기본 셀은 6개의 서로 다른 2-ws 패턴으로 되어 있다. 그러므로 각 셀은 6번씩 읽어야만 한다.

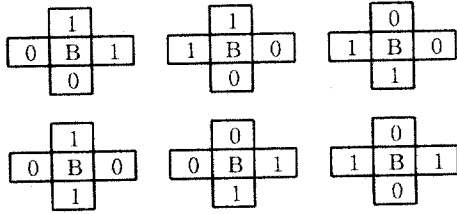


그림 4. 2-ws 패턴
Fig. 4. 2-ws patterns

또한 weight 는 14개 이므로 2-ws 고장 테스트 패턴을 구하기 위한 쓰기 동작의 전체 수는 $14 * N/4$ 즉 $3.5N$ 이 되므로 읽기와 쓰기 동작의 전체 수는 $6N + 3.5N = 9.5N$ 이다.

* 결과 2 : 2-ws 고장 검출 LLB 는 $9.5N$ 의 테스트 패턴에 의해 검출된다.

그림 3 의 배열을 사용하여 증명하자. 모든 셀이 비워져 있다고 가정하고 다음 절차에 의해 2-wsf 는 검출된다.

- 1) 셀 S 와 N 에 1 을 쓴다. 기본 셀 news 를 읽는다. 셀 S 에 0을 쓴다.
- 2) 셀 W 에 1을 쓴다. 셀 news 를 읽는다. 셀 N 에 0을 쓴다.
- 3) 셀 E 에 1을 쓴다. 셀 news 를 읽는다. 셀 E 에 0을 쓴다.
- 4) 셀 S 에 1을 쓴다. 셀 news 를 읽는다. 셀 W 에 0을 쓴다.
- 5) 셀 E 에 1을 쓴다. 셀 news 를 읽는다. 셀 S 에 0을 쓴다.
- 6) 셀 N 에 1을 쓴다. 셀 news 를 읽는다. 셀 E, N 에 0을 쓴다.

7) 에서 12) 단계는 N, E, W, S 를 n, e, w, s 로 바뀌어 전개한다. 1), 6), 7), 12) 단계에서의 쓰기 동작은 각 $N/4$ 이다. 베이스 셀 news 는 메모리 배열의 절반을 점유하므로 각 단계의 읽기 동작 수는 $N/2$, 쓰기 동작 수는 $N/8$ 이다. (1) 과 (6)의 테스트 결과 테스트 패턴의 수는 $7N/8$ 이다. 또 다른 테스트 결과 (2) 에서 (5)까지의 테스트 패턴의 수는 $6N/8$ 이므로 전체 테스트 패턴의 수는 $9.5N$ 이다.

3-3. 3-ws 테스트

4개의 주변셀 중 3개가 1로 쓰여진 경우의 서로 다른 패턴 4개가 기본 셀 이므로 4번의 읽기 동작이 필요하다. 쓰기 동작은 셀의 값이 모두 0으로 시작하고 끝날 때 다시 모두 0으로 되어야 하며 12개의 $N/4$ 셀이 되므로 전체 동작수는 $4N + 12*(N/4) = 7N$ 이 필요하다.

* 결과 3 : 3-ws 고장 검출 LLB 는 $7N$ 의 테스트 패턴에 의해 검출된다.

그림 5를 사용하여 증명하자. 모든 셀이 비워져 있다고 가정하고 다음 절차에 의해 모든 3-wsf 는 검출된다.

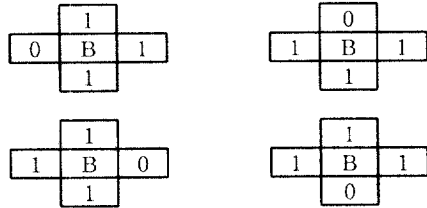


그림 5. 3-ws 패턴
Fig. 5. 3-ws patterns

- 1) 셀 E, W, S 에 1을 쓴다. 기본 셀 news 를 읽는다. 셀 E 에 0을 쓴다.
- 2) 셀 N 에 1을 쓴다. 셀 news 를 읽는다. 셀 S 에 0을 쓴다.
- 3) 셀 E 에 1을 쓴다. 셀 news 를 읽는다. 셀 W 에 0을 쓴다.
- 4) 셀 S 에 1을 쓴다. 셀 news 를 읽는다. 셀 N, E, S 에 0을 쓴다.

5) 에서 8) 단계는 NEWS 를 news 로 바꾸어 반복한다. 각 스텝의 읽기 동작 수는 $N/2$ 이고 쓰기 동작 수는 $N/8$ 이다. 그러므로 읽기와 쓰기 동작의 전체 수는 다음과 같다.

$$4*(3N/8) + 8*(N/2) + 12*(N/8) = 7N$$

3-4. 4-ws 테스트

기본 셀의 각 셀은 적어도 한번은 읽어야 한다. 주변 셀은 0 으로 쓰고 0 의 상태로 끝나도록 써야 하므로 적어도 $1N$ 의 읽기 동작과, $2N$ 의 쓰기 동작이 요구된다.

* 결과 4 : 모든 4-ws 고장검출의 LLB 는 $3N$ 의 테스트 패턴에 의해 검출된다.

그림 6 의 배열을 이용하여 증명하자. 모든 셀이 비워져 있다고 가정하고 다음 절차에 의해 모든 4-wsf 는 검출된다.

- 1) 4개의 셀 A (NEWS에 해당)에 1을 쓴다. 2) 셀 B 를 기본 셀로 읽는다. 3) 4개의 셀 A 에 0을 쓴다.
- 4) 에서 6) 까지의 각 단계는 A 와 B를 바꾸어 반복한다. 읽기 동작의 수는 $1N$ 이고 쓰기 동작의

A	B	A	B	A			
B	A	B	A	B		N	
A	B	A	B	A	W	A,B	E
B	A	B	A	B		S	
A	B	A	B	A			

그림 6. 4-ws 패턴 메모리 배열
 Fig. 6. 4-ws pattern memory array

수는 8개의 N/4 셀이 되므로 전체 테스트 패턴 수는 $1N + 8 * N/4 = 3N$ 이다.

이상의 절차를 정리하면 표 2 와 같으며, 기본셀이 0에서 1로 변화되는 고장의 검출뿐만 아니라 1에서 0으로 바뀌는 고장도 포함된다. 즉, t=1, 2, 3, 4의 순서는 0에서 1의 검출로 볼 수 있고 t=4, 3, 2, 1의 역수는 1에서 0의 고장 검출을 포함하고 있다.

표 2. t-ws 테스트 절차
 Table 2. procedure of t-ws Test

t	Step	Write	Read	Write
1	1	N→1	news	N→0
	2	E→1	news	E→0
	3	W→1	news	W→0
	4	S→1	news	S→0
2	1	S,N→1	news	S→0
	2	W→1	news	N→0
	3	E→1	news	E→0
	4	S→1	news	W→0
	5	E→1	news	S→0
	6	N→1	news	E,N→0
3	1	E,W,S→1	news	E→0
	2	N→1	news	S→0
	3	E→1	news	W→0
	4	S→1	news	N,E,S→0
4	1	A(NEWS)→1	-	-
	2	-	B(news)	-
	3	-	-	A(NEWS)→0

4. 결 론

이 논문에서는 RAM 을 테스트하는 방법과 t-ws 고장에 따른 LLB 의 최소 테스트 패턴에 대하여 연구하였다. 이것은 기존의 고장 테스트 방법들에 비해 보다 빠르게 생성되며, 생성 과정에 있

어 구조적이고 체계적인 새로운 방법을 제안하였다. 이 방법은 weight가 0에서 1로 변화할 때의 테스트 뿐만 아니라, 1에서 0으로 변화할 때 발생할 수 있는 고장까지도 테스트 절차에 포함되어 있으며, N bit RAM에서의 1-ws 고장을 검출할 수 있는 최소 테스트 패턴은 6N, 2-ws 고장에서는 9.5N, 3-ws 고장에서는 7N, 4-ws 고장에서는 3N으로 된다. 제안된 테스트 패턴수는 표 1의 여러가지 방법들 중 회로를 분할하여 의사-전체검사방법을 응용하여 테스트 패턴이 감소한 March의 방법과 비교할 때, t-ws 고장 전체에서 각각 4N, 0.5N, 3N, 7N 만큼 감소 되었음을 알 수 있으며, 패턴수의 감소는 그만큼의 테스트 시간을 단축시켜 줌으로써 칩의 생산성과 경쟁력을 함께 높일 수 있다.

5. 참 고 문 헌

1. Srimi,V.P, "API Tests for RAM Chips", IEEE Computer, Vol.10, No.7, July 1977, pp.32.
2. Suk,D.S. and Reddy,S.M, "Test Procedures for a class of Pattern-Sensitive faults in Semiconductor Random-Access Memories", IEEE Trans.Comp., Vol.c-29, No.6, June 1980, pp. 419-429.
3. Hayes,J.P., "Testing Memorise for Single Cell Pattern-Sensitive Faults", IEEE Trans Comp., Vol.c-29, No.3, March 1980, pp.249-254.
4. Seth,S.C and Narayanswamy,k., "A Graph Model for Pattern-Sensitive Faults in Random-Access Memories", IEEE Trans. Comput., Vol.C-30, December 1981.
5. L.Wang and E.McCluskey, "Complete Feedbaed Shift Register Design for BIST", Proc.of Int'l conf. Computer Aided Design, pp.56-59, 1986.
6. Hayes, J. P., "Detection of Pattern-Sensitive Faults in Random-access Memories", IEEE Trans.Comp., Vol.C-24, No.2, February 1975, pp.150-157.
7. Edward J.McCluskey, "Built In Self Test Techniques", IEEE Design & Test, pp.21-28, April, 1985.
8. Edward J.McCluskey, "Built-In Self Test Structures", IEEE Design & Test, pp.29-36, April, 1985.
9. Srimi,V.P., "Fault Location in semiconductor Random Access Memory Unit ", IEEE Trans. Comput., Vol.C-27, April 1978, pp.349-356.