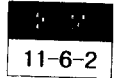


저전압동작에 적절한 SOI-like-bulk CMOS 구조에 관한 연구



A Study on Sol-like-bulk CMOS Structure Operating in Low Voltage with Stability

손상희*, 진 태*

(Sang-Hee Son, Tae Jin)

Abstract

SOI-like-bulk CMOS device is proposed, which having the advantages of SOI(Silicon On Insulator) and protects short channel effects efficiently with adding partial epitaxial process at standard CMOS process. SOI-like-bulk NMOS and PMOS with $0.25\mu\text{m}$ gate length have designed and optimized through analyzing the characteristics of these devices and applying again to the design of processes. The threshold voltages of the designed NMOS and PMOS are $0.3[\text{V}]$, $-0.35[\text{V}]$ respectively and those have shown the stable characteristics under $1.5[\text{V}]$ gate and drain voltages. The leakage current of typical bulk-CMOS increase with shortening the channel length, but the proposed structures on this study reduce the leakage current and improve the subthreshold characteristics at the same time. In addition, subthreshold swing value, S is $70.91[\text{mV/decade}]$ in SOI-like-bulk NMOS and $69.37[\text{mV/decade}]$ in SOI-like-bulk PMOS. And the characteristics of SOI like-bulk CMOS are better than those of standard bulk CMOS. To validate the circuit application, CMOS inverter circuit has designed and transient & DC transfer characteristics are analyzed with mixed mode simulation.

Key Words(중요용어) : SOI, SOI-like-bulk CMOS, Low voltage, Short channel effect

1. 서 론

일반 CMOS 소자의 경우 소자의 스케일링으로 인해 발생하는 단채널 효과와 기생 효과등에 의한 속도 감소등이 문제점으로 대두되고 있고 이러한 CMOS 소자의 한계를 극복하기 위해 소자의 구조적인 변경이 시도되고 있다¹⁾²⁾. 이러한 시도중 최근 급부상하고 있는 기술로 SOI 기술이 주목받고 있다³⁾⁴⁾. SOI 소자는 산화막 위에 성장시킨 실리콘 박막 위에 만들어지기 때문에 기생 커패시턴스를 줄일수 있으며, CMOS에서 발생하는 래치업을 효과적으로 방지할 수 있다. 또한, 누설 전류(leakage current)

를 작게하면서 문턱 전압 이하의 기울기(sub-threshold slope)를 향상시켜 안정된 문턱 전압 이하의 특성을 얻을수 있으므로 최근 VLSI의 주요 기술로 주목받고 있다.

이와 같이 SOI소자는 CMOS에 비해 여러 장점을 가지고 있으나 일반 웨이퍼에 비해 값이 비싸고 웨이퍼의 원활한 공급이 어려운 실정이며, 소자의 구조적 관점에서 보면 전류가 갑자기 증가하는 kink effect가 발생하는 등의 여러 문제점을 가지고 있다⁵⁾⁶⁾.

이에 본 연구에서는 일반 벌크 Si 웨이퍼를 사용한 CMOS 공정에 부분적으로 에피층(epitaxial layer)을 성장시키는 공정과 buried oxide를 성장시키는 공정을 추가하여 벌크 Si 기판상에서 SOI의 장점을 얻으면서 단채널 효과를 방지할 수 있는 새로운 소자 구조(SOI-like-bulk Device)를 제안하였다. 제안한 소자를 시뮬레이션을 통하여 채널 길이

* : 청주대학교 공대 반도체공학과
(충북 청주시 상당구 내덕동 36, Fax: 0431-229-8461
E-mail : shson@alpha94.chongju.ac.kr
1998년 2월 4일 접수, 1998년 4월 27일 심사완료

가 0.25 μm 인 SOI-like-bulk NMOS와 PMOS를 각각 공정 설계하여 소자의 전기적인 특성을 분석하였고, SOI-like-bulk CMOS 인버터의 DC 특성과 과도 특성을 조사하였다.

2. SOI-like-bulk device 제안

본 연구에서 제안하는 소자 구조와 공정순서는 그림 1과 같다. 제안한 소자 구조는 일반 CMOS 공

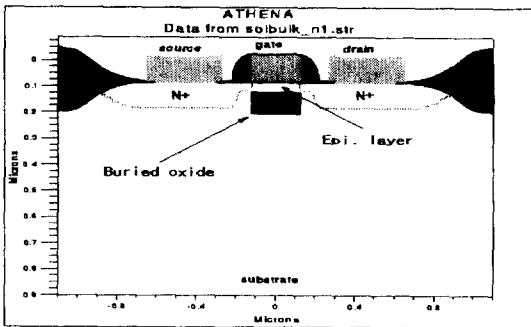


그림 1. (a) 제안한 SOI-like-bulk device
Fig. 1. (a) Proposed SOI-like-bulk device

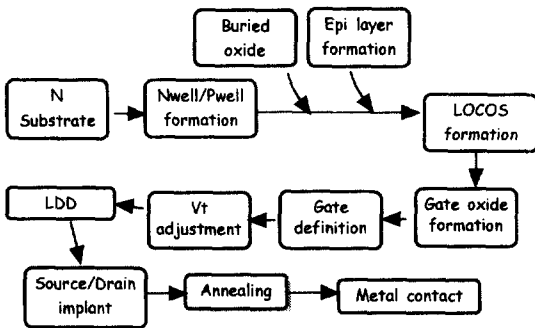


그림 1. (b) SOI-like-bulk device 공정순서
Fig. 1. (b) Process flow of SOI-like-bulk device

정에 게이트 길이와 동일한 buried oxide 막을 형성하는 공정과 에피층을 성장시키는 공정을 추가함으로써, 일반 벌크 Si 기판상에서 부분적으로 SOI의 효과를 얻을수 있는 구조이다. 그림 1의 게이트 아래에 있는 벌크 영역의 사각형 구조가 buried oxide이며, 이 막으로 인해 소스/드레인 접합이 채널 영역에 미치는 영향을 구조적으로 줄일 수 있다. 즉, 기존의 CMOS 소자에서는 SCE(Short Channel Effect)로 인해 소스와 드레인의 접합 깊이를 얇게

만들어야 하나, 본 연구에서 제안한 소자는 채널 영역에 형성한 buried oxide막에 의해 소스/드레인 포텐셜이 채널 영역에 미치는 영향을 줄일 수 있으므로 접합 깊이를 얇게 만들어야만 되는 문제점을 극복할 수가 있다. 또한, 부분적으로 채널 영역이 SOI 구조와 동일하여 SOI 소자 구조에서 얻을 수 있는 문턱 전압 이하의 특성을 얻을수 있다.

3. SOI-like-bulk NMOS 와 PMOS 소자 설계

채널 길이가 0.25 μm 인 SOI-like-bulk NMOS와 PMOS를 1.5[V]의 공급 전압에서 안정적으로 동작할수 있도록 각각 공정 설계하였다.

그림 2는 채널 영역에서의 캐리어 농도 분포를 나타낸 것이다. 채널 영역의 캐리어 농도 분포를 보면 게이트 물질의 일함수와 에피층의 일함수 차이로 인해 게이트 전압을 가하지 않은 상황에서 채널 영역이 미리 공핍됨을 알 수 있다. SOI-like-bulk 소자 설계시 채널 영역의 에피층 농도는 문턱 전압과 누설 전류의 크기를 결정짓는 중요한 파라메타이므로 에피층의 농도 크기를 적절히 조절하여야 한다. 즉, 에피층의 농도가 작을수록 반전층의 농도가 커지게 되므로 이 반전층의 농도를 어떻게 조절하느냐에 따라 누설 전류의 크기가 변하게된다. 그림 2 (a)는 NMOS의 게이트 채널 영역 아래의 전자농도분포를 나타낸다. 그림으로부터 게이트 표면의 전자 농도가 10^{13}cm^{-3} 인 것을 알 수 있다. 이것은 게이트 바로 아래부분의 정공이 공핍되어 게이트 아래의 전자 농도가 진성 농도보다 높은 약반전(weak inversion)인 경우이다. 따라서 이 경우 소자의 문턱 전압을 낮출수 있다. 그림 2 (b)는 PMOS의

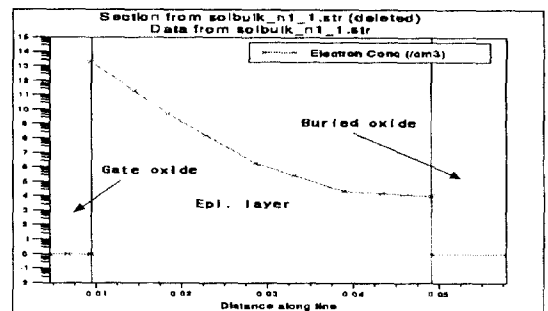


그림 2. (a) NMOS의 채널영역 아래의 전자 분포
Fig. 2. (a) Electron distribution in the channel of NMOS

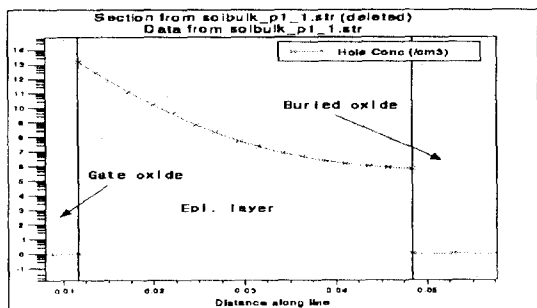


그림 2. (b) PMOS의 채널영역 아래의 정공 분포
Fig. 2. (b) Hole distribution in the channel of PMOS

경우로서 NMOS와 마찬가지로 게이트 아래부분의 전자가 공핍되므로 게이트 아래 부분의 정공 농도가 10^{13}cm^{-3} 가 되는 약반전층이 형성된다.

4. 설계된 SOI-like-bulk CMOS의 전기적 특성

일반 벌크 Si 기판을 사용하여 부분적으로 SOI의 장점을 얻을 수 있는 채널 길이가 $0.25 \mu\text{m}$ 인 SOI-like-bulk NMOS와 PMOS를 ATHENA를 이용하여 공정 설계하였다. 설계한 소자의 정상적인 동작 여부를 확인하기 위해 ATLAS를 이용하여 여러 가지 전기적 특성을 알아보았다.

4-1. 누설 전류(Leakage Current)

누설 전류는 저전압 구현을 위해 소자를 축소하여 문턱 전압을 낮추었을 때 발생하는 기생 효과의 대표적인 예이다. 일반적으로 게이트 전압이 0[V]일 때, 드레인 전압이 크면 드레인 전류 값이 0이 아니며, 이 전류 값이 클 경우 게이트가 소자의 ON/OFF를 조절할 수 없게 된다. 일반적으로 저전압 구현을 위해서는 문턱 전압을 낮추어야 하는 데 이 경우 누설 전류가 증가하는 문제가 발생한다.

본 연구에서 제안한 소자는 채널 영역 아래 buried oxide막을 형성하여 벌크 영역으로 흐르는 누설 전류를 방지할 수 있다. 제안한 소자에서 누설 전류의 크기는 게이트 아래 채널 영역에서 게이트와 에피층의 일함수 차이에 의해 형성된 캐리어 분포에 의해 누설 전류의 크기가 결정된다. 공정 설계된 SOI-like-bulk NMOS와 PMOS의 누설 전류 특성을 그림 3에 나타내었다. 누설 전류 크기는 NMOS가 $10^{11} [\text{A}/\mu\text{m}]$ 이며, PMOS는 $10^{12} [\text{A}/\mu\text{m}]$ 로 일반 CMOS에 비해 그 값이 작은 특성을 보였다.

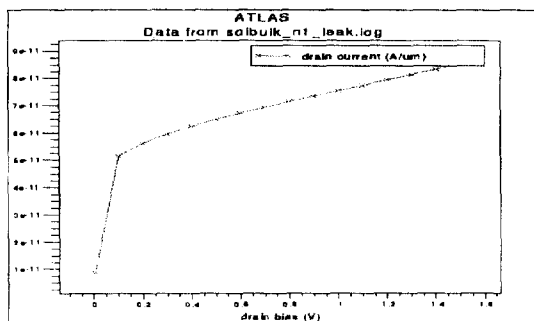


그림 3. (a) NMOS의 누설전류 특성
Fig. 3. (a) Leakage currents of NMOS

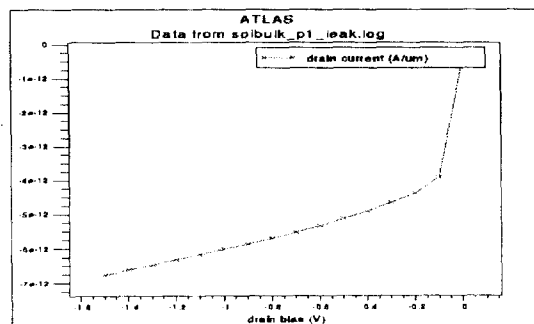


그림 3. (b) PMOS의 누설전류 특성
Fig. 3. (b) Leakage currents of PMOS

만약, 게이트의 채널 영역을 약반전이 아닌 공핍모드로 하면 누설 전류 특성은 더욱 안정적인 특성을 가지겠지만 이 경우 문턱 전압이 높아지므로 공급 전압을 높여야하는 문제점이 발생한다.

따라서, 문턱전압의 크기와 누설전류 크기의 상관 관계를 잘 따져 설계해야 한다.

4-2. 전류 전압 특성

그림 4 (a)와 그림 5 (a)는 드레인 전압을 0.1[V]로 고정시키고 게이트 전압을 0~1.5[V]까지 변화시켜 시뮬레이션한 I_D-V_G 특성이다. 이 그림으로부터 SOI-like-bulk NMOS의 경우 문턱 전압이 약 0.3[V]이고, PMOS는 약 -0.35[V]임을 알 수 있다.

그림 4 (b)와 그림 5 (b)는 I_D-V_D 특성으로 1.5[V]의 공급 전압에서 안정적인 전류-전압 특성을 보임을 알 수 있다.

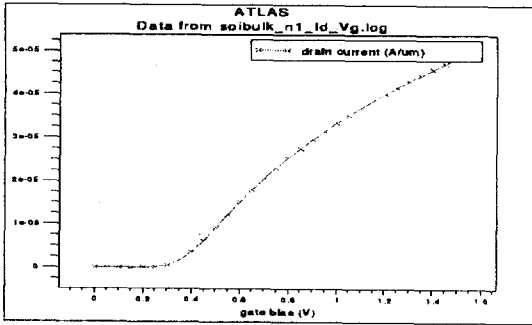


그림 4. (a) NMOS의 I_D - V_G 특성

Fig. 4. (a) I_D - V_G characteristics of NMOS

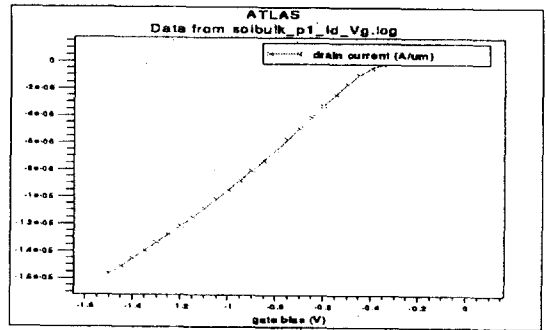


그림 5. (a) PMOS의 I_D - V_G 특성

Fig. 5. (a) I_D - V_G characteristics of PMOS

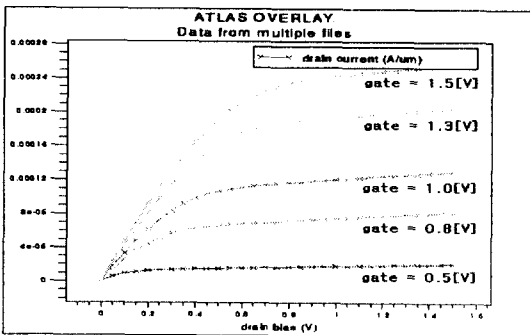


그림 4. (b) NMOS의 I_D - V_D 특성

Fig. 4. (b) I_D - V_D characteristics of NMOS

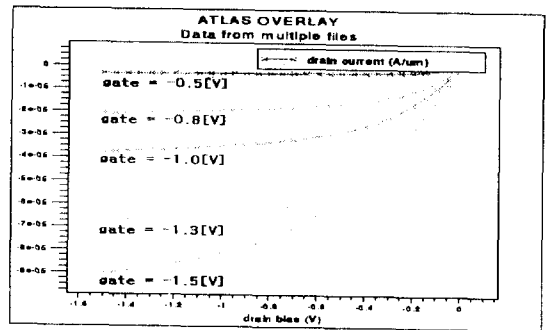


그림 5. (b) PMOS의 I_D - V_D 특성

Fig. 5. (b) I_D - V_D characteristics of PMOS

4-3. 문턱 전압 이하 특성(Subthreshold Characteristics)

일반적으로 MOS 트랜지스터의 크기를 줄일 때 나타나는 가장 두드러진 특징 중의 하나는 문턱 전압 이하의 전류가 증가하는 것이다. 즉, 게이트에 바이어스를 인가하지 않은 상태에서 유한한 드레인 전류가 흐르며, 이때 이 전류는 CMOS 회로에서 대기 전력(standby power) 소모의 원인이 된다. 문턱 전압 이하의 전류는 게이트의 전압 증가에 따라 지수 함수적으로 증가하며, 특히 누설 전류의 관점에서 보면 소자의 ON/OFF를 정상적으로 조절할 수 없게 된다. 문턱 전압 이하에서의 특성은 기율기로써 그 값을 측정할 수가 있고 기율기가 급격할수록 좋은 특성을 보인다고 할 수 있다.

그림 6은 공정 설계된 SOI-like-bulk NMOS와 PMOS의 문턱 전압 이하의 특성을 나타내고 있다.

NMOS의 경우 subthreshold swing, S 가

70.91[mV/decade]이고, PMOS는 69.37[mV/decade]로 일반 CMOS에 비해 우수한 특성을 나타내고 있다.

통상적인 subthreshold swing, S 의 표현식은 식 (1)과 같다.

$$S \cong \frac{kT}{q} \ln 10 \left(1 + \frac{C_D}{C_i} \right) \cong n \frac{kT}{q} \ln 10 \dots (1)$$

여기서, C_i 는 게이트 커패시턴스이고, C_D 는 공핍 커패시턴스이다. SOI 소자의 경우 $n \cong 1.05$ 이며, 일반적인 bulk 소자는 $n = 1.15 \sim 1.5$ 이다³⁾. 공정적인 조건에 따라 S 값이 다르겠지만, 일반적으로 SOI 소자의 경우 S 가 60~70[mV/decade]이고, 일반 CMOS인 경우는 S 가 70~90[mV/decade]이다. 따라서 본 연구에서 제안한 소자 구조의 문턱 전압 이하의 특성이 우수함을 알 수 있다.

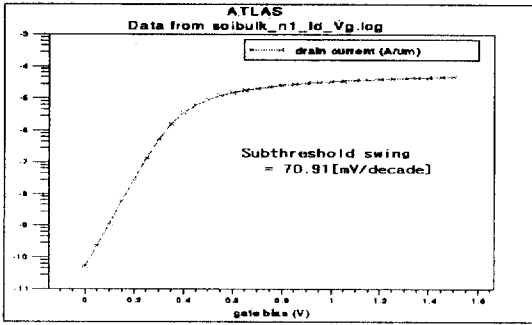


그림 6. (a) NMOS의 문턱전압 이하 특성
Fig. 6. (a) Subthreshold characteristics of NMOS

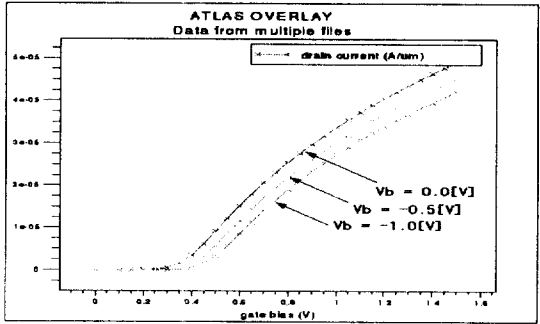


그림 7. (a) NMOS의 기판전압에 따른 ID-VG 특성
Fig. 7. (a) ID-VG characteristics of NMOS depending on substrate bias

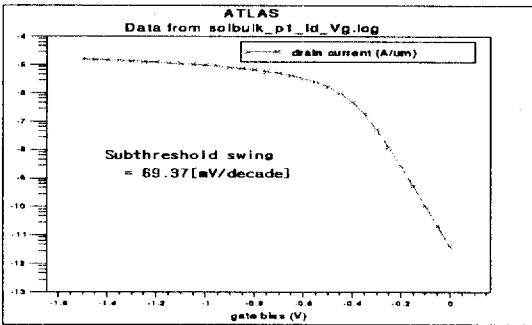


그림 6. (b) PMOS의 문턱전압 이하 특성
Fig. 6. (b) Subthreshold characteristics of PMOS

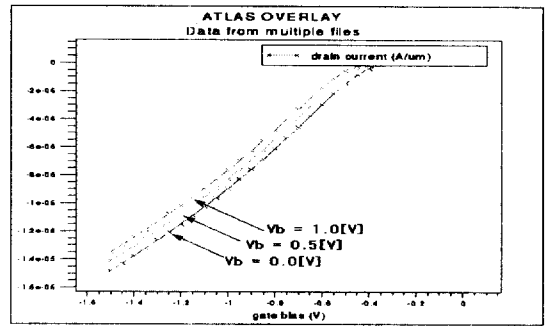


그림 7. (b) PMOS의 기판전압에 따른 ID-VG 특성
Fig. 7. (b) ID-VG characteristics of PMOS depending on substrate bias

4-4. 기판 전압에 따른 특성

공정설계된 SOI-like-bulk NMOS와 PMOS의 기판 전압에 따른 ID-VG 특성을 그림 7에 나타내었다. 본 연구에서 제안된 소자는 게이트 아래 채널 영역에 형성된 buried oxide막 때문에 기판 전압에 의해 공핍층이 채널 영역으로 확장되는 것을 억제할 수 있기 때문에 일반 CMOS 소자에 비해 기판 전압의 영향을 덜 받는다. 그림 7은 기판 전압을 NMOS는 0.0[V], -0.5[V], -1.0[V] PMOS는 0.0[V], 0.5[V], 1.0[V]를 인가하여 시뮬레이션한 것으로 기판 전압에 따른 영향이 작음을 알 수 있다.

4-5. DIBL 특성

본 연구에서 제안하는 소자는 게이트 아래 채널 영역에 형성한 buried oxide막으로 인해 드레인 포

텐셜이 채널쪽으로 미치는 영향을 일반 CMOS 소자에 비해 월등히 억제할 수 있다.

그림 8에 공정 설계한 SOI-like-bulk NMOS와 PMOS의 DIBL 특성을 나타내었다. 드레인 전압을 $V_{D1}=0.1[V]$ 와 $V_{D2}=1.5[V]$ 를 인가했을 때 문턱 전압 V_{th1} 과 V_{th2} 를 구하면 식 (2)로부터 DIBL 값을 유도해 낼 수 있다.

$$DIBL = \frac{V_{th2} - V_{th1}}{V_{D2} - V_{D1}} \dots \dots \dots (2)$$

NMOS의 경우 DIBL 값은 0.0125이고 PMOS의 경우는 -0.0117으로, 채널 길이가 짧아질수록 DIBL 값이 커지는 일반 CMOS에 비해 작은 DIBL 값을 나타낸다.

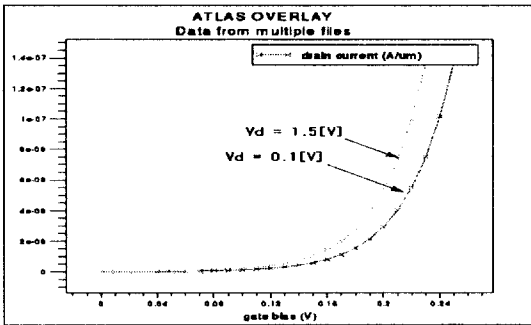


그림 8. (a) NMOS의 DIBL 특성

Fig. 8. (a) DIBL characteristics of NMOS

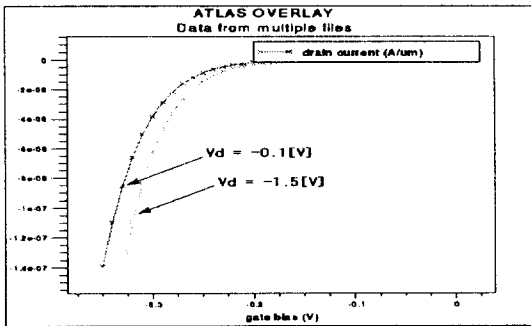


그림 8. (b) PMOS의 DIBL 특성

Fig. 8. (b) DIBL characteristics of PMOS

4-6. 문턱전압 roll-off 현상

그림 9는 동일한 공정 조건하에서 여러 가지 채널 길이를 갖는 SOI-like-bulk 구조를 설계하여 채널 길이 변화에 따른 문턱 전압의 변화를 나타내었다. 그림 9에서 알 수 있듯이 SOI-like-bulk 구조에

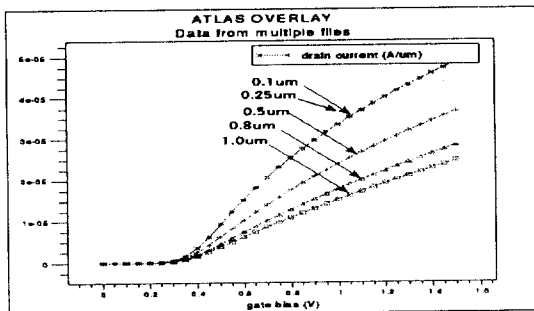


그림 9. 채널길이에 따른 ID-VG 특성

Fig. 9. ID-VG characteristics depending on channel length

서는 채널 길이가 짧아져도 문턱 전압의 변화가 거의 없음을 알 수 있다. 본 연구에서 제안한 구조에서는 buried oxide 막이 소스/드레인과 벌크 영역 사이에 고유의 채널 영역을 확보하기 때문에 문턱 전압의 변화가 거의 없다.

4-7. 항복 전압 특성

본 연구에서 제안한 소자는 게이트 아래 형성한 buried oxide막에 의해 드레인 포텐셜이 채널 영역으로 미치는 영향을 막아주기 때문에 항복 전압을 높일 수 있다. 제안한 구조의 경우 드레인 바이어스에 의해 생성된 소수 캐리어가 소스쪽에 축적되어 소스와 buried oxide막의 가장자리에서 벌크 쪽으로 캐리어가 빠지게 되므로 항복 전압을 높일 수 있다. SOI-like-bulk NMOS와 PMOS에 바이어스가 인가 되었을 때 내부에서 생성된 소수 캐리어의 흐름을

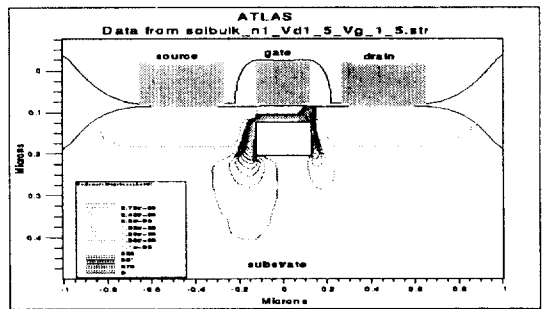


그림 10. (a) SOI-like-bulk NMOS에 바이어스가 인가된 경우 소수캐리어(정공)의 흐름
Fig. 10. (a) Minority carrier(hole) contour of SOI-like-bulk NMOS with bias

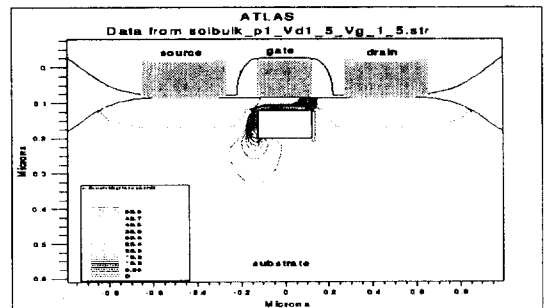


그림 10. (b) SOI-like-bulk PMOS에 바이어스가 인가된 경우 소수캐리어(전자)의 흐름
Fig. 10. (b) Minority carrier(electron) contour of SOI-like-bulk PMOS with bias

그림 10에 나타내었다. SOI-like-bulk NMOS와 PMOS의 항복 전압 특성을 그림 11에 나타내었다. NMOS의 경우 약 6[V] 이상에서 전류가 급격히 증가하고, PMOS의 경우 약 -7[V] 이상에서 전류가 급격히 증가하는 것을 알 수 있다.

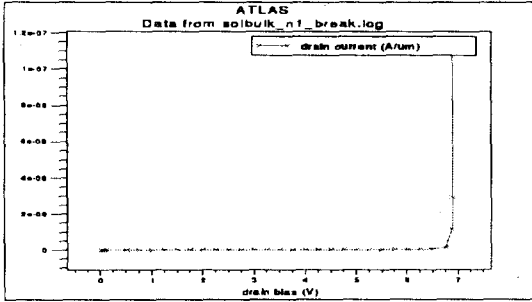


그림 11. (a) NMOS의 항복전압 특성
Fig. 11. (a) Breakdown voltage characteristics of NMOS

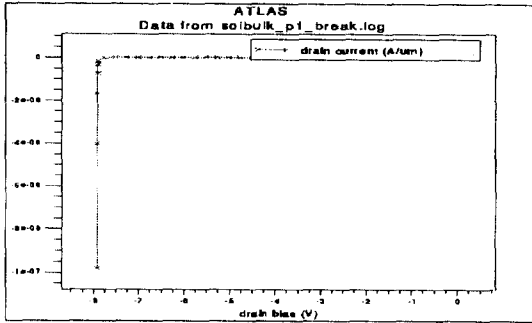


그림 11. (b) PMOS의 항복전압 특성
Fig. 11. (b) Breakdown voltage characteristics of PMOS

5. SOI-like-bulk CMOS 인버터 특성

회로에의 응용을 확인하기 위해 CMOS 인버터를 설계한 후 이를 mixed-mode로 시뮬레이션하여 회로의 정상적인 동작을 확인해 보았다.

본 연구에서 제안하는 SOI-like-bulk CMOS를 이용하여 설계한 인버터의 회로도를 그림 12에 나타내었다. NMOS와 PMOS의 W/L은 상승시간과 하강시간의 대칭을 고려하여 각각 $2\mu\text{m}/0.25\mu\text{m}$, $5\mu\text{m}/0.25\mu\text{m}$ 로 설계 하였다.

그림 13은 mixed-mode를 이용하여 그림 12의

SOI-like-bulk CMOS 인버터 회로의 DC 전달 특성을 시뮬레이션한 결과이다. 인버터의 DC 전달 특성에서 알 수 있듯이 1.5[V]의 공급 전압 하에서 full

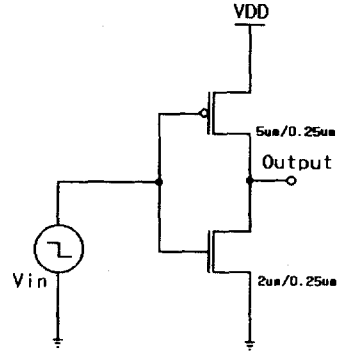


그림 12. SOI-like-bulk CMOS 인버터
Fig. 12. SOI-like-bulk CMOS inverter

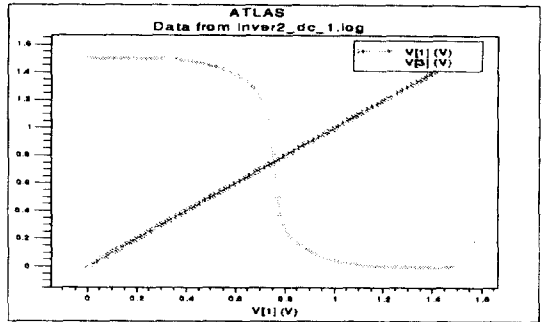


그림 13. SOI-like-bulk CMOS 인버터의 DC 전달 특성
Fig. 13. DC transfer characteristics of SOI-like-bulk CMOS inverter

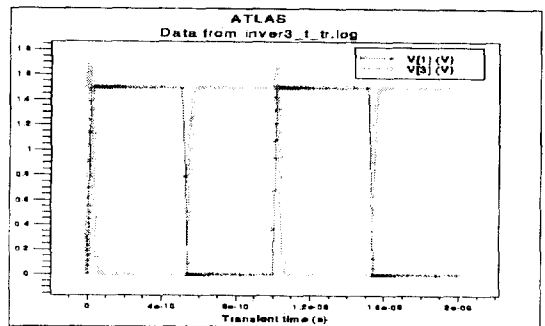


그림 14. SOI-like-bulk CMOS 인버터의 과도 특성
Fig. 14. Transient characteristics of SOI-like-bulk CMOS inverter

swing을 하고 있고, low noise margin $NM_L=0.65V$ 이고 high noise margin $NM_H=0.65V$ 로 좋은 noise margin 특성을 보이고 있다.

그림 14는 그림 12의 회로에서 시간에 대한 과도(transient)해석을 mixed-mode를 이용하여 해석한 결과로 정상적인 인버터 출력 특성을 가지며, 지연 시간(delay time)은 약 13ps의 값을 나타내고 있다.

6. 결 론

일반 bulk Si 웨이퍼를 사용한 CMOS 공정에 부분적으로 buried oxide막을 형성하는 공정과 에피를 성장시키는 공정을 추가하여 벌크 Si 기판상에서 SOI의 장점을 얻으면서 단채널 효과를 방지할 수 있고 저전압에서 안정적으로 동작할 수 있는 SOI-like-bulk CMOS 소자 구조를 제안하였다. 그리고 제안한 소자 구조를 채널 길이가 $0.25\mu m$ 인 NMOS와 PMOS를 공정 설계한 후 소자의 특성을 분석하여 다시 공정 설계에 반영시켜 최적화시켰다. 설계한 NMOS, PMOS의 문턱전압은 각각 $0.3[V]$ 와 $-0.35[V]$ 이며, $1.5[V]$ 이하의 게이트 및 드레인 전압에서 안정된 특성을 보였다. 일반적인 CMOS의 경우 채널 길이가 줄어들어 따라 누설 전류가 증가하고 문턱 전압이 낮아지지만 본 연구에서 제시한 구조는 누설 전류 값을 작게 유지함과 동시에 SOI 소자와 유사한 문턱 전압 이하의 특성을 얻을 수 있었다. 기판 전압에 따른 특성이 좋았으며 채널이 짧은 경우에도 항복 전압을 높일 수 있었다. 또한, 공정 설계한 SOI-like-bulk NMOS와 PMOS의 subthreshold swing, S 값이 $70.91[mV/decade]$ 와 $69.37[mV/decade]$ 로 일반 CMOS에 비해 좋은 특성을 보였다. 회로의 응용을 확인하기 위해 설계한 소자를 가지고 mixed mode를 이용하여 CMOS 인버터 회로를 구성하였고 CMOS 인버터의 DC 전달 특

성 및 과도 해석 결과 소자가 정상적으로 동작함을 확인 할 수 있었다. 이렇게 설계한 소자가 실용화된다면 안정적인 동작을 하는 저전압용 소자가 될 수 있을것으로 생각된다.

감사의 글

본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구조성비(과제번호 : ISRC 96-E-1028)에 의해 수행되었습니다.

참 고 문 헌

1. 손상희, 진 태, "단채널 효과를 극복할 수 있는 새로운 T자 형태의 게이트를 갖는 Grooved Gate MOSFET 소자구조에 관한 연구", 대한전기학회 논문지, Vol. 46, No. 11, pp. 1595~1602, 1997.
2. Junko Tanaka et al., "A Sub- $0.1\mu m$ Grooved Gate MOSFET with High Immunity to Short Channel Effects", IEDM, pp.537~540, 1993.
3. Jean-Pierre Colinge, "Recent Advances in SOI Technology", Tech. Digest of IEDM, p.817, 1994
4. J.P.Colinge, Silicon on Insulator Technology : Materials to VLSI, Kluwer Academic Publisher, 1991
5. Cuong T. Nguyen, et al. "Measurement of Substrate Current SOI MOSFET's" IEEE Electron Devices, Letters vol.15, No.4, p.132, 1994.
6. Mansum Chan, et al., "Recessed-Channel Structure for Fabricating Ultrathin SOI MOSFET with Series Resistance", IEEE Electron Devices Letters, vol.15, No.1, p.22, 1994.