

Pt/SrTiO₃/Pb_x(Zr_{0.52},Ti_{0.48})O₃/SrTiO₃/Si 구조의 전기적 특성 분석 및 SrTiO₃ 박막의 완충층 역할에 관한 연구

11-6-3

Electrical Properties in Pt/SrTiO₃/Pb_x(Zr_{0.52},Ti_{0.48})O₃/SrTiO₃/Si Structure and the Role of SrTiO₃ Film as a Buffer Layer

김형찬*, 신동석*, 최인훈*

(Hyung-Chan Kim, Dong-Suk Shin, and In-Hoon Choi)

Abstract

Pt/SrTiO₃/Pb_x(Zr_{0.52},Ti_{0.48})O₃/SrTiO₃/Si(MIFIS) structure was prepared by rf-magnetron sputtering method for use in nondestructive read out ferroelectric RAM(NDRO-FRAM). Pb_x(Zr_{0.52},Ti_{0.48})O₃ (PZT) and SrTiO₃ (STO) films were deposited respectively at the temperatures of 300°C and 500°C on p-Si(100) substrate. The role of the STO film as a buffer layer between the PZT film and the Si substrate was studied using X-ray diffraction(XRD), Auger electron spectroscopy(AES), and scanning electron microscope(SEM). Structural analysis on the interfaces was carried out using a cross sectional transmission electron microscope(TEM). For PZT/Si structure, mostly Pb deficient pyrochlore phase was formed due to the serious diffusion of Pb into the Si substrate. On the other hand, for STO/PZT/STO/Si structure, the PZT film had perovskite phase and larger grain size with a little Pb interdiffusion. The interfaces of the PZT and the STO film, of the STO film and the interface layer, of the interface layer and the SiO₂, and of the SiO₂ and the Si substrate had a good flatness. A cross sectional TEM image showed the existence of an amorphous layer and SiO₂ with 7nm thickness between the STO film and the Si substrate. The electrical properties of MIFIS structure was characterized by C-V and I-V measurements. By 1MHz C-V characteristics for Pt/STO(25nm)/PZT(160nm)/STO(25nm)/Si structure, memory window was about 1.2 V for an applied voltage of 5 V. Memory window increased by increasing the applied voltage and the maximum voltage of memory window was 2 V for 7 V applied. Memory window decreased by decreasing PZT film thickness to 110nm. Typical leakage current was about 10⁻⁸ A/cm for an applied voltage of 5 V.

Key Word(중요용어) : Buffer layer(완충층), Memory window(동작전압폭), Leakage current(누설전류)

1. 서 론

최근 들어 강유전체를 이용한 불휘발성 기억소자에 대한 연구 개발이 매우 활발히 진행되고 있다. 이는 강유전체가 불휘발성 기억소자에 응용될 경우 저전압 동작 가능, 10조회 사용가능 및 고직접화가

가능하다는 장점을 가지고 있기 때문이다. 또한 이에 관련된 반도체 공정기술의 향상으로 그 가능성이 더욱 증대되고 있다. 특히 NDRO(nondestructive read out)-FRAM의 경우 저장된 정보를 읽은 후에도 저장된 정보를 그대로 유지할 수 있으며 한 개의 트랜지스터로 동작 가능하므로 고직접화가 가능하다. 일반적인 EEPROM(electrically erasable programmable ROM)은 높은 동작 전압이 요구되고 정보 저장 반복이 10⁴ 회 정도 가능하다. 이에 반해 NDRO-FRAM 소자는 5 V 이하의 동작전압과 10¹² 회 정도 정보 저장이 가능할 것으로 기대된다. 또한

* : 고려대학교 재료공학과

(서울시 성북구 안암동 5가 1, Fax : 02-921-9237

E-mail : ihchoi@kucncx.korea.ac.kr)

1998년 3월 9일 접수, 1998년 5월 11일 심사완료

아날로그 신호를 축적하여 자율학습이 가능한 신경 회로망 소자 구현이 가능할 것으로 기대된다.^{1,2)} 그러나 NDRO-FRAM 소자를 구현하기 위해 강유전체 박막을 트랜지스터의 게이트 산화막(gate oxide)으로 사용한 MFS(metal/ferroelectrics/semiconductor) 구조가 제안되었으나, 이 경우에 강유전체와 반도체 사이에 상호 반응에 의해 소자 구현이 어렵다는 문제가 발생되었다. 특히 Pb(Zr,Ti)O₃(PZT) 강유전체의 경우 Pb와 Si의 반응이 심각한 것으로 보고되었다.^{3,4)} 본 연구에서는 이러한 문제를 극복하기 위한 완충층으로 SrTiO₃(STO) 박막을 제시하였다.⁵⁾ 본 연구에서는 STO 박막을 완충층으로 사용한 Pt/STO/Pb_x(Zr_{0.52}Ti_{0.48})O₃/STO/Si 구조에 대한 전기적 특성 및 STO 박막의 완충층 역할에 대해 조사하였다

2. 실험 방법

본 연구에 사용된 스퍼터링 장치는 세 개의 타겟을 부착할 수 있는 구조로 설계되었다. 직경 2인치, 두께 1/4인치 원형 타겟을 장착할 수 있으며 원형 타입의 영구 자석(1500 Gauss)을 magnetron으로 사용하였다. 각각의 타겟으로부터 스퍼터링된 각 원소들이 기판의 중심을 향하도록 타겟이 30°로 기울어져 있다. 기판 온도조절을 위하여 할로젠 램프를 사용하였다. 증착된 STO 및 PZT 박막의 결정 구조 및 조성 분석을 위해 p-Si(100) 기판을 사용하였고 전기적 성질 측정을 위해서 상부전극으로 Pt를 스퍼터링법으로 증착하였다. PZT 타겟의 경우 Pb의 휘발을 고려하여 20%(wt%) 과량 Pb를 사용하였다. Si 기판은 표면의 산화막을 제거하기 위해 10% HF(hydrofluoric acid)로 30초간 에칭한 후 사용하

였다. 다음 표 1.는 PZT과 STO박막의 증착 조건이다.

증착된 박막을 600°C에서 1시간 동안 산소 분위기에서 열처리하였고 12°C/min으로 냉각하였다. Pt 상부 전극을 증착한 후 400°C에서 30분간 산소분위기에서 후속 열처리를 하였다. 증착된 박막의 결정구조 및 상변화를 조사하기 위하여 XRD(X-ray diffraction) 측정을 하였다. 박막의 조성변화는 EPMA(electron probe mass analysis) 분석하여 확인하였다. 깊이에 따른 조성분포를 관찰하여 상호 확산 정도를 조사하기 위해 AES(Auger electron spectroscopy)측정을 하였다. 표면 및 단면을 관찰하기 위하여 FE-SEM (field emission scanning electron microscope)을 이용하였다. 특히 TEM(transmission electron microscope)로 단면 관찰을 하여 계면 상태를 확인하였다. Pt/STO/PZT/STO/Si 구조에 대한 전기적 특성 분석을 위해 HP 4140 pA Meter/DC voltage source 및 LCR meter를 사용하여 C-V(capacitance-voltage) 측정과 I-V (current-voltage) 측정을 하였다.

3. 결과 및 고찰

3.1 STO 박막의 완충층 효과

표 1.의 조건으로 STO 박막을 증착한 후 RBS (Rutherford back scattering) 분석으로 두께를 확인한 결과 성장률이 20nm/hour였다. PZT 박막의 경우 성장률은 30nm/hour였다. EPMA 조성 분석 결과 열처리 후 STO 박막은 Sr/Ti 비가 1/1이었고 PZT 박막은 Pb/(Zr+Ti) 비가 1.1/1이었다. 다음 그림 1은 PZT(160nm)/Si와 STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조의 XRD 결과이다. 그림 1 (a)에서 나타낸 바와 같이 PZT 박막이 Si 기판 위에 직접 증착된 경우 600°C, 1시간 열처리 후에도 perovskite 상이 거의 형성되지 않은 것을 알 수 있다. 반면 Pb 결핍상인 pyrochlore 상이 주로 형성된 것을 알 수 있었다. 이와 같은 결과는 Pb의 확산으로 인한 것으로 예상된다. 그러나 그림 1에서 보듯이 STO 박막을 완충층으로 성장시킨 STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조의 경우 600°C, 1시간 열처리 한 PZT 박막은 대부분 perovskite 상으로 결정화되었다. STO 박막의 결정피크는 관찰되지 않았다. STO 박막의 경우 Si 기판 위에 위와 동일한 증착 조건에서 증착한 경우 주결정방향이 (200)인 다결정으로 성장하는 것을 확인하였다.⁶⁾ XRD 결과를 통해 볼 때 STO 박막을 완충층으로

표 1. PZT와 STO 박막의 증착조건
Table 1. Sputtering conditions of PZT and STO films

Target	STO, PZT
Base pressure	1×10 ⁻⁵ Torr
Sputtering pressure	2.5-4×10 ⁻² Torr
Substrate rotation speed	10 rpm
Target-Substrate distance	10 cm
Deposition temperature	STO : 500°C, PZT : 300°C
Gas flow ratio(O ₂ /Ar)	1/9 sccm

사용할 때 PZT 박막이 perovskite 상으로 결정화되는 것을 확인할 수 있었다. STO 박막 완충층 유무에 따른 계면 상호 확산 정도를 확인하기

을 알 수 있었다. 증착된 박막의 표면관찰을 위해 SEM측정을 하였다. 다음 그림 3(a)와 그림 3(b)는 각각 PZT(160nm)/Si 구조와 STO(25nm)/PZT(160nm)/STO(25nm)/Si구조의 표면 SEM 사진이다. 다

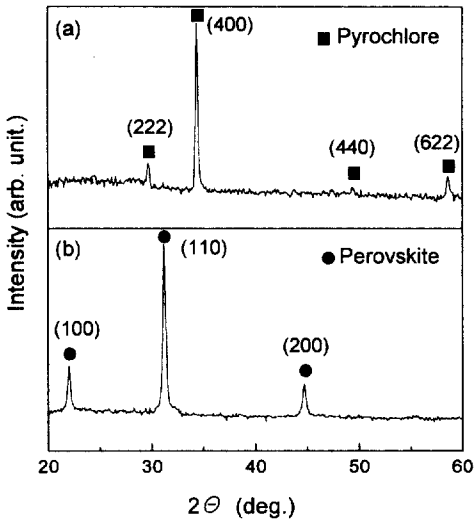


그림 1. 600°C에서 1시간 동안 산소분위기로 열처리한 XRD 회절도 (a) PZT(160nm)/Si (b) STO(25nm)/PZT(160nm)/STO(25nm)/Si
Fig. 1. XRD patterns of (a) PZT(160nm)/Si and (b) STO(25nm)/PZT(160nm)/STO(25nm)/Si structures annealed at 600°C for 1 hour in the oxygen atmosphere

위해 깊이에 따른 AES 측정을 하였다. 다음 그림 2는 AES 측정 결과이다. 그림 2 (a)는 PZT(160nm)/Si의 AES 측정 결과이다. 이 경우 PZT 박막과 Si 기판 사이에서 Pb와 Si의 심한 상호 확산을 관찰할 수 있다. 또한 산소가 같이 존재하는 것으로 볼 때 SiO₂가 형성된 것으로 생각되어진다. 이때 PZT 박막 내에는 Pb의 양이 상대적으로 적은 것을 볼 수 있는데 이는 Pb의 확산으로 기인한 것이며, 이와 같은 Pb의 결핍은 그림 1(a)의 결정 분석 결과에서 pyrochlore 상의 형성 원인인 것을 확인할 수 있었다. 이에 반해 그림 2 (b)에서 STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조의 경우 PZT/Si 구조와 달리 PZT와 Si 계면에서 상호 확산이 거의 관찰되지 않았다. 이러한 결과는 STO 박막이 Pb의 확산을 적절히 억제하여 PZT 박막 내의 Pb 부족현상을 방지함으로써 PZT 박막 결정화에 기여한 것

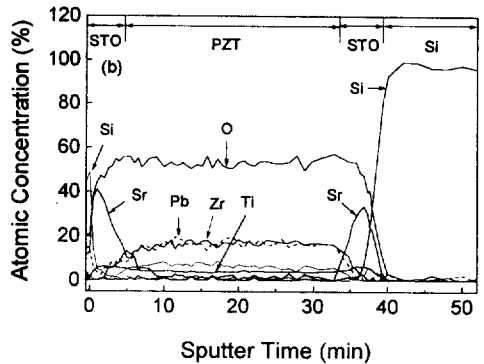
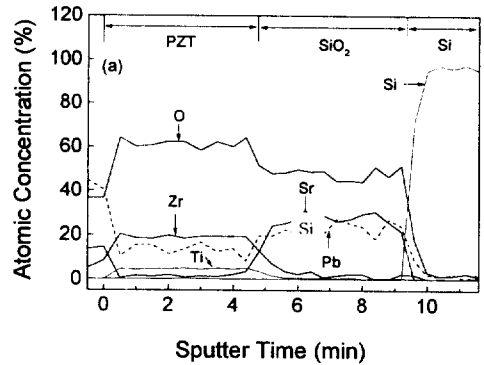


그림 2. 600°C에서 1시간 동안 산소분위기로 열처리한 (a) PZT(160nm)/Si (b) STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조의 AES 농도구배

Fig. 2. AES depth profiles of (a) PZT(160nm)/Si and (b) STO(25nm)/PZT(160nm)/STO(25nm)/Si structures annealed at 600°C for 1 hour in the oxygen atmosphere

음 그림 4는 STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조를 TEM으로 단면 관찰한 결과이다. 단면 관찰 결과 PZT 박막과 STO 박막, STO 박막과 interface layer, interface layer와 SiO₂, 및 SiO₂와 Si의 계면이 비교적 분명한 것으로 볼 때 계면 상호 확산에 의한 반응이 PZT/Si 구조보다 억제된 것을 알 수 있었다. 이는 그림 2 (b)의 AES 결과와

함께 판단해 볼 때 STO 박막이 우수한 완충층임을 확인할 수 있었다. 그러나 STO 박막과 Si 기판 사이에 SiO₂ 층과 중간상으로 여겨지는 비정질상이 각각 7nm 정도 존재하는 것이 관찰되었다. 이는 STO

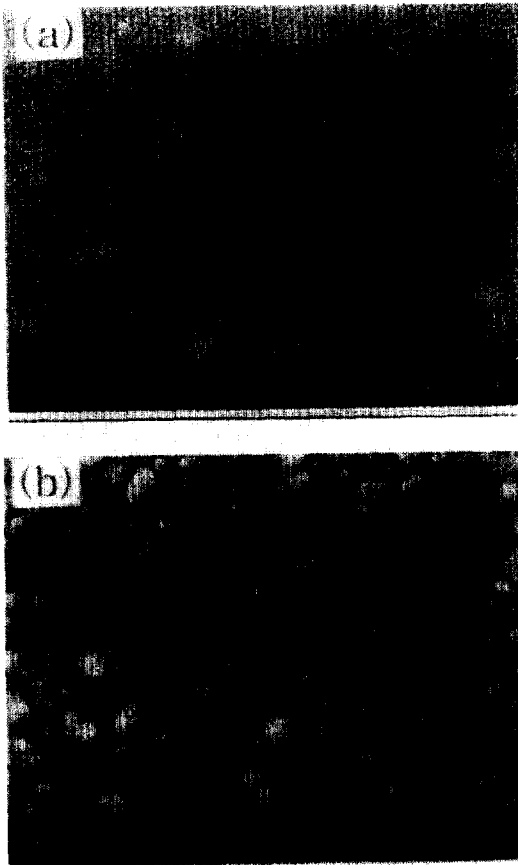


그림 3. 600°C에서 1시간 동안 산소분위기로 열처리한 (a) PZT(160nm)/Si (b) STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조의 SEM 사진

Fig. 3. SEM images of (a) PZT(160nm)/Si and (b) STO(25nm)/PZT(160nm)/STO(25nm)/Si structures annealed at 600°C for 1 hour in the oxygen atmosphere

박막이 Si 기판 계면에서 SiO₂ 층 형성을 완전히 억제하지는 못하는 것을 의미하며 STO 박막과 SiO₂ 사이의 계면반응이 일어난 것으로 생각되어진다. 위와 같은 결과를 토대로 구조적인 측면에서

STO 박막이 PZT와 Si 사이의 완충층으로 적합한 것을 확인하였다.

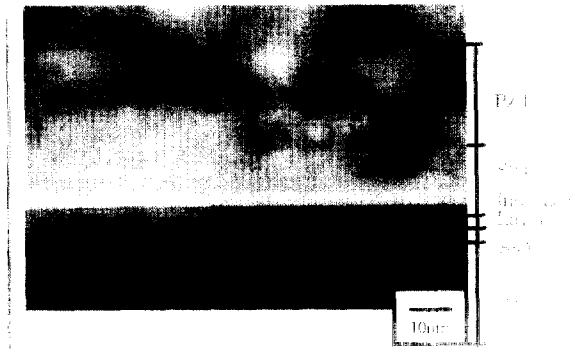


그림 4. 600°C에서 1시간 동안 산소분위기로 열처리한 STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조의 TEM 단면사진

Fig. 4. A cross sectional TEM image of STO(25nm)/PZT(160nm)/STO(25nm)/Si structure annealed at 600°C for 1 hour at the oxygen atmosphere

3.2 Pt/STO/PZT/STO/Si 구조의 전기적 특성

앞에서 STO 박막이 PZT 박막의 결정 구조적인 측면 및 PZT 박막과 Si 기판 사이의 계면 상호 확산방지 역할에서 우수한 특성을 갖는 것을 확인하였다. 강유전체 박막을 게이트 산화막으로 사용한 트랜지스터는 전압이 제거된 후에도 강유전체 박막에 잔류하는 분극에 의해서 Si 기판에 유도된 전하가 유지될 수 있다. 이러한 특성 때문에 트랜지스터는 전압이 제거된 상태에서도 트랜지스터가 on 또는 off 상태를 유지할 수 있게 된다. 이때 트랜지스터가 on/off 특성을 유지할 수 있는 동작 전압폭이 형성되는데 이것을 memory window라고 한다. Pt/STO/PZT/STO/Si 구조에서 C-V 및 I-V 측정을 통해 전기적 특성을 조사하였다. 그림 5는 Pt/STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조에서 가해진 전압(V_g)에 따른 C-V 특성이다. 앞에서 살펴본 것 같이 전압에 따라 이력전압(hysteresis voltage)이 생겨 트랜지스터의 상태를 유지시킬 수 있는 memory window가 형성된 것을 알 수 있다. 또한 가해진 전압에 따라 memory window가 증가하는 것을 알 수 있다. 이것은 가해진 전압에 따라 PZT 박막에 걸리는 전압이 증가하여 잔류하는 분

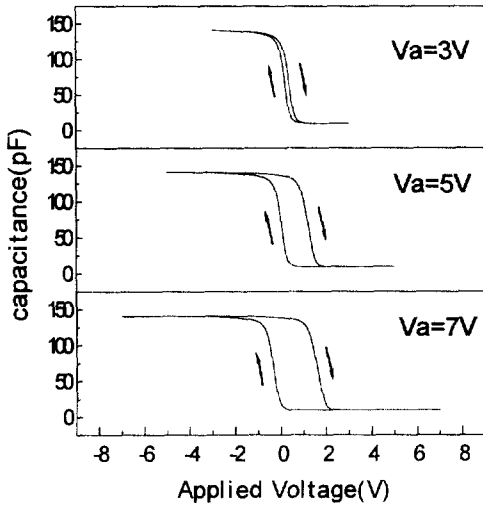


그림 5. Pt/STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조의 C-V 특성

Fig. 5. C-V characteristics of Pt/STO(25nm)/PZT(160nm)/STO(25nm)/Si structure

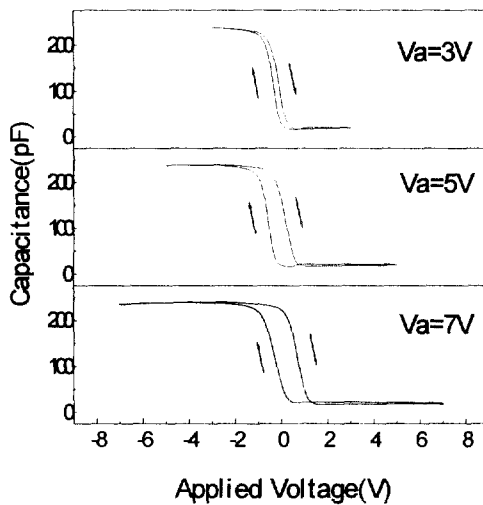


그림 6. Pt/STO(25nm)/PZT(110nm)/STO(25nm)/Si 구조의 C-V 특성

Fig. 6. C-V characteristics of Pt/STO(25nm)/PZT(110nm)/STO(25nm)/Si structure

극 및 항전계값이 커지기 때문이다. 각각 5 V와 7 V의 전압을 가했을 때 memory window 값은 약 1.2 V와 2 V였다. 다음 그림 6은 PZT 박막 두께를 110nm로 감소시킨 경우의 C-V 측정 결과이다. 그

림 5과 같이 강유전성에 의한 이력전압이 나타났지만 memory window 값이 PZT 박막 두께가 160nm인 경우보다 감소하였다. 그림 7에 PZT 박막 두

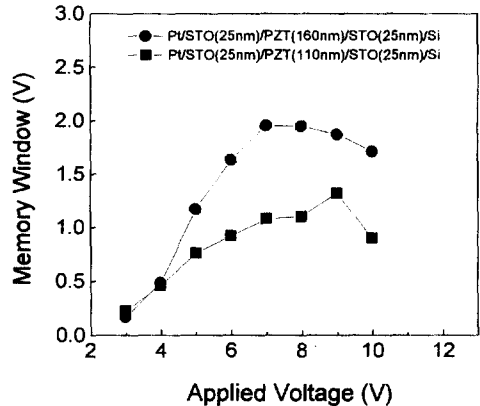


그림 7. Pt/STO(25nm)/PZT(160nm)/STO(25nm)/Si와 Pt/STO(25nm)/PZT(110nm)/STO(25nm)/Si 구조의 동작전압폭

Fig. 7. Memory windows of Pt/STO(25nm)/PZT(160nm)/STO(25nm)/Si and Pt/STO(25nm)/PZT(110nm)/STO(25nm)/Si structures

께가 각각 110nm와 160nm인 경우 가해진 전압에 따른 memory window 값을 측정하여 나타내었다. PZT 박막 두께가 160nm인 경우가 전반적으로 memory window값이 더 큰 것으로 나타났다. 이것은 PZT 박막의 두께가 커질수록 상대적으로 PZT 박막에 걸리는 전계(electric field)가 작아지기 때문인 것으로 생각된다. 그러나 가해진 전압이 어느 정도 증가하면서 memory window는 최대 한계 값을 가지며 감소하는 것으로 나타났다. 이는 STO 박막과 Si 기판 사이에 존재하는 SiO₂ 층에 높은 전계가 걸리면서 전하 침투(charge injection)가 일어남으로써 memory window 값이 감소하는 것으로 생각된다. 강유전체 박막을 게이트 산화막으로 사용한 트랜지스터가 실제 NDRO-FRAM 소자로 응용될 경우 memory window 값이 클수록 안정적인 정보 처리가 가능하므로 이에 대한 개선이 요구된다. 본 연구의 결과를 토대로 볼 때 PZT 박막의 두께가 증가할수록 memory window 값이 증가하므로 PZT 박막의 두께와 완충층으로 사용된 STO 박막의 두께를 적절히 조절한다면 낮은 동작 전압에서 안정적인 정보 처리가 가능한 memory window를 얻을

수 있을 것으로 생각된다. 다음 그림 8은 Pt/STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조의 누설전

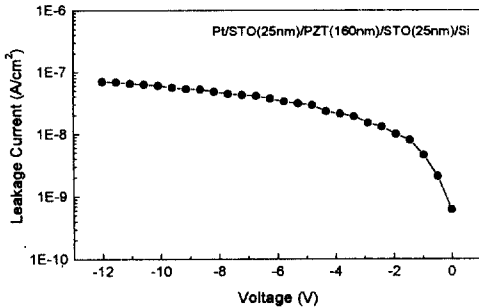


그림 8. Pt/STO(25nm)/PZT(160nm)/STO(25nm)/Si 구조의 I-V 특성

Fig. 8. I-V characteristics of Pt/STO(25nm)/PZT(160nm)/STO(25nm)/Si structure

류 특성을 나타낸 것이다. 사용된 기판이 p-Si 임으로 충전영역(accumulation region)인 (-) 방향으로 측정하여 산화막만의 누설전류 특성을 조사하였다. 인가 전압 5 V에서 누설전류 밀도가 10⁻⁸ A/cm² 정도로 비교적 낮은 값을 유지하는 것으로 나타났다.

4. 결 론

본 연구는 Pt/STO/PZT/STO/Si 구조에서 STO 박막의 Pb 확산에 대한 완충층 역할과 제조한 시편의 전기적 특성을 살펴보았다. XRD 및 AES 분석 결과 PZT/Si 구조에서 PZT 박막이 Si 기판과 직접 접촉하고 있는 경우 Pb가 Si 기판으로 확산하기 때문에 PZT 박막이 대부분 Pb 결핍상인 pyrochlore 상으로 결정화되었다. 이에 반해 STO 박막을 완충층으로 사용한 STO/PZT/ STO/Si 구조의 경우 PZT 박막이 대부분 perovskite 상으로 결정화되었고 Pb의 확산도 거의 관찰되지 않았다. SEM으로 표면 분석 결과 역시 STO 박막이 있는 경우 PZT 박막의 결정립 성장이 잘 이루어졌다. HRTEM 단면 관찰 결과 PZT와 STO 박막 사이의 계면반응은 거의 관찰되지 않았다. 그러나 STO 박막과 Si 기판 사이의 계면에서 비정질상인 중간상과 SiO₂ 층이 약7nm 정도 관찰되었고 계면은 비교적 평탄하였다. 위와 같은 결과를 토대로 볼 때 STO 박막이 PZT 박막과 Si 기판 사이의 구조적 완충층으로 적합한 것을 확인하였다. Pt/STO(25nm)/PZT(160nm)/STO

(25nm)/Si 구조의 C-V 및 I-V 측정 결과 다음과 같은 결과를 얻었다. 5 V를 가해주었을 때 memory window 값이 1.2 V였다. 가해진 전압이 증가할수록 memory window 값은 증가하였다. 인가전압 7 V에서 memory window 값이 2 V였다가 감소하기 시작하였다. PZT 박막의 두께가 110nm로 더 작은 경우 memory window 값이 감소하였다. 인가전압 5 V에서 10⁻⁸ A/cm²의 누설전류를 나타내었다. NDRO-FRAM 소자에 응용할 경우 memory window 값이 클수록 소자동작이 안정적인 것을 고려할 때 이에 대한 개선이 요구된다.

감사의 글

본 연구는 97년도 교육부 산하 신소재 분야 연구비 지원(과제번호(H0081000)에 의해 수행되었으므로 이에 감사드립니다.

참 고 문 헌

1. H. Ishiwara, "Proposal of Adaptive-Learning Neuron Circuits with Ferroelectric Analog-Memory Weights", Jpn. J. Appl. Phys., Vol.32, pp.442, 1993
2. H. Ishiwara, "Current Status and Prospects of Ferroelectric Thin Film Devices", FED Journal, Vol.7, pp.13-20 1996
3. Y. Shichi, S. Tanimoto, T. Goto, K. Kuroiwa, and Y. Tarui, "Interaction of PbTiO₃ with Si Substrate", Jpn. J. Appl. Phys., Vol.33, pp.5172, 1994
4. C. S. Hwang and H. J. Kim, "Deposition of Pb(Zr,Ti)O₃ Thin Films by Metal-Organic Chemical Vapor Deposition", J. Am. Ceramic. Soc., Vol. 78(2), pp.329, 1995
5. Eisuke Tokumitsu, Kensuke Itani, Bum Ki Moon, and Hiroshi Ishiwaza, "Crystalline Quality and Electrical Properties of PbZr_xTi_{1-x}O₃ Thin Films Prepared on SrTiO₃-covered Si Substrates", Jpn. J. Appl. Phys., Vol.34, pp.5202, 1995
6. 장현용, 박상태, 신동석, 최인훈, "RF 마그네트론 스퍼터링법에 의한 MFIS구조의 PZT/STO/Si 박막 특성에 관한 연구", J. Eng. Sci. & Tech., Vol. 35, pp.49-55, 1997