

LDD 구조의 다결정 실리콘 박막 트랜지스터의 특성

11-7-4

Characteristics of Polysilicon Thin Film Transistor with LDD Structure

황한욱*, 황성수*, 김용상*

(Han-Wook Hwang, Seong-Soo Hwang, Yong-Sang Kim)

Abstract

We have fabricated a LDD structured polysilicon thin film transistor with low leakage current and the optimized LDD length has been obtained. The device performance is improved by hydrogen passivation process. The on/off current ratio of poly-Si TFT's with 0.5 μm and 1.0 μm LDD length is much higher than that of conventional structured device due to the decrease of leakage current. The optimized LDD length may be 0.5 μm from the experimental data such as on/off current ratio, threshold voltage and hydrogenation effect.

Key Words(중요용어) : Poly-Si(다결정 실리콘), Thin film transistor(TFT, 박막 트랜지스터), LDD structure (LDD 구조), Leakage current(누설 전류)

1. 서 론

다결정 실리콘 (polycrystalline silicon, poly-Si) 박막 트랜지스터 (thin film transistor, TFT)는 최근 액정 평판 표시기 (liquid crystal display, LCD)의 구동 소자로써 그 물성 및 소자 개발에 관한 연구가 활발히 진행되고 있다¹⁾. 특히, 다결정 실리콘 박막 트랜지스터는 비정질 실리콘 (amorphous silicon) 박막 트랜지스터에 비하여 전기적 이동도가 크므로 액정 구동용 소자뿐 만 아니라, 주변회로를 동일 기판위에 구성할 수 있는 장점을 갖고 있으며, 비정질 실리콘 박막 트랜지스터의 구동전압이 25 V 정도인데 반하여, 다결정 실리콘 박막 트랜지스터의 경우 10 V 미만으로 구동이 가능하며 수율, 화질 등 기술성은 물론, 전력소모가 감소하는 큰 장점이 있다. 그러나, 화소 소자에 적용할 경우 박막 트랜지스터의 누설 전류가 큰 단점이 존재하여 화면의 flickering 현상 등의 문제점이 발생한다. 다결정 실리콘 박막 트랜지스터의 누설전류는 게이트와 드레인 사이의 높은 수평전계에 의해 발생하며^{2,3)}, 이런

높은 수평전계를 제한하기 위해서 다결정 실리콘 박막 트랜지스터의 소오스와 게이트 그리고 게이트와 드레인 사이의 일정 영역을 낮게 도핑한 LDD (Lightly-Doped Drain) 구조^{4,5)} 및 offset 구조⁶⁾를 지닌 다결정 실리콘 박막 트랜지스터의 연구가 활발히 진행되고 있다. LDD 구조나 offset 구조의 경우, 스위칭 소자의 주요한 특성인 on/off 전류비, 전계 효과 이동도 및 누설 전류 성분의 최적화를 통한 LDD 길이에 대한 최적화를 실현해야 할 필요성이 있다.

본 연구에서는 비정질 실리콘 박막을 고상 결정화하여 다결정 실리콘 박막을 제작하고 다결정 실리콘 박막에 대한 물성 연구를 수행하였으며, LDD 구조의 다결정 실리콘 박막 트랜지스터를 제작하여 LDD 길이의 최적화를 실현하여 LDD 구조를 사용하지 않는 기존의 다결정 실리콘 박막 트랜지스터와의 특성을 비교하였으며 LDD 구조의 다결정 실리콘 박막 트랜지스터의 LDD 길이에 따른 특성의 변화, 수소화에 의한 박막 트랜지스터의 특성 향상 등에 관하여 고찰하였다.

2. 실험방법

본 연구에서는 일반적인 MOSFET 소자와 구조가 같은 coplanar 구조의 다결정 실리콘 박막 트랜

* : 명지대학교 전기공학과

(경기도 용인시 남동 산 38-2, Fax: 0335-21-0271

Tel: 0335-30-6365, E-mail: kys@wh.myongji.ac.kr)

1997년 11월 4일 접수, 1998년 5월 25일 심사완료

지스터를 제작하고 그 특성을 분석하였으며, 일반적인 구조와 새로운 구조의 다결정 실리콘 박막 트랜지스터의 특성을 비교하기 위하여 실리콘 웨이퍼를 산화시킨 동일 기판 위에 두 가지 형태의 소자를 동시에 제작했다.

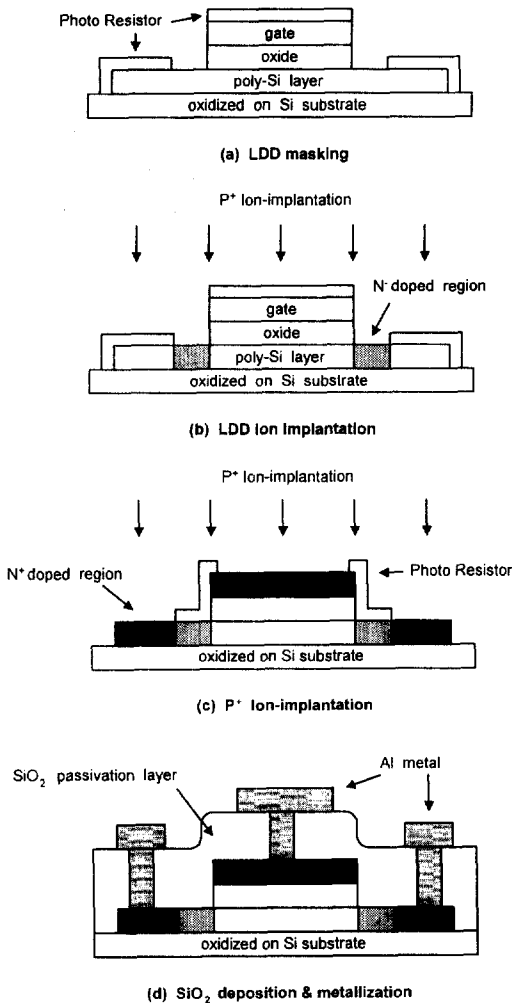


그림 1. LDD 구조의 다결정 실리콘 박막 트랜지스터의 공정 순서도.

Fig. 1. The process sequence of the LDD structured poly-Si TFT.

Aceton 및 TCE (Trichloroethylene) 등으로 세척된 실리콘 웨이퍼위에 상압 화학 기상 증착 (APCVD) 방법으로 480 °C 에서 5000 Å의 산화막을 증착시킨 다음, 저압 화학 기상 증착 (LPCVD)

에 의하여 550 °C 에서 1000 Å의 비정질 실리콘을 증착하여 활성 영역을 형성하였다. 이 때, 반응 가스로는 가장 많이 사용되는 100 % SiH₄를 사용하였다. 활성 영역인 비정질 실리콘을 950 °C에서 1 시간 동안 열처리하여 다결정화한 후 active mask를 이용하여 활성 영역을 정의하였고 건식 식각 방법으로 다결정 실리콘 박막을 식각하였다. 게이트 절연층은 100 Å의 열산화막을 형성한 후, 상압 화학 기상 증착 방법으로 480 °C에서 900 Å 두께로 증착하여 이중 절연막을 형성하였다. LDD 영역은 P⁺를 1.0×10¹² ions/cm²의 농도로 도핑하여 정의하였으며, 소오스/드레인은 P⁺를 70 keV의 에너지 및 2.0×10¹⁵ ions/cm²의 농도로 도핑하여 정의하고 850 °C의 질소 분위기에서 30 분 동안 열처리하여 주입된 이온을 활성화시켰다. 보호막으로는 산화막을 상압 화학 기상 증착 방법으로 7000 Å 두께로 증착하였다. 여러 가지 LDD 길이를 가지는 다결정 실리콘 박막 트랜지스터를 제작하였으며, 제작된 소자의 공정 순서 및 단면 구조를 그림 1에 나타냈다.

수소화는 다양한 시간에 따라서 13.56 MHz의 r.f. 플라즈마 반응 챔버에서 수소를 100 sccm 유입하며 300 °C, 0.5 Torr, 전력 밀도는 0.25 W/cm² 에서 행하였다. 소자의 전압 특성 곡선과 문턱 전압 등의 소자 변수들을 수소화 시간에 따라서 HP4145B 반도체 변수 분석 장비를 이용하여 측정하였다.

제작된 다결정 실리콘 박막 트랜지스터의 소자 내부의 특성을 고찰하기 위하여 SPICES-III를 이용하여 simulation을 수행하였다. 이때, 제작된 소자와 동일한 공정으로 SUPREME-IV를 이용하여 공정 simulation을 수행한 소자의 구조에서 활성층 영역의 내부 전계 분포와 전하 분포 등을 게이트 전압과 드레인 전압에 따라 구하였다.

3. 결과 및 고찰

채널의 길이가 6 μm이고 채널의 폭이 16 μm인 다결정 실리콘 박막 트랜지스터에서 LDD 길이를 0 μm, 0.5 μm, 1.0 μm, 그리고 2.0 μm로 변화하며 LDD 길이에 따른 전류-전압 특성 곡선을 그림 2에 도시한 바, LDD 길이가 증가할수록 누설 전류 성분이 감소하는 특성을 보이고 있다. 박막 트랜지스터의 누설 전류는 드레인 영역에서의 높은 전계 분포가 주 원인인 바^{2,3)}, SPICES-III를 이용하여 주어진 소자의 off 상태에서의 수평 전계 분포 곡선을 simulation하였다. 그림 3에 나타난 바와 같이 드레인 영역에서의 최대 전계 크기가 일반적인 구조의 소자에 비하여 LDD 구조를 갖는 소자의 경우에 현저히 감소함을 확인하였다. 일반적인 구조의 소자

는 드레인과 채널의 경계 부분에서 약 $1.75 \times 10^5 \text{ V/cm}$ 의 최대 전계가 발생하지만 $0.5 \mu\text{m}$ 와 $1 \mu\text{m}$ 의 LDD 길이를 갖는 소자의 경우에는 LDD 영역 전체에 걸쳐 전계가 분포하게 되면서 최대 전계의 크기가 각각 $1.2 \times 10^5 \text{ V/cm}$, $0.7 \times 10^5 \text{ V/cm}$ 로 현저히 감소함을 알 수 있다. 따라서 그림 2에 나타난 바와 같이 LDD 구조의 다결정 실리콘 박막 트랜지스터의 누설 전류 감소는 LDD 영역이 게이트와 드레인 접합 부근에서의 수평전계를 효과적으로 억제했기 때문이다. 이러한 수평전계의 감소는 LDD 영역의 증가로 LDD 영역이 없을 때보다 상대적으로 드레인 전압이 인가되는 거리가 증가되었기 때문이다.

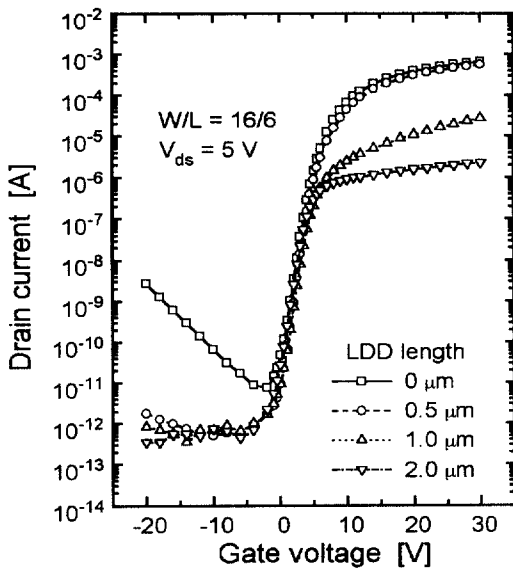


그림 2. LDD 길이에 따른 다결정 실리콘 박막 트랜지스터의 전류-전압 특성 곡선의 변화.

Fig. 2. Current-voltage characteristics of poly-Si TFT's with different LDD length.

그러나 LDD 길이가 증가함에 따라 동시에 on 전류도 감소하므로 스위칭 소자로서 중요한 on/off 전류비의 최적화가 성립하는 LDD 길이를 설정하는 것이 필요하다. LDD 길이가 $0.5 \mu\text{m}$ 인 소자의 경우 일반적인 구조 (LDD 길이가 $0 \mu\text{m}$)의 다결정 실리콘 박막 트랜지스터에 비하여 on 전류의 감소가 거의 없는 반면에 누설 전류가 급격히 감소하여 on/off 전류비의 소자 특성이 향상됨을 알 수 있다. 그러나, LDD 길이가 $1.0 \mu\text{m}$ 이상인 소자의 경우 누설 전류는 현저히 감소하지만 on 전류의 감소가 두

드러지게 나타남으로 on/off 전류비는 일반적인 구조의 다결정 실리콘 박막 트랜지스터에 비하여 향상되지 않고 오히려 문턱 전압의 증가, 전계 효과 이동도의 감소 등 소자의 특성이 열악하게 나타남을 알 수 있다.

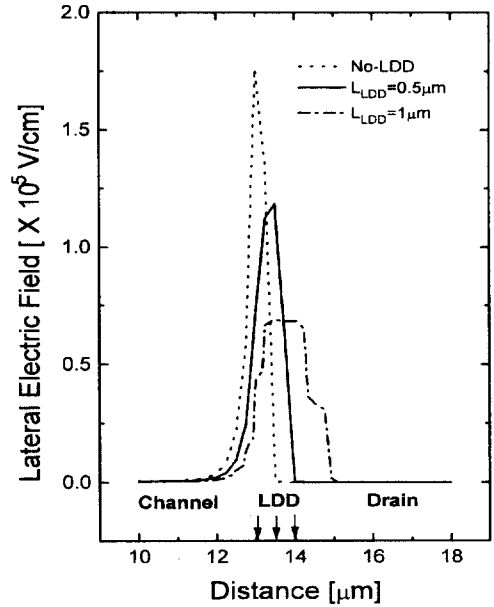


그림 3. 일반적인 구조와 LDD 다결정 실리콘 박막 트랜지스터의 수평 전계 분포 곡선.

Fig. 3. Lateral electric field distribution in conventional and LDD poly-Si TFT's.

다결정 실리콘 박막 트랜지스터의 경우, 다결정 실리콘 박막 내부에 존재하는 그레인 경계면에서의 트랩이 소자의 특성을 저하시키는 문제점이 있다. 수소화는 이러한 트랩 상태 밀도를 감소시킴으로써 다결정 실리콘 박막 트랜지스터의 특성을 향상시키는 데 가장 중요한 공정으로 알려져 있다^{7,8)}. 따라서 수소화 공정을 이용하여 소자의 특성을 향상하고자 하였으며 제작된 일반적인 구조의 다결정 실리콘 박막 트랜지스터에 수소화 공정을 수행하여 전달 특성 곡선의 변화를 그림 4에 나타냈다. 수소 플라즈마에 의한 8 시간의 수소화를 수행하여 on/off 전류비의 증가, 문턱전압 및 누설전류의 감소 등, 소자의 모든 특성이 향상된 것을 알 수 있으며 이는 수소화에 의하여 다결정 실리콘의 그레인 경계면에 존재하는 트랩 상태 밀도가 감소함으로써 다결정 실리콘 박막 트랜지스터의 특성이 향상되어 얻어진 결과이다. 수소화 공정에 의하여 문턱 전압은 3.0 V에서

1.9 V로, on/off 전류비는 8.7×10^7 에서 1.1×10^9 로, 문턱 이전 기울기는 0.95 V/dec에서 0.47 V/dec로 향상됨을 확인하였다.

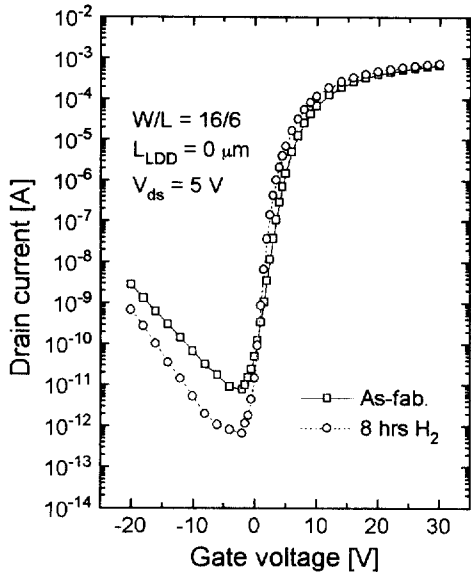


그림 4. 일반적인 소자의 수소화에 따른 전류-전압 특성 곡선의 변화.

Fig. 4. I_D - V_G curves before and after hydrogen passivation for conventional poly-Si TFT.

그림 5와 그림 6에 LDD 길이가 $0.5 \mu\text{m}$ 인 소자와 $1.0 \mu\text{m}$ 인 소자의 수소화에 따른 특성 변화를 각각 도시하였다. 수소화를 수행하여 on/off 전류비의 증가, 문턱전압 및 누설전류의 감소 등, 소자의 모든 특성을 향상된 바 LDD 구조의 다결정 실리콘 박막 트랜지스터에서의 수소화 효과는 on 전류의 향상이 뚜렷하게 나타났다. 수소화 이후에는 LDD 길이가 $0.5 \mu\text{m}$ 인 소자와 $1.0 \mu\text{m}$ 인 소자의 특성이 일반적인 구조의 다결정 실리콘 박막 트랜지스터에 비하여 누설 전류의 현저한 감소가 나타났으며 on 전류의 손실이 매우 적은 것으로 나타나 on/off 전류비가 매우 우수함을 확인하였다. LDD 길이가 $0.5 \mu\text{m}$ 인 소자의 경우 수소화 공정에 의하여 문턱 전압은 3.0V에서 2.1 V로, on/off 전류비는 1.0×10^9 에서 8.2×10^9 로, 문턱 이전 기울기는 0.97V/dec에서 0.50 V/dec로 향상되었고, LDD 길이가 $1.0 \mu\text{m}$ 인 소자는 수소화 공정에 의하여 문턱 전압은 3.5V에서 2.1V로, on/off 전류비는 4.6×10^7 에서 2.5×10^9 로, 문턱 이전 기울기는 0.95V/dec에서 0.50V/dec로 향상되었다.

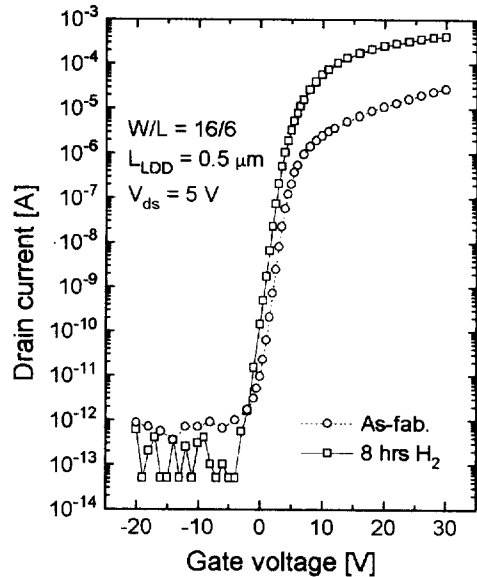


그림 5. LDD 길이가 $0.5 \mu\text{m}$ 인 소자의 수소화에 따른 전류-전압 특성 곡선의 변화.

Fig. 5. I_D - V_G curves of poly-Si TFT with $0.5 \mu\text{m}$ LDD before and after hydrogenation.

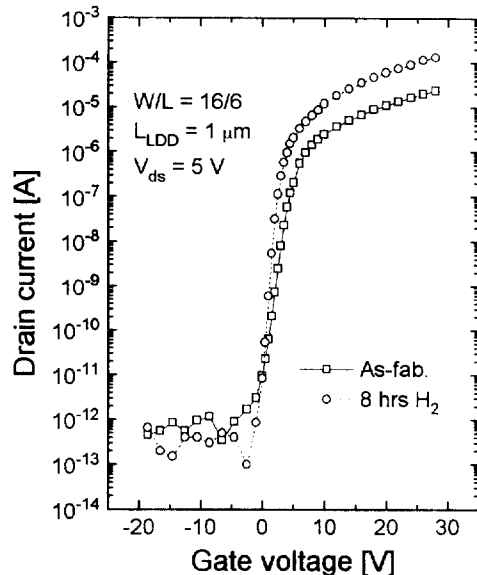


그림 6. LDD 길이가 $1.0 \mu\text{m}$ 인 소자의 수소화에 따른 전류-전압 특성 곡선의 변화.

Fig. 6. I_D - V_G curves of poly-Si TFT with $1.0 \mu\text{m}$ LDD before and after hydrogenation.

표 1. 다양한 LDD 길이를 가진 다결정 실리콘 박막 트랜지스터에서의 수소화 이전과 이후의 소자 특성 변수의 변화.

Table 1. Device parameters of poly-Si TFT's with different LDD length before and after hydrogenation.

LDD length (μm)	As-Fab.				Hydrogenation			
	0	0.5	1.0	2.0	0	0.5	1.0	2.0
V_{th} (V)	3.0	3.0	3.5	3.4	1.9	2.1	2.1	2.1
I_{min} (A)	7.6×10^{-12}	5.5×10^{-13}	6.5×10^{-13}	4.5×10^{-13}	6.5×10^{-13}	5.0×10^{-14}	8.0×10^{-14}	5.0×10^{-14}
I_{on}/I_{off}	8.7×10^7	1.0×10^9	4.6×10^7	5.0×10^6	1.1×10^9	8.2×10^9	2.5×10^9	4.8×10^9
S (V/dec)	0.95	0.97	0.95	0.98	0.47	0.50	0.50	0.51

LDD 길이에 따른 소자의 특성 변수를 수소화 이전과 이후에 대하여 표 1에 요약한 바, on/off 전류비, 문턱전압 및 누설전류의 특성 변화로 살펴본 LDD 다결정 실리콘 박막 트랜지스터의 LDD 최적 길이는 본 연구에서 수행한 제작 공정의 경우 0.5 μm 로 나타났다.

4. 결 론

다결정 실리콘 박막 트랜지스터의 경우 누설 전류가 큰 단점이 존재하므로 누설 전류가 매우 적은 LDD 구조를 가진 다결정 실리콘 박막 트랜지스터를 제작하고 수소화를 수행하여 LDD 길이의 최적 조건을 구하였다. 수소화를 수행한 이후에 LDD 길이가 0.5 μm 인 소자와 1.0 μm 인 소자의 특성이 일반적인 구조의 다결정 실리콘 박막 트랜지스터에 비하여 누설 전류의 현저한 감소가 나타났으며 on 전류의 손실이 매우 적은 것으로 나타나 on/off 전류비가 매우 우수함을 확인하였다. On/off 전류비, 문턱전압, 수소화 효과 등의 여러 가지 조건에 대한 최적화된 LDD 길이는 0.5 μm 이었다.

감사의 글

이 논문은 1997년 한국과학재단의 핵심전문연구과제 (과제번호 : 971-0914-082-2)의 연구비 지원에 의하여 연구되었습니다.

참 고 문 헌

1. A.G. Lewis, D.D. Lee, R.H. Bruce, and R.A.

Martin, "Polysilicon TFT active-matrix LCD drivers," *SID 91 Digest*, p. 535, 1991.

2. T. Wang, T.E. Chang, and C.M. Huang, "Structural effect on band-trap-band tunneling induced drain leakage in n-MOSFET's," *IEEE Electron Device Lett.*, vol. 16, p. 566, 1995.
3. G. Fossum and A. Ortiz-Conde, "Anomalous leakage current in LPCVD polysilicon MOSFETs," *IEEE Trans. Electron Devices*, vol. 32, p. 1878, 1985.
4. K. Kobayashi, H. Murai, T. Sakamoto, and K. Baert, "Fabrication method for polycrystalline silicon thin-film transistors with self-aligned lightly doped drain structure," *Jpn. J. Appl. Phys.*, vol. 32, p. 469, 1993.
5. K. Tanaka, S. Suyama, and K. Kato, "Field-induction-drain thin-film transistors for liquid-crystal display applications," *Jpn. J. Appl. Phys.*, vol. 30, p. 3302, 1991.
6. S. Seki, O. Kogure and B. Tsujijama., "Leakage current characteristics of offset-gate-structure polycrystalline silicon MOSFET's", *IEEE Elec. Dev. Lett.*, vol. 8, p. 434, 1987
7. B. Faughnan and A.C. Ipri, "A study of hydrogen passivation of grain boundaries in polysilicon thin-film transistors," *IEEE Trans. Electron Devices*, vol. 36, p. 101, 1989.
8. Y.S. Kim, K.Y. Choi, and M.K. Han, "Different hydrogen passivation mechanism between low-temperature and high-temperature poly-Si TFT's," *Jpn. J. of Appl. Phys.*, vol. 34, p. 719, 1995.