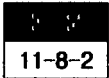


## n-MOSFET 정전기 방전 분석



### Electrostatic Discharge Analysis of n-MOSFET

차영호\*, 권태하\*, 최혁환\*

( Young-Ho Cha, Tae-Ha Kim, Hyek-Hwan Choi )

#### Abstract

Transient thermal analysis simulations are carried out using a modeling program to understand the human body model HBM ESD. The devices were simulated a one-dimensional device subjected to ESD stress by solving Poisson's equation, the continuity equation, and heat flow equation. A ramp rise with peak ESD voltage during rise time is applied to the device under test and then discharged exponentially through the device. LDD and NMOS structures were studied to evaluate ESD performance, snap back voltages, device heating. Junction heating results in the necessity for increased electron concentration in the space charge region to carry the current by the ESD HBM circuit. The doping profile adjacent to junction determines the amount of charge density and magnitude of the electric field, potential drop, and device heating. Shallow slopes of LDD tend to collect the negative charge and higher potential drops and device heating.

**Key Words (중요용어)** : ESD, HBM, LDD, NMOS, Thermal Analysis simulation.

#### 1. 서 론

전자 부품 및 전자 제품들의 생산 과정이나 사용 중에 생긴 정전기가 매우 짧은 시간에 순간적으로 방전되어 집적회로 내부의 소자를 파괴하는 정전기 방전(ESD)현상은 1960년대부터 알려진 이후로 최근에는 집적회로 설계 분야에 매우 심각한 문제점을 초래하고 있다. 특히 모든 전자 장비에서 광범위하게 사용되고 있는 MOS VLSI 반도체 칩을 포함하여 집적회로 설계시 제작되는 서브 마이크론 소자는 그 구조가 매우 작아야 하고, 산화막 두께가 더욱 얇아져야 하기 때문에 정전기 방전과 전기적 과부하(EOS)에 의한 파괴 현상이 더욱 더 심각해지고 있다.<sup>1,2)</sup>

ESD와 EOS에 의한 소자 파괴현상은 크게 세 가지가 있다. 접합영역에서 고전류/전계에 의한 주열

발열과 높은 온도에 의한 2차 항복으로 인한 소자 파괴, VLSI 집적도 증가와 함께 산화막 두께가 얇아짐에 따라 산화막에 더 높은 전계의 인가로 인한 산화막의 파괴 및 금속 배선에 고전류가 흘러 취약 부분에 온도상승으로 인해 배선이 얇아져 발생하는 금속 배선의 파괴 등이다.<sup>3)</sup> ESD에 손상을 입은 칩은 소자의 동작특성이 변화되어 누설전류가 증가하며 정전기 방전 임계전압이 낮아져 칩으로서 기능을 상실하거나, 시간이 지난 후에 서서히 영향을 미치기도 한다. 따라서 이러한 손상으로부터 보호하기 위해 칩내에 적절한 보호장치가 필요하다.

보호회로는 Diode, Punch-through 소자, Thin oxide 트랜지스트, Thick oxide 트랜지스트와 MOSFET 등이 사용되고 있고, 최근에는 SCR에 대한 연구도 많이 진행되고 있다.

1980년 초부터 사용되기 시작한 MOSFET의 LDD구조는 드레인 접합의 도핑 농도를 낮추어 접합 근처의 전계의 세기를 감소시켜 고온 캐리어 문제를 완화하였다. 전계의 세기가 감소하면 접합에서의 주열발열( $\propto J \times E$ )도 감소하므로 ESD에 의한 강도도 향상될 것으로 예측되었지만, LDD 구조를 사용한 보호회로에서 ESD 강도는 저하되었다.<sup>4)</sup> 이리

\* : 부경대학교 전자공학과  
(부산시 남구 대연3동 599-1, Fax: 051-620-6460  
E-mail : chayh@woongbi.pknu.ac.kr)  
1998년 3월 9일 접수, 1998년 7월 9일 심사완료

한 현상에 대한 설명은 아직도 완전히 이루어지지 않고 있다.

본 논문에서는 LDD 구조에서 ESD 강도가 낮은 원인을 NMOS 구조와 비교하여 수치 해석적으로 분석하였다. 정전기 방전 동안에 소자가 파괴되는 원인이 되는 온도분포를 비교하여, 소자의 온도를 상승시키는 주열발열의 두 가지 요소인 전류밀도와 전계 등을 비교·분석하였다. 또한 정전기 방전 동안 접합부분에서의 온도 상승으로 인해 소자 파괴가 일어나는 물리적 현상을 이해함으로써 보호회로 설계시 소자의 면적을 최소화 시켜 집적도를 높일 수 있다.

## 2. 해석방법

정전기 방전시 일어나는 현상을 일차원적인 반도체소자 방정식을 모델링하여 해석하였다. 반도체소자의 동작은 보통 전자, 정공의 전류 연속방정식과 Poisson 방정식으로 설명된다. 소자내의 온도 변화를 설명하기 위해 열 전달 방정식을 포함하면, 네 가지 방정식은 비선형 편미분식으로 표현되며, 또한 모델 파라미터들은 전계와 온도 등의 함수이다. 위의 방정식들은 비선형 적이기 때문에 일차원이라 할지라도 간단한 해를 가질 수 없다. 따라서 수치 해석적으로 설명해야 한다.

### 2.1 기본적인 소자 방정식

반도체 소자에서 전기적인 효과는 전자와 정공의 연속 방정식과 Poisson 방정식으로 나타낸다. 적절한 경계 조건을 가진 이 방정식들은 전위, 전자와 정공의 캐리어 농도 및 소자의 각 영역에서의 전류 밀도에 대해 푼다. 이 식들은 다음과 같다.

$$\nabla \cdot (\epsilon \nabla \Psi) = -q (p - n + N_D^+ - N_A^-) \quad (1)$$

$$\frac{\partial n}{\partial t} = \frac{1}{q} \nabla \cdot J_n + G_n - U_n \quad (2)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \nabla \cdot J_p + G_p - U_p \quad (3)$$

여기서,

$$J_n = q (n\mu_n E + D_n \nabla n) \quad (4)$$

$$J_p = q (p\mu_p E - D_p \nabla p) \quad (5)$$

이 식들은 다음과 같이 주어진 열 전달 방정식과 결합되어 있다.

$$\rho C_p \frac{\partial T}{\partial t} = \nabla \cdot (k(T) \nabla T + |J \cdot E|) \quad (6)$$

여기서,  $T$  는 온도,  $\rho$  은 전하 밀도,  $C_p$  는 비열 상수이고,  $k$  는 열전도성이다. 마지막항  $|J \cdot E|$  는 주열발열 항이다. 일반적으로 식 (1)에서 (6)까지 있는 계수는 온도에 의존한다.

### 2.2 모델링

식 (1)에서 (6)까지 나타난 파라미터들은 반도체 소자를 시뮬레이션하기 위해 여러 가지 모델링이 필요하다. 이 파라미터들은 도핑농도, 전계 및 온도에 의존한다. 본 연구에서는 온도는 실내 온도에서부터 실리콘의 녹는점까지 범위의 변수이기 때문에 매우 중요하다. 볼츠만 통계와 전자와 정공에 대한 평형 상태를 고려한 진성 캐리어 농도는 다음과 같다.

$$n_i^2 = 6.05946 \times 10^{31} T^3 \exp\left(-\frac{qE_g}{kT}\right) \quad (7)$$

여기서 실리콘에 대한 에너지 밴드갭  $E_g$  는 다음과 같다.

$$E_g = q \left(1.17 - \frac{4.73 \times 10^{-4} T^2}{T + 636}\right) \quad (8)$$

반도체에서 도핑 원자의 총 개수가 증가함에 따라 캐리어의 충돌 확률이 증가한다. 이 결과 캐리어의 이동도가 감소한다. 전자와 정공의 이동도인  $\mu_n$  과  $\mu_p$  는 Orvis와 Yee에 의해 구해졌다.<sup>5)</sup> 확산 계수는 아인슈타인 관계식으로부터 계산하고, 재결합 과정은 Shockley-Read-Hall (SRH) 재결합률 이다.

캐리어 생성률은 충돌 이온화가 가장 대표적인 과정이며, 충분히 큰 전계에서 반도체 결합을 통해 이동하는 캐리어들은 전자-정공 결합을 파괴할 수 있는 충분한 속도를 얻는다. 충돌이온화에 의한 생성은 다음과 같다.

$$G = \frac{1}{q} (a_n |J_n| + a_p |J_p|) \quad (9)$$

여기서,

$$a_n = a_1 \exp\left[-\frac{a_2 + a_3 (T-300)}{|E|}\right] \quad (10)$$

$$a_p = a_1 \exp\left[-\frac{a_2 + a_3 (T-300)}{|E|}\right] \quad (11)$$

이고, 실리콘에 대해 사용된 변수 값은 표 1. 이다.

실리콘의 열전도성의 온도 의존성은 간단히 표현될 수 있다. 열전도성에 대한 실험적 표현은 Kokkas에 의해 제안되었다.<sup>6)</sup>

$$k(T) = \frac{320}{T-80} \text{ W/cm}^0\text{K} \quad (12)$$

여기서  $T$  는 절대온도이다.

표 1. 충돌 이온화 모델 계수

Table 1. Coefficients for the Impact Ionization Model

$E$ (V/cm)	$a_1(\text{cm}^{-1})$	$a_2(\text{V/cm})$	$a_3(\text{V/cm}^0\text{K})$
<i>Electrons</i>			
$E < 2.4 \times 10^5$	$2.6 \times 10^5$	$1.43 \times 10^6$	$1.3 \times 10^3$
$2.4 \times 10^5 < E < 4.2 \times 10^5$	$6.2 \times 10^5$	$1.08 \times 10^6$	$1.3 \times 10^5$
$E > 4.2 \times 10^5$	$5.0 \times 10^5$	$9.90 \times 10^5$	$1.3 \times 10^5$
<i>Holes</i>			
$E < 5.1 \times 10^5$	$2.0 \times 10^5$	$1.97 \times 10^5$	$1.1 \times 10^5$
$E > 5.1 \times 10^5$	$5.6 \times 10^5$	$1.32 \times 10^6$	$1.1 \times 10^3$

2.3 시뮬레이션

반도체 방정식은 공간 도함수 유한차분법과 시간 도함수 Crank-Nicolson 방법으로 해석하였다. 전자와 정공에 대한 전류 밀도는 불연속 grid 에 대한 수학적 불안정성을 피하기 위해 Scharfetter와 Gummel의 논문을 따랐다.<sup>7)</sup> 변수와 상수는 안정성을 개선하기 위해 정규화 하였다. 비선형방정식은 Newton방법으로 해석하며, 열 전달 방정식은 시뮬레이션에 시간을 줄이고, 간단히 하기 위해 전기방정식과 분리하였다.

전위에 대한 경계 조건은 한쪽 끝의 전위가 열적 평형상태라고 가정하고, 다른 한쪽은 ESD 인체 모델에 연결하였다.

전류 연속 방정식에 대한 경계조건은 양 접촉면에 공간 전하가 존재하지 않는다고 가정했다. 이 상태는 과잉 캐리어가 즉시 없어지는 이상적 접촉을 의미한다. MOSFET에서 산화 실리콘 ( $\text{SiO}_2$ ) 의 열 전달율은 실리콘보다 매우 작기 때문에, 기판에서

열 손실이 일어날 것으로 예상되지만, 이 손실은 ESD가 가해지는 시간이 짧기 때문에 수직 방향에 대해서는 무시할 수 있다. 열 전달 방정식의 해에 대한 경계조건은 양쪽 모두 열 적으로 격리하였다.

전기방정식과 열 전달 방정식을 성공적으로 풀기 위해, 먼저 Newton의 방법을 사용하여 전기방정식을 풀고, 그 결과를 사용하여 열 전달 방정식을 풀었다. 이 방법은 전기적 확산에 비해 열 확산이 느리기 때문에 가능하다. 두 방정식을 분리해서 푸는

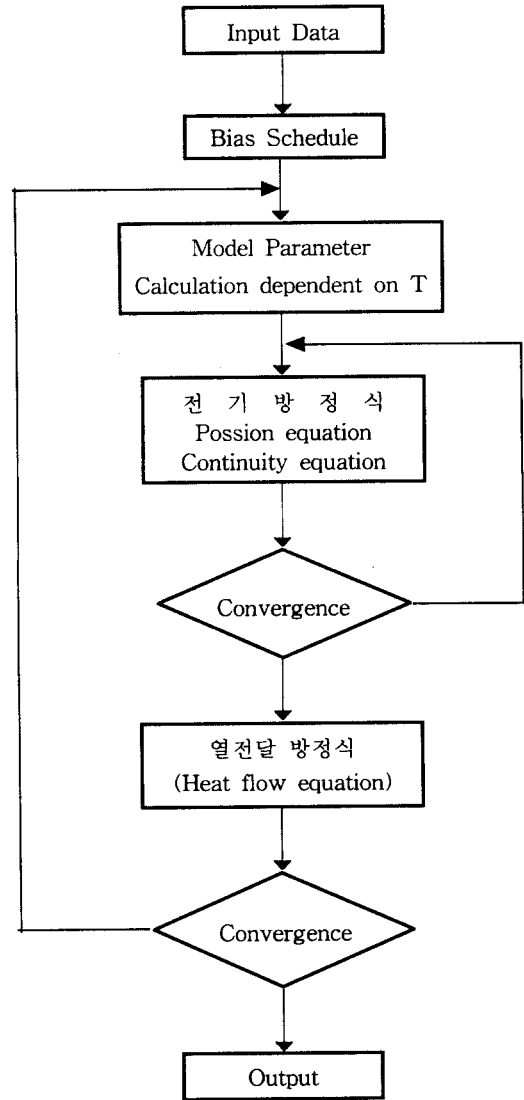


그림 1. 시뮬레이션 순서도  
Fig 1. Simulation flow chart.

방법은 열 전달 방정식과 전기방정식을 동시에 해석하는 것에 비해 정확성은 떨어지지만, 계산시간과 방정식의 복잡성을 피할 수 있기 때문에 두 방정식을 분리하였다.

소자구조는 도핑농도와 크기로 정의하였다. 초기 온도는 소자전체에 걸쳐 300 °K로 일정하다고 가정하였고, 초기 해는  $t = 0$ 에서 열 적평형 값을 이용하여 저항과 콘덴서가 연결되지 않은 외부회로 상태에서 구하여, 캐리어 농도와 전위 분포를 계산하는데 사용하였다. 그리고 나서 이 시뮬레이션의 과도해는 충전된 외부 회로에 연결하여 전기적 경계 조건을 변화시켜 구하였다. 위에서 설명한 시뮬레이션 과정은 그림 1. 순서도 이다.

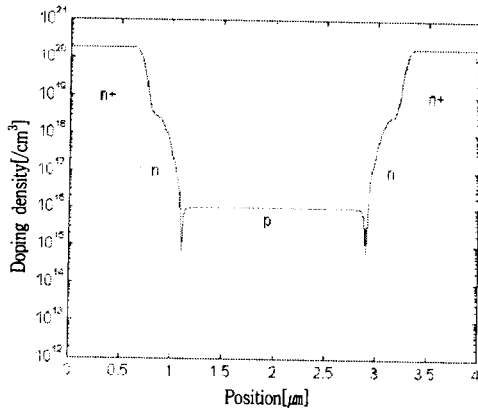


그림 2. (a)

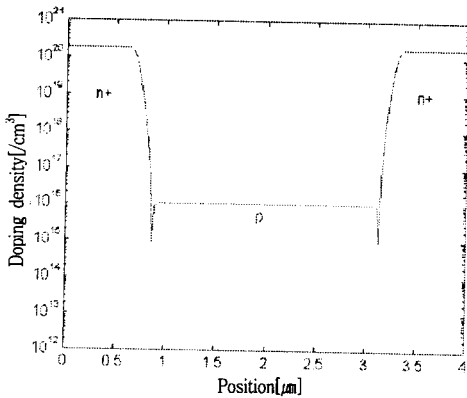


그림 2. (b)

그림 2. 도핑농도

(a) LDD 구조 (b) NMOS 구조

Fig 2. Doping profile

(a) LDD structure (b) NMOS structure

그림 2. 은 도핑농도이다. 소자의 크기는  $4\ \mu\text{m}$  이고  $n^+$  영역의 도핑농도는  $1.8 \times 10^{20}/\text{cm}^3$  이고, p 영역의 도핑농도는  $1 \times 10^{16}/\text{cm}^3$  이다.

그림 3.(a) 는 HBM ESD 테스트 회로이다. 이 회로를 통해 외부전압을 인가한다. 1000 V로 충전된 100 pF의 콘덴서와 1.5 kΩ의 저항이 직렬로 연결된 인체모델을 사용하였다. 입력전압의 파형은 그림 3.(b) 이다. 입력전압은 10 ns 동안에 1000V로 선형적으로 증가한 후 지수 함수적으로 감소한다.

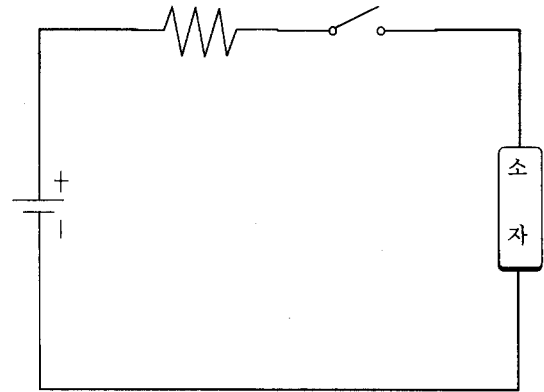


그림 3. (a)

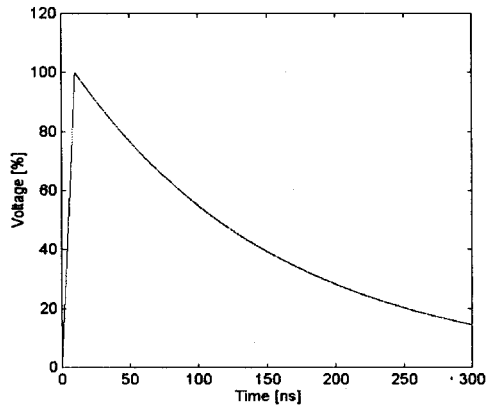


그림 3. (b)

그림 3. HBM ESD 테스트 회로와 HBM ESD 방전전압

(a) ESD 회로 (b) HBM ESD 방전전압

Fig 3. HBM ESD test circuit and HBM ESD discharge Voltage

(a) ESD circuit

(b) HBM ESD discharge Voltage

### 3. 결과 및 검토

LDD 구조는 NMOS 구조의  $n^+ - p$  영역과  $p - n^+$  영역에 추가된  $n^-$  영역으로 인해 일반적으로 전계가 작다. 따라서 일반적인 동작시 LDD 구조를 가진 소자의 내부온도는 NMOS 구조보다 주울발열이 적다. 그러나 정전기 방전시 LDD 구조를 가진 소자의 내부온도는 NMOS 구조보다 높다. 그 원인을 n-MOSFET의 대표적인 구조인 LDD 구조와 NMOS 구조를 비교하였다.

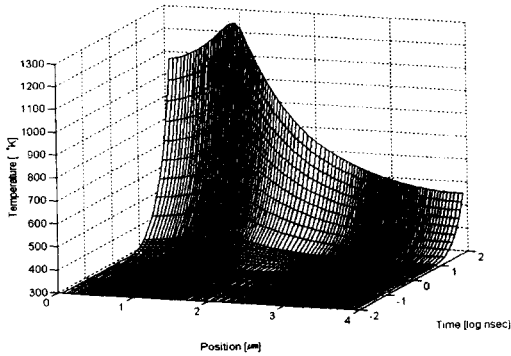


그림 4. (a)

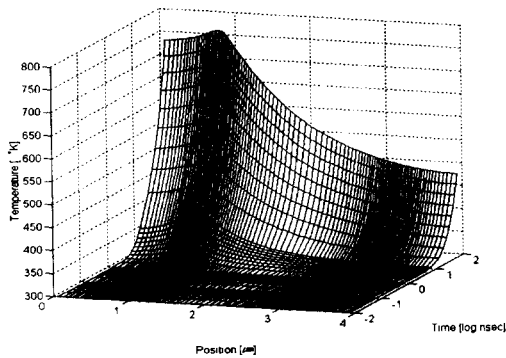


그림 4. (b)

그림 4. 정전기 충전방전 동안의 소자내부의 온도분포  
(a) LDD 구조 (b) NMOS 구조

Fig 4. Temperature distribution during ESD charge and discharge

(a) LDD structure (b) NMOS structure

그림 4. 은 소자 내부온도의 변화이다. 10 ns 에서 LDD 구조는  $404.82^{\circ}K$  이고, NMOS 구조는  $396.59^{\circ}K$ 로 NMOS 구조의 온도가  $8.23^{\circ}K$  높다. 정전기 충전기간동안에는 NMOS 구조가 LDD 구조보다 소자내부의 온도가 높은 이유는 주울발열을 일으키는 전계가 높기 때문이다. 그러나 10 ns 이후 정전기 방전이 시작되어 방전이 충분히 이루어진 100 ns 에서는 LDD 구조가  $1238.8^{\circ}K$  로 NMOS 구조의  $759.35^{\circ}K$  보다  $479.45^{\circ}K$ 나 높다. 이것은 정전기 방전동안에 LDD 구조에서 갑자기 상승하는 전계 때문이다.

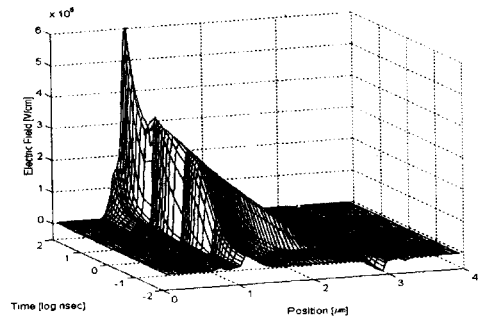


그림 5. (a)

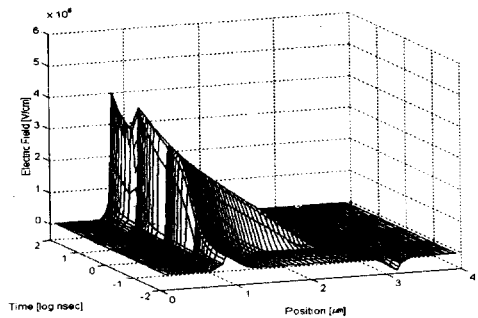


그림 5. (b)

그림 5. 정전기 충전방전 동안의 전계분포  
(a) LDD 구조 (b) NMOS 구조

Fig 5. Electric field distribution during ESD charge and discharge

(a) LDD structure (b) NMOS structure

그림 5. 는 전계변화이다. 10 ns 에서 LDD 구조는 전계의 최대 값이  $3.594 \times 10^5 V/cm$  이고,

NMOS 구조는 전계의 최대 값은  $3.929 \times 10^5 \text{ V/cm}$  로 NMOS 구조의 전계가  $0.335 \times 10^5 \text{ V/cm}$  높다. 그러나 10 ns 이후 정전기 방전을 시작해서 20 ns 까지는 전계가 서서히 상승하지만, 20 ns 이후에는 LDD 구조는 접합면이 이동하면서 전계가 급격히 상승하여 50%정도 더 높다. 이 전계 상승이 주열발열을 일으켜 소자의 내부 온도를 높이는 원인이 된다.

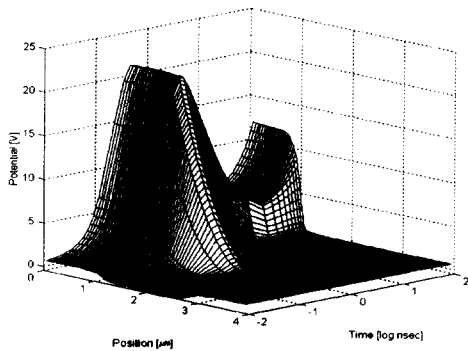


그림 6. (a)

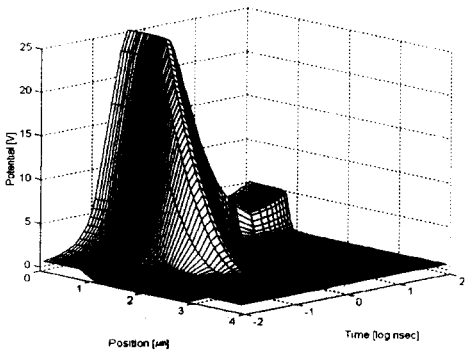


그림 6. (b)

그림 6. 정전기 충방전 동안의 접촉전위차의 분포  
(a) LDD 구조 (b) NMOS 구조

Fig 6. Potential distribution during ESD charge and discharge

(a) LDD structure (b) NMOS structure

전계의 변화를 일으키는 접촉전위차의 변화는 그림 6. 이다. 스냅백 전압에서 LDD 구조의 최대 접촉전위차는 21.3 V 이고, NMOS 구조의 최대 접촉

전위차는 25.4 V 로 NMOS 구조가 4.1 V 높다. 그러나 NMOS 구조에서는 접촉전위차가 스냅백 전압 이후 3.631 V 까지 감소한 후 서서히 증가하지만, LDD 구조는 5.064 V 까지 감소한 후 급격히 증가한다. 접촉전위차의 변화는 캐리어의 농도 변화에 의해 발생한다.

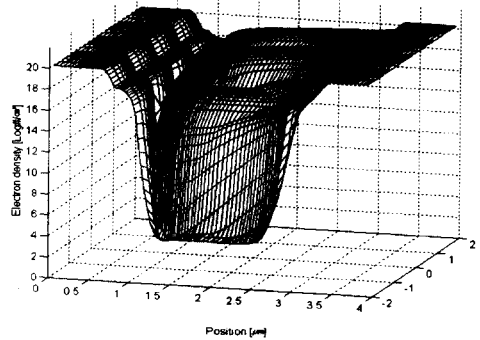


그림 7. (a)

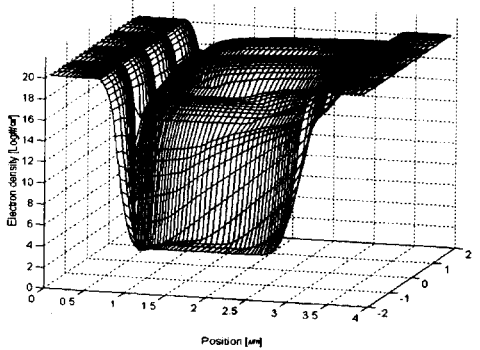


그림 7. (b)

그림 7. 정전기 충방전 동안의 전자농도 분포

(a) LDD 구조 (b) NMOS 구조

Fig 7. Electron density distribution during ESD charge and discharge

(a) LDD structure (b) NMOS structure

전자의 농도의 변화는 그림 7. 이다. LDD 구조는 p영역의 길이가 짧기 때문에 40 ps 에서 확산된 전자가  $n^+ - n^- - p$  접합면에 도달하고, NMOS 구조는 50 ps 에서 확산된 전자가  $n^+ - p$  접합면에 도달한다. 외부 전압이 계속 증가하여 0.4 ns 에 이

르면, 고준위 주입(High level injection)에 의해 확산된 전자가 역방향 전압으로 생성된 강한 전계에 의해 애벌런치 항복을 일으킨다. 따라서  $p-n$  영역에서 주입되는 전자의 농도는 더욱 증가하게 되고, 이 전자는 다시 이온화 충돌을 일으켜 스넵백 현상이 일어나게 된다. LDD 구조는 확산전자에 의한 전류밀도가 NMOS 구조보다 높기 때문에 스넵백이 일어나는 전압이 낮다. 그러나 이온화 충돌율이 낮기 때문에 애벌런치 항복 이후에는  $n-p$  영역의 전류밀도의 증가량이 NMOS 구조에 비해 낮아서 홀딩전압이 높다.

0.4ns 이후 전하중립(Charge neutrality)에 의해  $p-n$  영역에서 확산되는 전자농도 증가와 함께,  $p$  영역에서 정공의 농도도 증가한다. 정공농도의 증가는  $n-p$  접합면의 공핍영역의 면적을 줄이고, 전계를 서서히 증가시킨다.

정전기 충전기간에서  $p$  영역의 전자의 농도는 확산된 전자농도가 많은 LDD 구조가 상대적으로 높다. 이 때문에 LDD 구조는 NMOS 구조보다 전류밀도가 높고 스넵백 전압이 낮다. 스넵백 전압 이후 고준위 주입에 의해  $p$  영역의 정공의 농도는 그림 8. 과 같이 증가하고, 전자의 농도도 함께 증가한다.

10ns 이후 정전기 방전기간에 접어들면, LDD 구조의  $n^-$  영역은  $p$  영역에서 증가한 정공의 농도로 인해 허물어지면서 접합면이  $n^-$  영역으로 이동한다. LDD 구조에서 전계가 10 ns 이후 급상승하는 원인은 접합면에서의 접촉전위차에 있다.

그림 9. 는 10 ns에서 40 ns까지의 역방향 전압이 걸린  $n^+ - n^- - p$  영역과 순방향 전압이 걸린  $p - n^- - n^+$  영역이다. 역방향 전압이 걸린 부분은 10 ns 이후 외부 전압의 감소에 의해 20 ns 까지 전압강하가 감소하지만 20 ns 이후에는 전압강하가 증가한다. 반면 순방향 전압이 걸린 부분의 접촉전위차는 계속 줄어든다. 따라서  $n-p$  영역의 전압강하의 감소가 소자전체의 전압강하의 감소보다 크기 때문에  $p-n$  영역에서 주입되는 캐리어의 농도는 외부전압의 감소에도 불구하고 계속 증가한다. 20 ns 이후에는  $p$  영역의 정공의 농도가  $n^-$  영역의 전자의 농도 이상으로 증가하기 때문에 접합면이  $n^-$  영역을 파고들면서 공핍영역이 증가한다. 결국 전계는 급격히 증가하고 주울발열을 높여 LDD 소자는  $n^-$  영역이 없는 NMOS 소자보다 정전기 충전기간 동안에 내부 온도가 높아지게 된다.

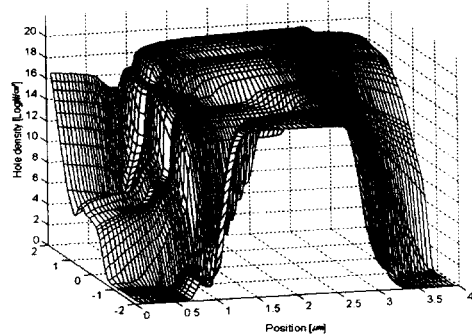


그림 8. (a)

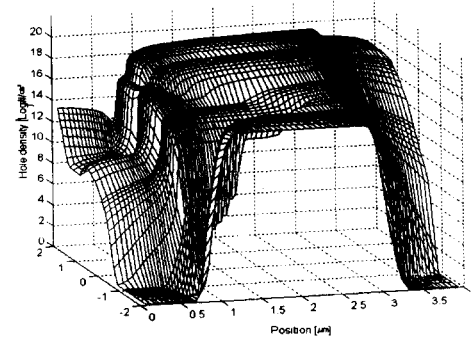


그림 8. (b)

그림 8. 정전기 충전기간 동안의 정공농도 분포  
(a) LDD 구조 (b) NMOS 구조

Fig 8. Hole density distribution during ESD charge and discharge  
(a) LDD structure (b) NMOS structure

$p$  영역에서 정공의 농도는 LDD 구조의  $n^-$  영역의 전자의 농도 이상으로 증가한다. 상대적으로 농도가 높아진  $p$  영역의 정공의 농도는  $n^-$  영역의 완만한 전하벽에 모이고 전압강하를 높여 주울발열을 높이게 된다.

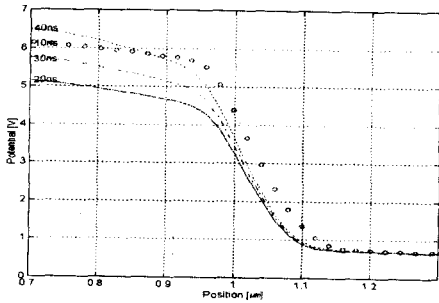


그림 9. (a)

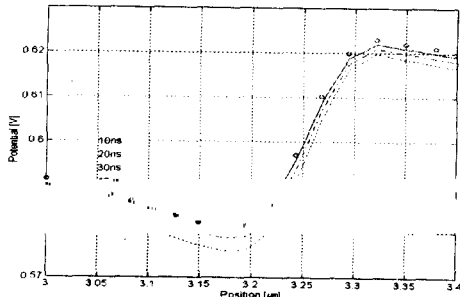


그림 9. (b)

그림 9. 10 ns, 20 ns, 30 ns, 40 ns에서 접합부분의 접촉전위차

- (a) 역방향 전압이 걸린 접합면
- (b) 순방향 전압이 걸린 접합면

Fig 9. Potential for junction at t=10 ns, 20 ns, 30 ns and 40 ns

- (a) Reverse biased junction
- (b) Forward biased junction

시뮬레이션에서 얻어진 주요 결과를 정리하면 표 2. 와 같다.

표 2. LDD와 NMOS의 성능 특성

Table 2. Performance Properties of LDD and NMOS

구조	온도 [°K]		전계의 최대치 [V/cm]		스냅백 전압 [V]	홀딩 전압 [V]
	10ns	100ns	10ns	100ns		
LDD	404.8	1238.8	3.59E5	6.03E5	21.3	3.631
NMOS	396.6	759.4	3.93E5	4.05E5	25.4	5.064

#### 4. 결 론

LDD 구조와 NMOS 구조를 ESD 성능 평가와 온도상승을 이해하기 위해 시뮬레이션 하였다.

역방향 ESD 전압 인가시 전압 상승 초기 단계에는 공핍영역 안의 캐리어들이 전계에 의해 밀려나서 공핍영역이 증가한다. 역방향 전압이 더욱 증가함에 따라 소자에 걸리는 전압은 계속 증가하여, 전계가 충돌 이온화를 일으킬 만큼 충분히 크게 된다. 이때 공핍영역에서 애벌런치 항복에 의해 캐리어가 생성된다. 따라서 전압이 조금만 증가해도 소자의 전류는 급격히 증가한다. 전류가 증가하면 주울발열 ( $J \times E$ )이 발생하여 온도가 상승한다. 소자의 온도는 상승하여 시간이 지남에 따라 애벌런치 생성과 열적 생성이 동시에 일어나며 이후에는 열적 생성으로 인해 열 항복현상이 일어나 소자를 파괴한다.

LDD 구조가 NMOS 구조와 비교, 고찰에서 보인 가장 큰 차이점은 LDD 구조가  $n^+ - p$  영역과  $p - n^+$  영역에  $n^-$ 의 추가로 인해 완만한 경사를 가지기 때문에 게이트의 폭이 좁아져서 확산전류밀도를 높이고, 스냅백 전압은 낮아진다. 평형상태의 전계가 작기 때문에 충돌 이온화율이 낮아 홀딩 전압이 높다. 높은 확산 전류밀도가  $n^-$  영역의 완만한 전하벽에 모이게 하여, 전압강하를 높이게 되고, 결국 주울발열을 높여 NMOS 구조보다 높은 온도 상승을 초래하였다.

#### 감사의 글

본 연구는 한국과학재단 핵심전문 연구비 (951-0911-040-2) 지원으로 수행되었으며 지원에 감사 드립니다.

#### 5. 참 고 문 헌

1. Owen J. McAteer, Electrostatic Discharge Control. New York: Mcgraw-Hill, 1990.
2. C. Durvey, R. N. Rountree, and L.S.White, "A Summary of Most Effective Discharge Protection Circuits for MOS Memories and Their Observed Failure Modes", EOS/ESD Sym. Pro., Las Vegas, Sept., pp. 181-184, 1983.

3. J. M. Soden, "The dielectric strength of SiO<sub>2</sub> in a CMOS transistor structure", EOS/ESD Symp. Proc., 1987.
4. S. Shabde, G. Simmons, A. Balumi, and R. Back, "Snapback induced gate dielectric breakdown in graded junction nMOS transistors," in Proceedings of the IEEE International Reliability Physics Symposium, pp. 168-175, 1984.
5. J. H. Yee, W. J. Orvis, L. C. Matin, and J. C. Peterson, "Modeling of current and thermal mode second breakdown", EOS/ESD Symp.Proc., pp. 42-103, 1982.
6. A. G. Kokkas, "Empirical relationships between thermal conductivity and temperature for silicon and germanium", RCA Rev., Vol. 35, pp.579-581, 1974.
7. D. Scharfetter and H. K. Gummel, "Large signal Analysis of a Silicon Read Diode Oscillator", IEEE Trans. Elect. Dev., Vol. ED-16, pp 64-77, Jan. 1969.