

# Offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 I-V 분석

논문  
12-10-1

## The Analysis of I-V characteristics on n-channel offset gated poly-Si TFT's

변문기\*, 이제혁\*, 임동규\*, 박태성\*, 이진민\*, 김영호\*

(M. G. Byun\*, J. H. Lee\*, D. G. Lim\*, T. S. Park\*, J. M. Lee\*, Y. H. Kim\*)

### Abstract

The I-V characteristics of the n-channel offset gated poly-Si TFT's have been analyzed as a function of offset length. It has been found that the offset regions behave as a series resistance and reduce lateral electric field in the drain depletion region. The on current slightly decreased by the series resistance of the offset region. The off current remarkably reduced from  $1 \times 10^{-8}$  to  $\sim 10^{-12}$  A at  $V_{DS} = 5$  V and  $V_{GS} = -20$  V and almost constant independent of gate and drain voltage due to the reduction of the electric field in the drain depletion region. The on/off current ratio of the offset gated TFT's is larger than that of a conventional devices and it becomes larger as the drain voltage increased.

Key Words(중요용어) : Poly-Si TFT's, offset gated poly-Si TFT's, off currents, on/off current ratio

### 1. 서 론

다결정 실리콘 박막 트랜지스터(polysilicon thin film transistors, poly-Si TFT's)는 최근 AMLCDs(active matrix liquid crystal displays)의 핵심 소자로서 그 물성 및 소자개발에 관한 연구가 활발히 진행되고 있다. 특히 비정질 실리콘(amorphous silicon, a-Si)에 비하여  $50 \text{ cm}^2/\text{V sec}$  이상의 높은 이동도(mobility)를 가지는 다결정 실리콘은 액정 구동용 박막 소자와 주변회로(peripheral circuit)를 동시에 구성할 수 있기 때문에 고해상도가 요구되는 표시기의 반도체 소자로서 매우 유리한 것으로 인식되고 있다<sup>[1], [2]</sup>. 그러나 poly-Si TFT's의 큰 off 전류 때문에 화소의 스위칭 소자로 사용함에 있어 화소에 가해지는 전압을 일정하게 유지하기가 어려우며 이로 인하여 디스플레이의

선명도가 감소하고 화질이 떨어진다는 제한요소를 갖고 있다<sup>[3]</sup>. 드레인 전계를 감소시킴으로써 이러한 큰 off 전류를 감소시키기 위하여 offset 구조를 갖는 다결정 박막 트랜지스터(offset-gated poly-Si TFT)가 제시되었지만 I-V 특성 메커니즘 규명은 아직 미흡한 것으로 알려져 있다<sup>[4], [5]</sup>.

따라서, 본 연구에서는 n-채널 offset-gated TFT를 제조한 후 I-V 특성 메커니즘을 분석하고자 한다.

### 2. 실험 방법

LPCVD(low-pressure chemical vapor deposition) 방법으로  $550 \text{ }^\circ\text{C}$ 에서  $500 \text{ \AA}$  두께의 실리콘 박막을 증착하여 활성층으로 사용하였다. 이 때 반응 가스로는 가장 많이 쓰이는  $\text{SiN}_4$ 를 사용하였으며, 증착시 진공도는  $0.3 \text{ Torr}$ ,  $\text{SiN}_4$  유입량은  $60 \text{ sccm}$ (standard cubic centimeter), 증착률은  $34 \text{ \AA}/\text{min}$ 로 유지하였다. Si 이온을  $35 \text{ keV}$ ,  $1.1 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 실리콘 박막에 이온 주입시켰으며 증착된 비정질 실리콘을 고상결정화(solid phase crystallization, SPC) 방법으로 열처리( $580 \text{ }^\circ\text{C}$ ,  $48 \text{ hrs}$ )하여 다결정 실리콘으로 고상결정화 시킨 후 active mask를 이용하여 활성영역 층을 정의하고

\* : 수원대학교 전자재료공학과  
(경기도 화성군 봉담읍 와우리 산2-2, Fax : 0331-223-4769 E-mail : emad@mail.suwon.ac.kr)  
1999년 7월 15일 접수, 1999년 9월 17일 심사완료  
<'99 춘계학술대회에서 추천된 논문임>

전식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. 게이트 산화막은 열산화 방법으로 950 °C에서 1000 Å 성장시키고 poly-Si 게이트 전극을 LPCVD 방법을 사용하여 560 °C에서 1500 Å 두께로 증착한 후 게이트 mask를 사용하여 게이트 영역층을 정의한다. n<sup>+</sup>의 소스/드레인 형성을 위해 3 × 10<sup>15</sup> cm<sup>-2</sup>, 95 keV의 조건으로 n<sup>+</sup> 이온을 소스, 드레인, 게이트 영역에 이온 주입하였으며 offset 소자를 만들기 위해서는 photoresist로 offset 영역을 덮고 n<sup>+</sup> 이온을 주입하여 offset 영역에는 이온이 주입되지 않고 소스 드레인 영역에만 이온이 주입되도록 함으로써 doping이 되지않는 offset 영역을 갖는 소자를 만들었다. LPCVD 방법으로 순수 SiO<sub>2</sub> 막을 3500 Å 두께로 증착시켰다. Contact mask를 이용하여 소스, 드레인, 게이트 접촉점을 정의한 후 실리콘이 1 % 함유된 알루미늄을 DC magnetron sputtering 방법으로 전극을 증착하였다. Metal mask를 사용하여 전극을 형성하고 450 °C에서 1시간 동안 alloying하여 W/L = 50 μm / 10 μm이고 다양한 offset length를 갖는 n-channel 다결정 실리콘 박막 트랜지스터를 제작하였다.

### 3. 결과 및 고찰

그림 1은 게이트 전압이 5 V일 때의 offset 길이에 따른 전형적인 I<sub>DS</sub>-V<sub>DS</sub> 특성 곡선이다.

W/L = 50 μm / 10 μm 인 일반 소자의 경우 드레인 전압이 10 V인 지점에서 kink 현상이 일어나 offset 구조를 갖는 소자에선 kink 현상이 나타나지 않았다. Offset 소자의 경우 드레인 근처의 전계 감소 현상으로 인하여 캐리어에 전달되는 에너지가 감소되었기 때문에 드레인 영역 부근에서의 전자-정공 쌍(electron hole pairs, EHPs) 생성이 감소하게되며 활성영역층에 모여드는 정공의 양이 줄어들어 소스-body diode가 turn-on 되지 못했기 때문으로 사료된다. 이 사실은 SILVACO simulator를 사용하여 on 상태 수평전계를 simulation한 결과인 그림 2로부터 확인할 수 있었으며 offset 소자의 수평전계 값은 일반적인 소자의 전계 값의 약 20 % 정도의 값을 가지며 드레인 전압이 30 V 까지 증가하여도 50 % 미만의 값을 갖는 것으로 나타났다.

또한, offset 영역의 직렬저항 효과에 의해서 offset 길이가 길어짐에 따라서 on 전류값이 감소하는 것으로 나타났는데 이는 그림 3에서와 같이 소자의 활성층을 하나의 저항체라고 가정하면 저항 값이  $R = \rho(L/A)$ 로 주어지기 때문에 단면적(A)이 일정한

offset 영역의 길이(L)가 늘어남에 따라서 저항값이 증가하기 때문으로 사료된다.

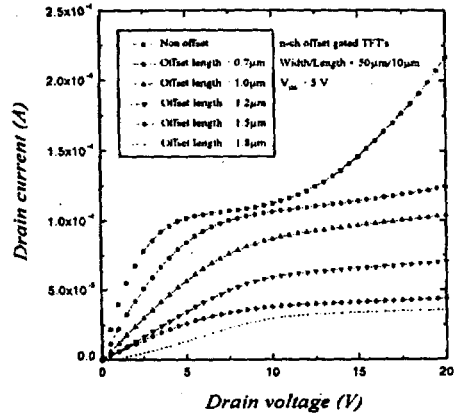


그림 1. 게이트 전압이 5 V일 때의 offset 길이에 따른 I<sub>DS</sub>-V<sub>DS</sub> 특성 곡선

Fig. 1. The output characteristics of n-channel poly-Si TFT's at V<sub>GS</sub> = 5 V

Offset 영역 저항은 소스 쪽의 R<sub>S</sub>와 드레인 쪽의 R<sub>D</sub>로 나타낼 수 있으며 이들에 의한 드레인 전압강하는 I<sub>DS</sub> · (R<sub>S</sub> + R<sub>D</sub>)와 같다. 같은 조건하에서 채널의 저항을 R<sub>CH</sub>, 전류값을 V<sub>DS</sub>/R<sub>CH</sub> 라고 하면 offset 구조를 가지는 소자의 전류값은 관계식 (1)과 같이 되어 offset 영역 저항이 증가함에 따라서 전류값은 감소하게 된다.

$$I_{DS} = \frac{V_{DS} \cdot I_{DS}(R_S + R_D)}{R_{CH}} \quad (1)$$

Offset 영역의 단위 길이 당 저항 값을 다결정 실리콘이 공핍화 되었을 때의 단위 길이 당 저항 값을 R<sub>depl</sub>, offset 영역의 다결정 실리콘이 공핍 되지 않은 영역의 단위 길이 당 저항 값을 R<sub>0</sub>로 보고 게이트 전압이 일정하다고 가정하면 전체 저항, R<sub>T</sub>는 식 (2)와 같이 나타낼 수 있다.

$$R_T = R_{CH} + x R_{depl} + y R_0 \quad (2)$$

$$x + y = L_{offset}$$

여기서 x는 공핍된 offset 길이, y는 공핍화 되지 못한 offset 길이, L<sub>offset</sub>은 전체 offset 길이이다. Offset 길이가 작은 경우에는 offset 영역이 완전히

공핍되어 ( $y=0$ ) 전체 저항값은 offset 길이에 선형적으로 비례하게 된다. 그러나 offset 길이가 증가함에 따라 offset 영역이 완전히 공핍화 되지 못하게 되

면  $R_s$ 와  $R_D$ 의 단위 길이 당 저항 값은 다결정 실리콘이 공핍화 되지 못했을 때의 단위 길이 당 저항 값인  $R_i$ 와  $R_{dep}$ 의 합으로 나타나게 되어 offset 영역이 완

전히 공핍 되었을 때에 나타나는 선형성에서 벗어나게 된다. 이때 드레인 전압이 증가되면 offset 영역이 완전히 공핍화 되기 때문에 다시 선형성을 찾게 된다.

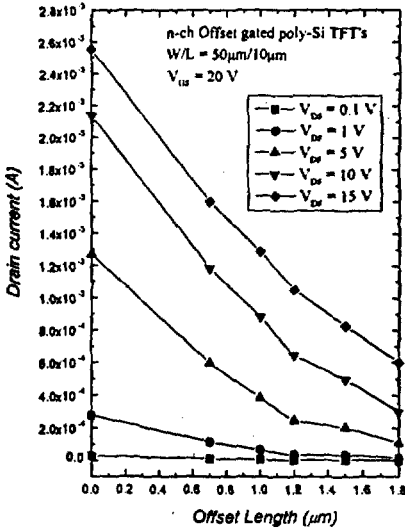


그림 4. Offset 길이에 따른 on 전류 변화  
Fig. 4. The variation of on-current according to the offset length.

이는 offset 길이에 따른 드레인 전류 증가를 드레인 전압에 따라 그린 그림 4에서 드레인 전압이 적은 경우에 offset 영역이 완전히 공핍화 되지 못하여 offset 길이와 드레인 전류간의 선형성을 벗어나던 offset 길이가 1.2 $\mu\text{m}$  이상인 소자가 드레인 전압이 증가함에 따라 offset 영역이 완전히 공핍화 되어 선형성 찾게 되는 것으로부터 확인할 수 있다.

그림 5는 드레인 전압이 5 V일 때의 offset 길이에 따른 전형적인  $I_{DS}-V_{GS}$  특성 곡선이다.

Poly-Si TFT's의 드레인 부근에 강한 전계가 인가되면 결정입계(grain boundary)에 존재하는 트랩을 통하여 지수함수적으로 발생하는 EHPs가 off 전류의 공급원으로 작용하여 off 전류를 형성하게 된다. Offset 구조를 갖는 poly-Si TFT's는 offset 영역에 의해서 전계가 감소되기 때문에 off 전류가  $V_{DS} = 5 \text{ V}$ ,  $V_{GS} = -20 \text{ V}$  일 때  $1 \times 10^{-14}$  에서  $\sim 10^{-12}$  A로 크게 감소되어 offset length와 게이트 전압에 관계없이 전류값이 일정하게 나타났다.

이 사실은 SILVACO simulator를 사용하여 제

이트 전압이 -20 V이고  $V_{DS} = 5 \text{ V}$  일 때 offset 길이에 따른 수평 및 수직 전계값을 얻은 결과인 그림 6으로부터 확인할 수 있었으며, offset 길이가 증가하여도 수평전계값의 최대치는 일반적인 구조를 갖는 소자의 최대치의 48 % 정도로 거의 변하지 않았고 수직전계값 역시 offset 길이가 변화하여도 일정한 모습을 갖는 것으로 나타났다.

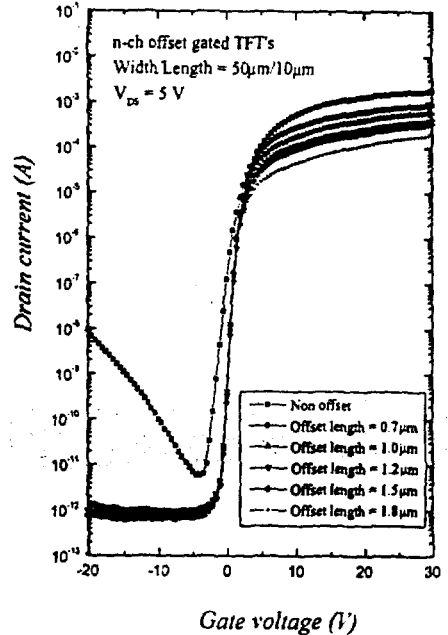
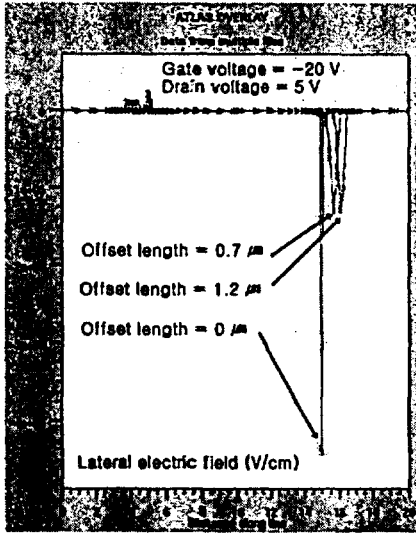


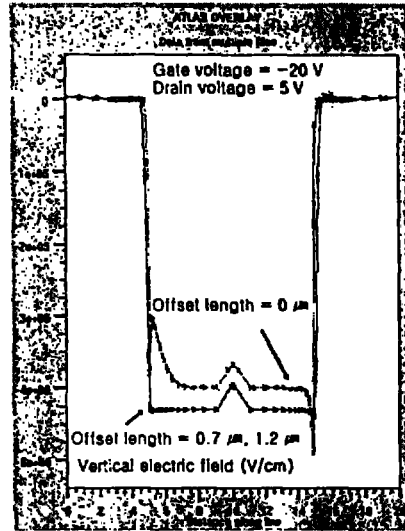
그림 5. 드레인 전압이 5 V일 때의 offset 길이에 따른  $I_{DS}-V_{GS}$  특성 곡선  
Fig. 5. The transfer characteristics of n-channel poly-Si TFT's at  $V_{DS} = 5 \text{ V}$ .

그림 7은 게이트 전압이 10 V 일때의 on 전류와 게이트 전압이 -10 V 일때의 off 전류값으로부터 구한 offset 길이의 변화에 따른 on/off 전류비의 변화를 나타낸 그래프이다. Offset 길이가 0  $\mu\text{m}$  인 일반적인 소자의 경우 드레인 전압 증가에 따라 on/off 전류비가  $4.7 \times 10^7$ 에서  $3.7 \times 10^8$ 로 크게 감소하는 것으로 나타났으며 이는 드레인 전압증가에 따라 off 전류가 크게 증가하기 때문이다.

반면에 offset 길이가 0.7  $\mu\text{m}$ 인 소자에서는 드레인 증가와 더불어 on/off 비는  $2.2 \times 10^8$ 에서  $4.6 \times 10^8$ 로 증가하는 것을 볼 수 있다. 이같이 offset 소자에



(a)



(b)

그림 6. 게이트 전압이 -10 V이고 드레인 전압이 5 V 일 때의 (a) 수평전계와 (b) 수직전계 simulation 결과  
 Fig. 6. The results of (a) lateral electric field and (b) vertical electric field by simulation when  $V_{GS} = -10$  V and  $V_{DS} = 5$  V

서는 on/off 전류비가 드레인 전압 증가에 따라 증가하게 된다. 이것은 드레인 전압이 증가함에 따라 일반 소자의 수평 전계값은 크게 증가하지만 offset 소자에서의 수평 전계값은 크게 증가되지 않기 때문에 offset 소자의 off 전류는 일정한 값을 유지하며 on 전류값이 증가하게 되기 때문으로 사료된다.

#### 4. 결 론

Offset 구조를 갖는 poly-Si TFT's를 제조하여 I-V 특성을 분석하였다.

Offset 구조를 갖는 poly-Si TFT's는 offset 영역에 의한 직렬저항 효과와 드레인 부근에서의 전계 감소 현상 때문에 일반적인 소자에 비하여 on 전류가 약간 감소되고 off 전류는 크게 감소하여 게이트 전압에 관계 없이 일정한 값을 갖는 것으로 밝혀졌다.

또한, offset 소자는 일반적인 소자에 비하여 드레인 부근에서의 수평전계가 50 % 미만으로 감소되었기 때문에 kink 현상은 발생하지 않았다.

일반 소자의 경우 off 전류가 드레인 전압과 게이트 전압에 따라 크게 증가하는 반면 offset 소자는 드레인 offset 영역에 의한 전계값의 감소 현상으로 인하여 크게 감소되며 게이트 전압이나 드레인 전압에 상관없이 거의 일정한 값을 갖는 것으로 나타났다. 따라서 offset 구조를 갖는 소자의 on/off 전류비는 일반적인 소자에 비하여 드레인 전압이 증가할수록 증가하는 것으로 나타났으며 offset 길이가 0.7 μm 인 소자의 경우  $V_{DS}$ 가 5 V 일 때 on/off 전류비가  $4.5 \times 10^4$ 로 가장 높게 나타났다.

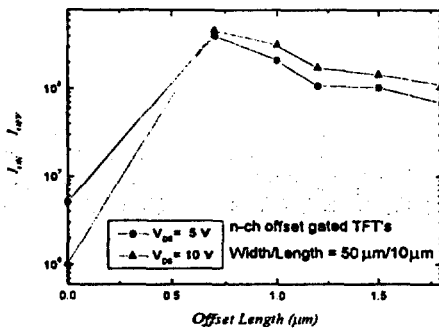


그림 7. 드레인 전압과 offset 길이에 따른 다결정 박막 트랜지스터의 on/off 비 변화  
 Fig. 7. The variation of on/off ratio as a function of offset length and drain voltage.

### 참 고 문 헌

1. T. Serikawa, et al., IEEE Trans. Electron Devices., Vol. 36, pp. 1929, 1989.
2. A. G. Lewis et al., "Polycrystalline silicon thin film transistors for analogue circuit applications", in IEDM Tech. Dig., pp. 264-267, 1988.
3. J. G. Fossum, A. Ortiz-Conde, H. Shichijo, and S. K. Banarjee, "Anomalous leakage current in LPCVD polysilicon MOSFET's" IEEE Trans. Electron Devices, vol. ED-32, pp. 1878-1884, Sept. 1985
4. KEIJI TANAKA, HITOHI ARAI, SHIGETO KOHDA, "Characteristics of Offset-Structure Polycrystalline-Silicon Thin-Film Transistors" IEEE ELECTRON DEVICE LETTERS, Vol. 9, pp. 23~25, 1988.
5. K. R. Olasupo, W. Yarbrough, and M. K. Hatalis, "The Effect of Drain Offset on Current-Voltage Characteristics in Sub Micron Polysilicon Thin-Film Transistors", IEEE TRANSACTION ON ELECTRON DEVICES, Vol. 43, pp. 1306~1308, 1996.