

CMP 공정에 기인하는 소자특성의 열화를 방지하기 위한 PMD 구조에 대한 연구

논 문
12-2-2

A Study on PMD(Pre-Metal Dielectric) Structure to Prevent Device Degradation Induced by CMP Process

서용진*, 김상용#, 김태형**, 김창일#, 이우선***, 장의구#

(Yong-Jin Seo*, Sang-Yong Kim #, Tae-Hyung Kim**, Chang-Il Kim #, Woo-Sun Lee***, Eui-Goo Chang #)

Abstract

It is very important to select superior inter-layer PMD(Pre Metal Dielectric) materials which can act as a penetration barrier to various impurities created by CMP processes. In this paper, hot carrier degradation and device characteristics were studied with various PMD-1 layers, such as LP-TEOS, SR-Oxide, PE-Oxynitride, PE-Nitride, and PE-TEOS films. The oxynitride and nitride deposited using plasma were greatly degraded the device after hot carrier test compared with silicon oxide.

Consequently, silicon oxide turned out to be the better PMD-1 material than PE-oxynitride or PE-nitride. Also, LP-TEOS film was the best PMD-1 material among the silicon oxides.

Key Words(중요용어) : PMD(Pre Metal Dielectric), CMP(Chemical Mechanical Polishing), PCT(Pressure Cooker Test), Hot Carrier Degradation

1. 서 론

반도체 소자의 고집적화 및 고속화에 따라 배선패턴이 미세화되고 다층(multi-level)의 금속 배선공정이 요구됨에 따라 배선 층간의 단차가 심화되어 후속공정을 위한 광역 평탄화(global planarization) 공정이 최근에 크게 부각되고 있다. 0.35 μm 공정 기술을 이용한 다층의 금속을 갖는 소자의 경우 후속 공정을 위한 PMD(Pre Metal Dielectric) 층의 광역 평탄화를 위하여 CMP(Chemical Mechanical Polishing) 공정이 도입되었다¹⁾. 그러나 CMP 공정에 기인하는 이동성 이온(K⁺, Na⁺ 등)과 수분의 침투로 인한 유전상수의 증가, 핫 캐리어 증가, 필드 반전 등 소자 특성의 열화²⁾를 방지하기 위하여 PMD 구조 및 물질들의 적정두께, 그리고 PMD 각 층의 물질을 적절히 선택하는 것이 중요하

게 되었다.

따라서 본 논문에서는 CMP 공정으로 인해 야기되는 다량의 불순물에 대한 침투장벽으로서 보다 우수한 물질을 결정하기 위해 LP-TEOS(Low Pressure-Tetra Ethyl Ortho Silicate glass), SR(Si Rich)-Oxide, PE(Plasma Enhanced)-Oxynitride, PE-Nitride, PE-TEOS 산화막 등으로 공정을 스플릿하였고, PMD 구조의 void를 억제하고 위에서 언급한 이동성 이온들의 침투를 방지하기 위하여 BPSG(Boron-Phospho-Silicate Glass)를 PMD-1의 층간 물질로 선택하였다. H, O-H, H₂O 등의 보호막으로는 굴절률(Refractive Index : R.I) 값이 높은 물질일수록 보호막으로서 양호한 성질을 갖고 있으나, PMD-1 층은 트랜지스터 형성 후 바로 윗층에 놓이므로 이들에 대한 효과는 박막의 스트레스나 Si/SiO₂ 계면상의 결합정도와 수소함유량 정도에 따라서 트랜지스터에 미치는 영향이 다르게 나타나기 때문에 이상과 같은 산화공정 스플릿 조건별 소자특성을 비교분석 하고자 한다. 이들 PMD-1 층의 물질에 대한 트랜지스터의 특성 변화는 PCT(Pressure Cooker Test) 전후로 나누어 테스트를 실시하여 nMOS 및 pMOS 트랜지스터의 문턱전압(V_T) 변화와 트랜스컨덕턴스(G_m) 변화, 핫 캐리어 효과 등을 조사해 보았고, 부가적으로 필드영역의 반전과 접합 누설전류 등을 비교분석하여 트랜지

* 대불대학교 전기전자공학부
(전남 영암군 삼호면 산호리 72,
전화 : 0693-469-1260, Fax : 0693-469-1265, E-mail :
syj@daebul.daebul.ac.kr)

** : 여주대학 전기과

*** : 조선대학교 전기공학과

: 중앙대학교 전자전기공학부

1998년 11월 2일 접수, 1999년 1월 25일 심사완료

스터의 열화에 가장 효과적인 물질을 알아보고자 한다.

2. 실험

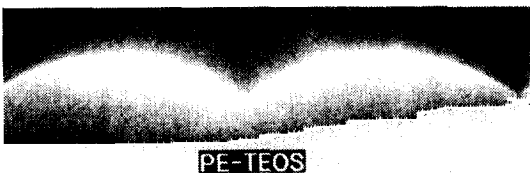
트랜지스터 형성 공정이 끝난 Si 웨이퍼 위에 LP-TEOS, PE-TEOS, SR-oxide, PE-oxynitride, PE-nitride 막을 각각 1,000 Å 증착시키고 나서 후속공정으로 BPSG 층을 2,500 Å, PE-TEOS 막을 9,500 Å 증착시킨 뒤 CMP 공정으로 8,000 Å 을 polishing 하였다. 한편, BPSG 유무에 의한 소자특성을 비교하기 위하여 BPSG를 형성시키지 않는 시료의 경우는 PE-TEOS 막을 12,000 Å 형성시킨 후, 바로 8,000 Å 을 CMP 공정으로 처리하였다. 그림 1은 본 논문에서 고찰한 소자의 CMP 전후의 단면 SEM 사진을 나타낸 것이고, 표 1은 PMD-1 물질의 스플릿 조건을 개략적으로 나타낸 것이다.

표 1. PMD-1 물질의 스플릿 조건

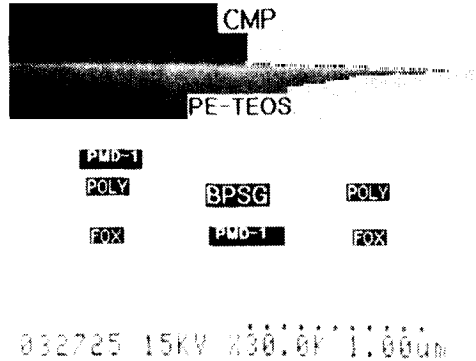
Table 1. Split conditions of PMD-1 materials.

PMD1 후속층	Split 1(S1)	Split 2(S2)	Split 3(S3)	Split 4(S4)	Split 5(S5)	Split 6(S6)
	LP-TEOS	SR-OX	PE-TEOS	OXYNIT	PE-NIT	PE-TEOS
BPSG	1,000 Å	1,000 Å	1,000 Å	1,000 Å	1,000 Å	12,000 Å
PE-TEOS	2,500	2,500	2,500	2,500	2,500	-
PE-TEOS	9,500	9,500	9,500	9,500	9,500	-
CMP	8,000	8,000	8,000	8,000	8,000	8,000

nMOSFET의 핫 캐리어 스트레스에 의한 열화특성을 조사하기 위해 PCT(Pressure Cooker Test : 121 °C, 100 % humidity, 72 시간) 분석을 사용하였고, 열악한 환경을 만들기 위해 드레인에 7.0 V, 게이트에 3.5 V를 일정하게 인가하고³⁾, 기판과 소오스는 접지시킨 후, 스트레스 시간을 100 sec, 500 sec, 1000 sec, 2000 sec 동안 가한 뒤 각



(a) CMP 전의 소자단면
(a) Before CMP



(b) CMP 후의 소자단면
(b) After CMP

그림 1. CMP 전후의 단면 SEM 사진

Fig. 1. SEM Photographs of PMD structure before and after CMP.

각에 대한 G_{max} 와 V_T 를 측정하여 ΔG_m 과 ΔV_T 를 구하였다.

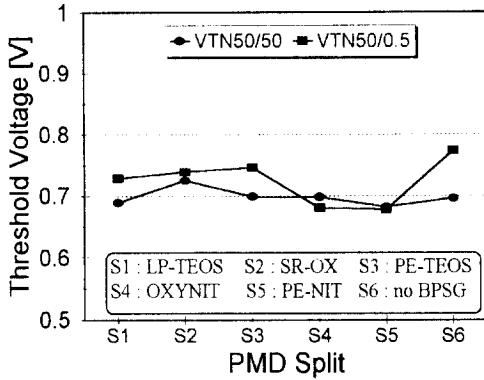
또한, PCT 후의 트랜지스터 특성차이를 해석하기 위한 기본자료로 활용하기 위해 PCT 전후의 스트레스의 변화와 각 물질별 수소함유량을 비교해 보았다. 수소함유량에 대한 계산은 FTIR을 이용하여 as-depo. 상태의 막과 PCT 후의 막을 비교하였다.

3. 실험결과 및 고찰

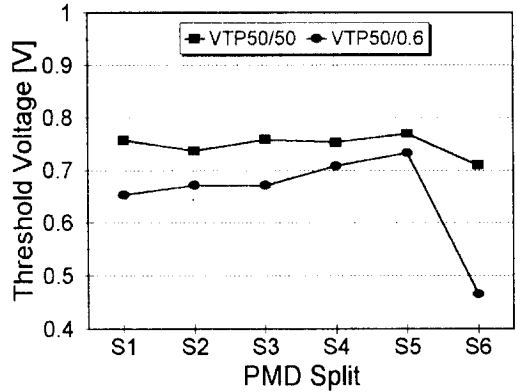
3.1 PMD-1 층의 스플릿 조건별 전기적 특성

그림 2는 PMD-1 층의 물질변화에 따른 nMOSFET(W/L = 50/50 μm , 50/0.5 μm)의 문턱전압 및 펀치쓰루 전압의 변화를 보인 것이다. 그림 2에 보인 바와 같이 채널길이가 50 μm 인 경우에는 문턱전압은 비교적 비슷한 값을 나타내고 있으나, 0.5 μm 로 채널길이가 짧아짐에 따라 PE-oxynitride 막과 PE-nitride 막은 문턱전압이 다소 변화를 보였다. 그러나 전체적인 특성으로 볼 때 채널길이 감소에 따라 나타나는 짧은 채널 효과는 양호함을 알 수 있다. 또한 펀치쓰루 전압은 PE-oxynitride 막이 가장 좋지 않은 결과를 나타내었다.

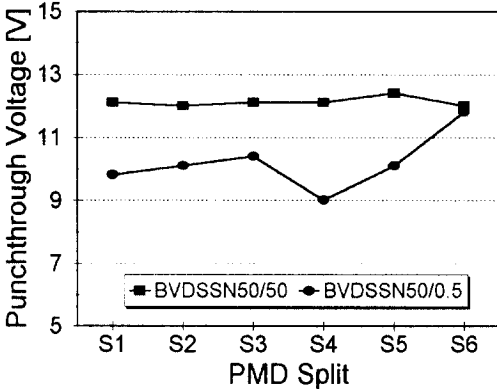
그림 3은 PMD-1 층의 물질변화에 따른 pMOSFET(W/L = 50/50 μm , 50/0.6 μm)의 문턱전압 및 펀치쓰루 전압의 변화를 보인 것이다. 문턱전압은 BPSG 층을 사용하지 않은 소자에서 가장 낮은 값을 나타내었고, 펀치쓰루 전압은 소자면적이 50/50 μm 인 소자에서는 약 11 V로 비슷한 경향을 나타내었으나 50/0.6 μm 인 경우에는 펀치쓰루 전압이 현저하게 변화함을 알 수 있다. 이상의 결과에서 pMOSFET의 경우는 BPSG층을 사용하지 않은 경우가 가장 양호한 값을 보였다.



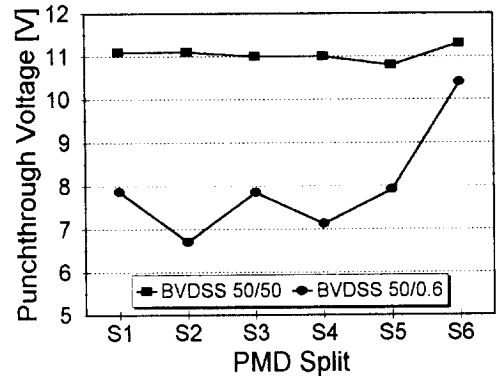
(a) 문턱 전압
(a) Threshold voltage



(a) 문턱 전압
(a) Threshold voltage



(b) 펀치쓰루 전압
(b) Punchthrough voltage



(b) 펀치쓰루 전압
(b) Punchthrough voltage

그림 2. PMD-1 물질 변화에 따른 nMOSFET의 문턱 전압 및 펀치쓰루 전압

그림 3. PMD-1 물질에 따른 pMOSFET의 문턱 전압 및 펀치쓰루 전압

Fig. 2. Threshold voltage and punchthrough voltage of nMOSFET with variations of PMD-1 materials.

Fig. 3. Threshold voltage and punchthrough voltage of pMOSFET with variation of PMD-1 materials.

그림 4는 소자면적이 100/0.55 μm 인 필드 트랜지스터의 문턱전압과 펀치쓰루 전압을 PMD-1 물질 변화에 따라 보인 것이다. 필드 문턱전압은 pMOSFET에서는 PE-nitride 막이, nMOSFET에서는 PE oxynitride 막과 PE-nitride 막이 가장 좋지 않은 결과를 보였다. 그러나 필드 펀치쓰루 전압은 nMOSFET는 대략 12 V, pMOSFET는 약 11 V로 PMD-1 층의 물질변화에 따른 뚜렷한 변화는 관찰할 수 없었다. 이상과 같은 1차적인 스플릿 조건별 테스트 결과는 뚜렷한 변화를 보이지 않았다. 하지만 100/0.55 μm 의 필드 트랜지스터에서는

PMD-1 물질로 PE-oxynitride나 PE-nitride 막을 적용할 경우 필드 반전현상이 일어났으나 나머지 물질들에 대해서는 필드 반전현상이 나타나지 않았다. 한편, 각 PMD 물질 변화에 따라 드레인 포화 전류는 차이를 보이지 않았으며, 대략 18.1~20.2 mA의 값을 나타내었다.

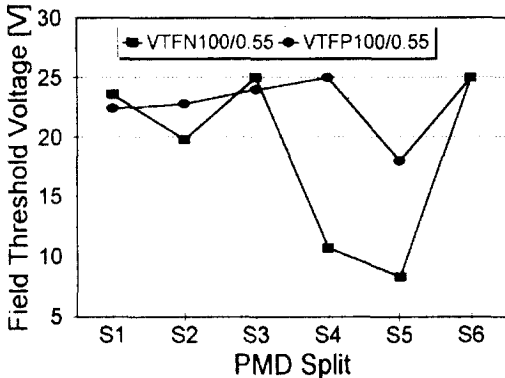
3.2 PCT 후의 핫 캐리어 스트레스 비교

PMD-1 물질에 대한 스플릿 조건별 대표적인 소자 특성의 데이터로는 차이점을 발견하기가 어렵기 때문에 열악한 조건하에서의 트랜지스터의 특성을 비교하

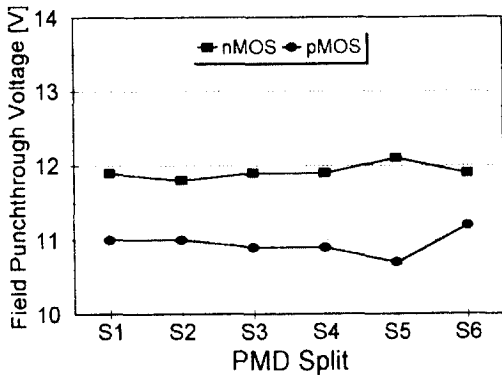
표 2. PCT 분석 전후의 박막 종류별 스트레스 및 수소함유량 비교

Table 2. Comparisons of hydrogen contents and stress before and after PCT Analysis.

		LP-TEOS	SR-OX	PE-TEOS	OXYNTT	PE-NIT
PCT 전	stress(dyne/cm ²)	-5.96E8	-2.3E9	-1.24E9	-1.76E8	-7.25E7
	수소함유량	0.57%	3.01%	0.18%	15.14%	20.19%
PCT 후	stress(dyne/cm ²)	-6.33E8	-2.02E9	-3.49E9	-4.15E8	-6.21E8
	수소함유량	2.23%	4.39%	2.91%	14.85%	18.52%



(a) 문턱 전압
(a) Threshold voltage



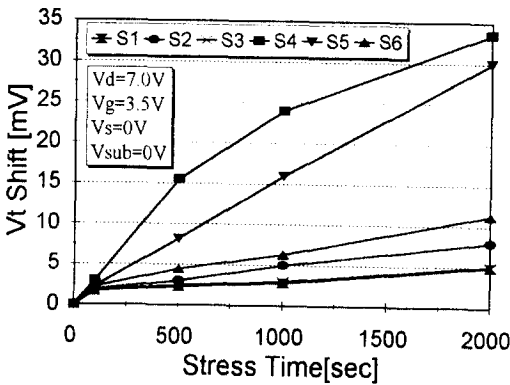
(b) 펀치스루 전압
(b) Punchthrough voltage

그림 4. PMD-1 물질변화에 따른 필드 트랜지스터의 문턱 전압과 펀치스루 전압 비교

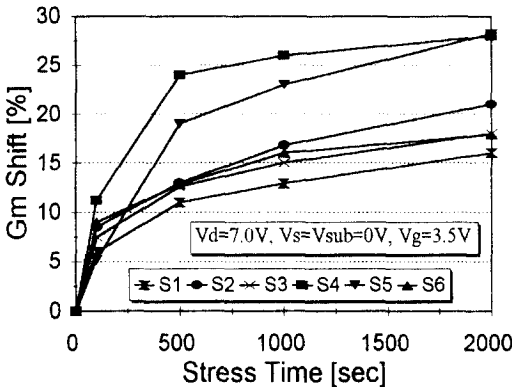
Fig. 4. Threshold voltage and punchthrough voltage of field transistor with variation of PMD-1 materials.

기 위하여 PCT 분석을 실시한 후 트랜지스터의 특성을 비교해 보았다. 핫 캐리어 시험에 있어서는 일

정한 드레인전압 V_D 에서 게이트 전압 V_G 가 변화함에 따라 게이트 산화막으로 주입되는 다수 캐리어가 변화하게 되며, 본 논문에서는 $50/0.6 \mu\text{m}$ 의 nMOSFET에 대해 $V_G = V_D/2$ 인 조건의 스트레스를 가하여⁹⁾ 시간 변화별 G_{max} 값의 변화와 V_T 의 변동을 측정하였으며 그 결과는 그림 5와 같이 나타났다. 상기 스플릿 중 ΔG_{m} 의 변화값이 가장 크게 변화한 물질은 PE-oxynitride 막과 PE-nitride 막으로 밝혀졌으며 SR-oxide, no-BPSG, PE-TEOS, LP-TEOS 순으로 나타났다. ΔV_T 도 마찬가지로 PE-oxynitride, PE-nitride, no-BPSG, SR-oxide, PE-TEOS, LP-TEOS 순으로 나타나 PCT 후 핫 캐리어 시험에서 소자가 가장 잘 열화되는 PMD-1 물질은 PE-oxynitride와 PE-nitride 막이며, 가장 좋은 물질로는 열산화막인 LP-TEOS 막임을 알 수가 있다. 이는 플라즈마 공정이 NH_3 가스를 사용하고 있고, 공정 온도가 낮기 때문에 박막의 수소 함유량이 많을 수 밖에 없으므로 열산화막보다 트랜지스터의 특성이 현저히 떨어지는 것으로 생각된다. 또한 열산화막 중에서는 SR-oxide 막이 가장 좋지 않은 결과를 보였는데 이는 Si-rich화 될수록 Si-H 결합이 많아지고 굴절률도 커지는 반면에 Si-H 결합이 계면결합으로 작용하기 때문에 핫 캐리어 스트레스 하에서의 열화율이 더 빠른 것으로 생각된다. 또한 열산화막인 LP-TEOS가 가장 좋은 결과를 보이는 이유는 표 2에서 보는 바와 같이 박막의 스트레스 보다는 수소의 함유량에 관계가 더 깊은 것으로 나타났으며, 산화막보다는 PE-nitride나 PE-oxynitride가 더 좋지 않은 결과를 보이는 것 역시 스트레스 보다는 박막의 수소함유량에 비례함을 알 수가 있다. 지금까지 밝혀진 H, O-H, H_2O 등의 보호막으로는 RI(굴절률)값이 높은 물질일수록 보호막으로써 좋은 물질임이 판명되었으나 이상의 결과로 볼 때 PMD-1 층에 대해서는 오히려 굴절률이 높을수록 핫 캐리어 특성이 좋지 않은 것으로 나타났다. 이는 외부로부터 침투해 들어오는 불순물 보다는 오히려 PMD-1 박막 자체의 스트레스나 Si/SiO₂ 계면의 결합정도, 박막의 수소함유량 정도에 따라서 소자의 열화특성이 좌우됨을 알 수가 있다. 한편, PMD 구조에서 BPSG 유무에 의한 차이는 BPSG를 사용하지 않은 경우가 PCT 후의 ΔV_T 변화율이 다소 높게 나타났다. ΔG_{m} 변화율에서는 차이가 거의 없는 것으로 나타났다.



(a) 문턱전압의 변위량(VT)
(a) Shift amounts of threshold voltage



(b) 트랜스컨덕턴스의 변위량(Gm)
(b) Shift amounts of transconductance

그림 5. 스트레스 시간변화에 따른 nMOSFET의 문턱 전압 및 트랜스컨덕턴스의 변화

Fig. 5. Shift amounts of threshold voltage and transconductance of nMOSFET as a function of stress time before and after PCT analysis.

3.3 PCT 후의 필드 트랜지스터의 특성비교

3.3.1 접합 누설전류

필드 트랜지스터에서의 접합 누설 전류의 측정 조건은 기판과 소오스, 그리고 게이트 전압을 접지시키고 드레인 전압 V_D 를 변화시키면서 $V_D=5V$ 에서의 드레인 전류값을 접합 누설전류로 정의하였다. 필드 트랜지스터에서의 접합 누설전류는 필드 가장자리에서의 효과를 보기 위하여 소자면적이 다소 큰 $W/L=100/0.65 \mu m$ 인 트랜지스터를 사용하였으며

이들 측정치의 비교를 그림 6에 나타내었다. PE-nitride 물질에서 가장 큰 누설전류를 나타내었으며, PE-oxynitride와 BPSG 막이 없는 경우에도 다소 높은 누설전류값을 보이고 있음을 알 수 있다. 이는 필드 가장자리에서 크게 발생하는 스트레스와 박막의 수소 함유량에 의한 계면결합 등에 의한 결과라고 생각된다. 가장 작은 누설전류를 보이고 있는 물질은 LP-TEOS 막으로 나타났다.

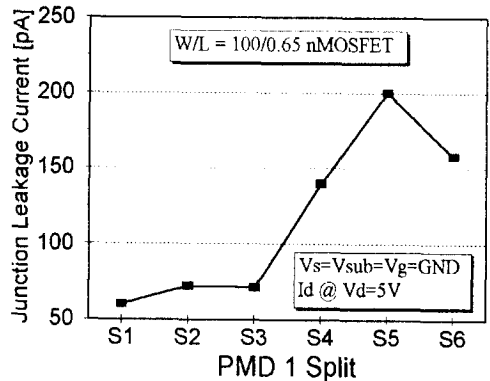


그림 6. PMD-1 물질의 변화에 따른 접합 누설 전류
Fig. 6. Junction leakage current with variation of PMD-1 materials.

3.3.2 필드 문턱전압

필드 트랜지스터의 V_T 는 드레인 전압을 $V_D=5V$ 로 일정하게 걸어준 상태에서 게이트전압 V_G 를 변화시켜 주면서 드레인 전류가 1 nA 일 때의 게이트 전압을 V_T 로 정의하였다. 그림 7은 PMD-1의 물질종류에 따른 nMOS 트랜지스터 ($W/L=100/0.55 \mu m$)의 필드 문턱전압 변화를 보인 것이다. 그림 7과 같이 PMD-1의 물질종류에 따라 필드 문턱전압이 변하며, 또한 일반 트랜지스터에서와 같이 외부 불순물보다는 오히려 PMD-1 물질에 따라 필드 문턱전압 역시 필드 산화막 및 폴리실리콘 게이트를 둘러싸고 있는 박막 특성에 의해 트랜지스터의 열화 현상이 발생한 것으로 생각된다. 측정 결과에 의하면 필드 문턱전압에 가장 좋지 않은 물질은 PE-nitride 막이며, PE-oxynitride가 다음으로 좋지 않은 결과를 보였다. 역시 가장 좋은 결과를 보이는 것은 LP-TEOS 막인 것으로 나타났다.

3.3.3 게이트 산화막의 누설 전류 및 브레이크 다운 전압

필드 트랜지스터의 게이트 산화막 누설 전류는 드레인 전압과 기판, 소오스를 접지시킨 상태에서 게이트전압 V_G 를 변화시켜 주면서 게이트 전압 5V에

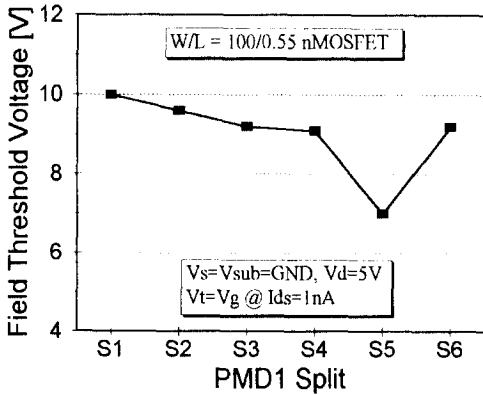


그림 7. PMD-1 물질 변화에 따른 필드 문턱전압
Fig. 7. Fieldthreshold voltage with variation of PMD-1 materials.

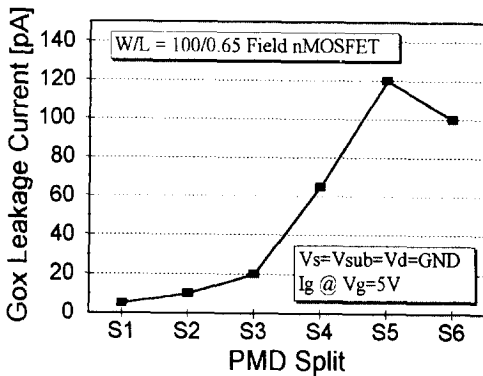


그림 8. PMD-1 물질변화에 따른 게이트 산화막의 누설 전류
Fig. 8. Gate oxide leakage current with variation of PMD-1 materials.

서의 전류를 게이트 누설 전류로 정의하였다. 그림 8은 소자면적이 100/0.65 μm 인 필드 트랜지스터의 PMD-1 물질변화에 따른 게이트 산화막의 누설전류를 나타낸 것으로 PE-nitride, no BPSG, PE-oxynitride 순으로 좋지 않은 결과를 나타내었다. 필드 트랜지스터에서 필드 가장자리(edge)는 곡률이 발생되기 때문에 스트레스가 크고 게이트 산화막이 취약하며⁴⁾, 게이트에 전압을 걸어주면 필드 가장자리에 전기장이 세게 걸리게 되어 평판 트랜지스터에서의 게이트 산화막(Gox)보다 훨씬 열악하다. 따라서 PMD-1 층으로 PE-nitride 막이나 PE-oxynitride 막을 사용할 경우 열악한 구조를 갖는 필드 트랜지스터에서는 다량의 수소가 필드 가장자리 근처로

침투하기가 용이하여⁵⁾ Gox 누설 전류가 더 높게 나타난 것으로 생각된다.

그림 9는 PMD-1 층의 물질 종류에 따른 100/0.65 μm 인 필드 트랜지스터의 펀치스루 전압과 게이트 산화막의 브레이크다운 전압을 비교한 것이다. 게이트 산화막의 누설전류 특성에서는 PMD 막 종류별 차이가 분명하였으나 브레이크다운 특성에서는 뚜렷한 차이를 보이지 않았다.

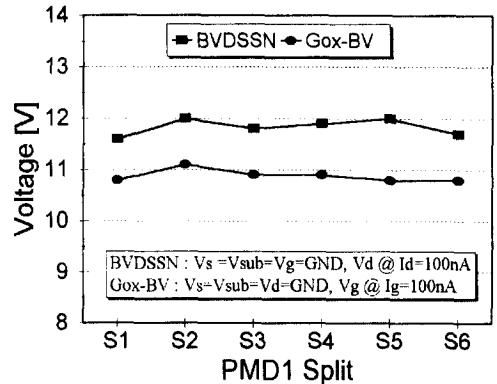


그림 9. PMD-1 물질 변화에 따른 필드 트랜지스터의 펀치스루 전압과 게이트 산화막의 브레이크다운 전압 비교
Fig. 9. Comparisons of punchthrough voltage of field transistor and breakdown voltage of gate oxide with variation of PMD-1 materials.

4. 결 론

CMP 공정으로 인해 생성되는 다량의 불순물에 대한 침투장벽으로서 보다 우수한 물질을 결정하기 위해 PMD-1 층을 스펙트럼하여 PCT 분석을 실시한 후 nMOS 트랜지스터(W/L = 50/0.5 μm)에 대한 핫 캐리어 스트레스 테스트 결과 및 필드 트랜지스터(W/L = 100/0.65 μm)의 소자특성을 비교한 결과는 다음과 같다.

1) 플라즈마를 이용한 oxynitride 막과 nitride 막은 실리콘 산화막에 비해 핫 캐리어 특성이 현저하게 떨어지는 것으로 나타났으며, 실리콘 산화막 중에서는 LP-TEOS 막이 플라즈마를 이용한 실리콘 산화막(SR-oxide, PE-TEOS) 보다 좋은 결과를 얻었다.

2) 필드 트랜지스터에서 V_T 와 접합 누설전류, 그리고 필드 게이트 산화막의 누설전류는 PE-nitride 막이 가장 좋지 않은 결과를 보였고, PE-oxynitride 막도 실리콘 산화막에 비해 좋지 않은 결과를

나타내었다.

3) PMD 공정의 층간 물질로 BPSG 유무에 따른 핫 캐리어 테스트 결과와 필드 트랜지스터의 특성 비교에서 BPSG를 층간물질로 사용하는 것이 보다 좋은 결과를 보였다.

4) 이상의 결과로 보아 PMD-1 물질은 실리콘 산화막이 가장 좋으며, 실리콘 산화막 중에서도 LP-TEOS 막을 사용하는 것이 좋고 층간 물질로 BPSG를 적용하는 것이 더 바람직함을 알 수 있었다.

참 고 문 헌

1. Douglas Webb, Siva Sivaram, David Stark, Hubert Bath, Joseph Draina, Robert Leggett, and Robert Tolles, "Complete InterMetal Planarization Using ECR Oxide and Chemical Mechanical Polish," Proc. VMIC, pp. 141-148, 1992.
2. M. Galiano, E. Yieh, S. Robles and B. C. Nguyen, "Stress-Temperature Behavior of Oxide Films Used for

Inter Metal Dielectric Applications," Proc. VMIC, pp. 100-106, 1992.

3. Brain Doyle et al., "Interface State Creation and Charge Trapping in the Medium-to-High Gate Voltage Range ($V_d/2 > V_g > V_d$) During Hot Carrier Stressing of nMOS Transistors," IEEE Transaction on Electron Devices, ED-37, pp. 744-754, 1990.
4. Paul Ferreira, Vincent Senez, Bruno Baccus, Jacques Varon and Jacques Lebailly, "Finite Element Optimization of a MOSFET Structure : The Role of Inter-Layer Material for Residual Stress Reduction," IEDM-95, pp. 503-506, 1995.
5. Vivek Jain, Dipankar Pramanik, Subhash R. Nariani and Chenming Hu, "Internal Passivation for Suppression of Device Instabilities Induced by Backend Processes," IRPS, pp. 11-15, 1992.