

Deep 서브마이크론 LDD-nMOSFET의 핫-캐리어 현상 억제를 위한 반경험적인 LDD 공정설계에 관한 연구

논문
12-3-1

A Study on Semi-Empirical LDD Process Design for Suppression of Hot-carrier Effects in Deep Submicron LDD-nMOSFETs

안태현*, 김남훈*, 김창일*, 서용진**, 장의구*

(Tae-Hyun An*, Nam-Hoon Kim*, Chang-Il Kim*, Yong-Jin Seo**, Eui-Goo Chang*)

Abstract

This paper describes the trends of hot-carrier and punchthrough phenomena as variations of some process parameters : LDD doses(P), spacer lengths, V_T adjusting channel doses(BF_2) and implantation energies. We observed that the increase of channel dose prevented punchthrough phenomenon but hot-carrier was generated. As increasing LDD dose, the characteristics of hot-carrier and punchthrough were aggravated by reason of strong electric field produced near the drain. It was also thought that LDD dose of $1\sim 2 \times 10^{13}$ was critical point. On the base of these trends, we proposed the improved model by two dimensional electrical characteristics including generation rate of impact ionization and distribution of electric field using the simulators of TSUPREM-4 and MEDICI, sequentially.

Key Words(중요용어) : Hot-carrier phenomenon(핫-캐리어 현상), Punchthrough(펀치 쓰루), DTC(Design Trend Curve ; 디자인 경향 곡선), LDD(Lightly Doped Drain ; 드레인쪽에 낮게 도핑), Threshold voltage(문턱 전압)

1. 서 론

최근 ULSI 회로에서 고집적화 및 고속 특성을 얻기 위해 MOSFET 소자는 스케일 다운(scale down)되고 있으며, 그 중에서도 소자의 동작 속도와 전류 구동 능력을 향상시키기 위해 채널 길이는 deep 서브마이크론(submicron)까지 감소되었다. 이처럼 소자 크기가 축소됨에 따라 전기적 특성과 신뢰성의 문제가 대두되었고, 고전계에 의한 DIBL(drain induced barrier lowering), 오프 상태(off-state)에서의 누설전류 증가, 펀치쓰루 전압의 감소 및 게이트 누설전류의 증가와 같은 짧은 채널 효과(short channel effects), 핫-캐

리어에 의한 소자특성의 열화 등 여러가지 문제점이 나타나고 있으며 이러한 현상은 deep 서브마이크론 이하로 스케일 다운 될수록 소자의 수명을 단축시킬 것이다^{1,2)}. 이러한 문제점을 극복해야 좀더 안정적인 deep 서브마이크론 MOSFET을 설계할 수 있기 때문에 본 논문에서는 위에서 제시한 문제점 들 중에서 펀치쓰루와 핫-캐리어 현상을 분석하였으며, 공정 파라미터와 임계 소자 파라미터와의 상호 의존특성을 규명하는 것에 초점을 맞추었다.

펀치쓰루 및 핫-캐리어 현상을 개선하기 위한 새로운 LDD 공정조건을 구하기 위해서 대표적인 공정 파라미터로 LDD(lightly doped drain) 이온 주입 도즈(dose), 스페이서 길이(spacer length), 문턱 전압 조절을 위한 채널 이온(BF_2) 주입 도즈 및 에너지 등 4가지 공정조건을 선택한 후 각각 4번씩 스플릿(split) 하였다. 이렇게 스플릿된 공정조건에 따라 TSUPREM-IV를 사용하여 공정 시뮬레이션을 수행하여 소자 구조를 정의하였다. 그 후에 MEDICI 시뮬레이션을 통해 문턱전압, 누설전류, S.S(subthreshold swing), 게이

* : 중앙대학교 전자전기공학과
(서울특별시 동작구 흑석동 221, Fax : 02-812-9651 E-mail : cikim@cau.ac.kr)
** : 대불대학교 전자전기공학과
1998년 10월 8일 접수, 1999년 2월 22일 심사완료

트전류, 기관전류, 펀치쓰루 전압과 같은 대표적인 임계 소자 파라미터값을 추출한³⁾ 뒤 임계 소자 파라미터와 공정 파라미터의 상호 의존특성을 고찰하였다. 이때 공정 파라미터의 변화에 따른 임계 소자 파라미터의 의존 경향을 분석하기 위한 방법으로 여러가지 임계 소자 파라미터의 변화를 동일 그래프 내에 그려 넣기 위해 각각을 최대값으로 나누어 정규화(normalization)시켰다³⁾. 이러한 그래프를 디자인 경향곡선(Design Trend Curve : DTC)이라고 하며, 본 연구실에서 반 경험적인(semi-empirical) 스케일링 방법으로 제안한 바 있으며, 이는 0.8 μm 의 채널길이를 갖는 twin-well CMOS 소자를 직접 제작하여 이미 그 효율성을 검증한 바 있다³⁾. 본 논문에서도 이와같은 반 경험적인 디자인 경향곡선(DTC)을 이용하여 0.35 μm 의 채널길이를 갖는 LDD-nMOSFET의 펀치쓰루 및 핫-캐리어 현상을 억제시키기 위한 새로운 LDD 공정을 설계하여 위에서 제시한 대표적인 공정파라미터의 변화에 따른 펀치쓰루와 핫-캐리어 현상의 의존성을 고찰하였다. 이를 바탕으로 펀치쓰루 및 핫-캐리어 현상을 억제시킬 수 있는 개선된 LDD 공정모델을 제안하고, 2차원적 시뮬레이션을 통해 이들 현상을 검토해 보고자 한다.

2. 공정 시뮬레이션

본 논문에서는 기본 LDD 구조를 갖는 nMOSFET를 표준모델로 사용하였으며, 기본공정 조건은 표 1과 같다. 그림 1은 표 1과 같은 공정조

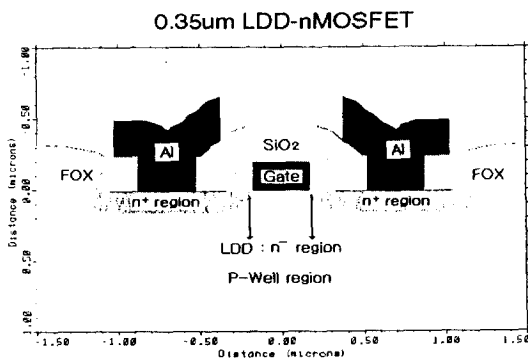


그림 1. 표준모델의 시뮬레이션된 소자 단면
Fig. 1. Simulated device cross section of standard model.

건을 사용하여 표준모델 소자의 단면을 시뮬레이션한 결과이다. 표준모델인 LDD-nMOSFET는 채널 길이(L)가 0.35 μm 이고, 게이트 산화막 두께(T_{ox})는 70 \AA , 소오스-드레인 접합깊이(X_j)는 0.25 μm 로 설계하였다. 또한 스페이서 길이가 0.12 μm 이며, 문턱 전압 조절을 위한 채널 이온(BF_2)을 $2.2 \times 10^{12} / \text{cm}^2$, 80 keV 에너지로 주입 하였다.

표 1. 표준 모델 MOSFET의 공정 조건
Table 1. Process parameters in standard model.

Process	Element	Setting Values
Pwell	B	Dose = 2×10^{13} (/ cm^2) Energy = 700 (KeV)
n+ S/D	As	Dose = 2×10^{15} (/ cm^2) Energy = 80 (KeV)
LDD	P	Dose = 4×10^{13} (/ cm^2) Energy = 30 (KeV)
Gate oxide		70 \AA

표 2는 공정 파라미터들을 스플릿한 대표값들을 나타낸 것으로, 의존성을 갖는 많은 공정 파라미터들 중에서 우선 LDD 공정 조건과 문턱 전압 조절을 위한 채널 이온주입 조건에 초점을 맞추고 시뮬레이션 하였다. 이는 펀치쓰루와 핫-캐리어 현상을 억제할 수 있는 새로운 LDD 공정을 설계하기 위해 MEDICI 소자 시뮬레이션의 전 단계로 수행된 것이다. 공정 시뮬레이션의 정확도를 높이기 위해서 실제 소자 제작 조건에 맞도록 불순물의 OED(oxidation enhanced diffusion)현상에서 공극(vacancy)과 침입형(interstitial) 불순물의

표 2. 공정변수 스플릿(Split)
Table 2. Split of Process Parameters.

Process	Process Parameter	Split Values
LDD	Dose (/ cm^2)	8×10^{12} , 1×10^{13} 4×10^{13} , 6×10^{13}
	Spacer (μm)	0.12, 0.16, 0.20, 0.24
Ion for V_T adjusting (BF_2)	Dose (/ cm^2)	5×10^{11} , 6×10^{11} 2.2×10^{12} , 8×10^{12}
	Energy (KeV)	30, 50, 80, 120

영향 및 공극과 침입형 사이에서 일어나는 커플링(coupling)까지 고려하는 PD.Full 방법을 사용하였다. 또한 이온주입시에는 몬테카를로 알고리즘(monte carlo algorithm)을 사용하였다⁴⁾.

3. 소자 시뮬레이션

앞 절에서 제시한 바와 같은 공정 스플릿 조건에 따라 수행되었던 TSUPREM-IV 공정 시뮬레이션의 결과를 소자 시뮬레이터인 MEDICI에 입력으로 사용하여 펀치쓰루 및 핫-캐리어 현상을 억제할 수 있는 LDD 공정조건을 최적화 하기 위해 임계 소자 파라미터를 추출하여 디자인 경향 곡선을 구하였다. 임계 소자 파라미터를 추출하기 위한 방법은 다음과 같이 정의하였다. $V_{GS}=0\text{ V}$, $V_{DS}=3\text{ V}$ 의 바이어스 조건에서 누설전류(I_L)를 얻었으며, 게이트 전류(I_G)와 기판전류(I_{sub})는 $V_{DS}=3\text{ V}$, $V_{GS}=3\text{ V}$ 의 조건에서 얻었다. 펀치쓰루 전압(V_{pun})은 $V_{GS}=0\text{ V}$ 일 때, 드레인 전류가 $I_D=0.1\text{ }\mu\text{A}$ 일 때의 드레인 전압으로 결정하였다. 여기서 MEDICI를 이용하여 소자 특성을 구할 때는 재결합 모델인 SRH(Shockley-Read-Hall)과 Auger 모델을 사용하였다. 또한 이동도 모델은 CONMOB(CONcentration-dependent MOBility), PRPMOB(Perpendicular electric field-dependent MOBility)을 사용하였다⁵⁾.

4. 시뮬레이션 결과

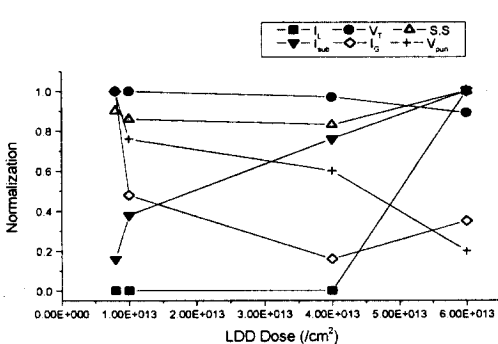


그림 2. LDD 도즈의 변화에 따른 디자인 경향 곡선
Fig. 2. Design trend curve as variation of LDD dose.

그림 2는 LDD 도즈 증가에 따른 누설전류(I_L), 문턱 전압(V_T), S.S 값, 기판전류(I_{sub}), 게이트 전류(I_G), 펀치쓰루 전압(V_{pun})의 변화를 디자인 경향 곡선으로 나타낸 것이다. LDD 이온주입 도즈가 증가할수록 기판전류는 급격히 증가하지만 게이트 전류는 처음에는 감소를 보이다가 LDD 도즈가 $4.0 \times 10^{13}/\text{cm}^2$ 일 때를 임계점으로 하여 증가를 보였다. 한편 LDD 도즈가 $4.0 \times 10^{13}/\text{cm}^2$ 이상에서는 게이트 전류와 기판전류, 누설전류가 급격한 증가를 하는 것으로 보아 핫-캐리어 현상이 일어나고 있음이 예측된다. LDD 도즈 증가에 따른 펀치쓰루 전압은 큰 폭으로 감소하였으며, 문턱전압 및 S.S 값은 약간 변화를 보일 뿐 뚜렷한 경향은 보이지 않았다. 따라서 LDD 이온주입 도즈변화에 따른 각각의 임계 소자 파라미터들의 트레이드 오프를 고려하면 $1.0 \times 10^{13}/\text{cm}^2 \sim 2.0 \times 10^{13}/\text{cm}^2$ 의 도즈 범위가 적합함을 예측할 수 있다.

그림 3은 스페이스 길이 변화에 따른 임계 소자 파라미터들의 디자인 경향 곡선을 보인것이다. 스페이스 길이가 증가할수록 게이트 전류와 기판전류는 감소추세를 보이는 것으로 보아 이때 핫-캐리어 현상을 억제시키는 역할을 하는 것으로 생각된다. 한편, 펀치쓰루 전압은 스페이스 길이 변화에 따라 fluctuation을 보였으며 $0.2\text{ }\mu\text{m}$ 이상에서부터 급격히 증가하여 양호한 값을 보이고 있으며 이때 기판전류와 게이트전류도 낮은 값을 나타내었다. 그러나 상대적으로 누설전류는 상당히 높은 값을 나타내었다. 또한 임계 소자 파라미터 값들의 변화 폭이 1에서 0.4까지의 범위에만 있는 것으로 보아 스페이스 길이는 소자특성에 큰 영향을 끼치지 못

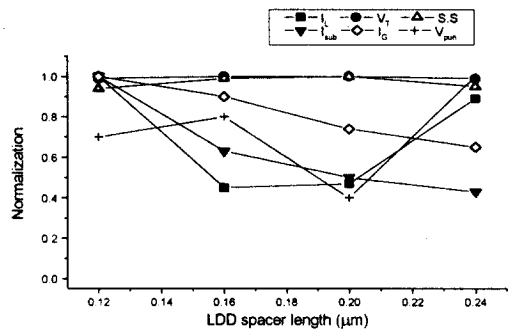


그림 3. LDD 스페이스 길이의 변화에 따른 디자인 경향 곡선
Fig. 3. Design trend curve as variation of LDD spacer length.

한 것으로 추측할 수 있으나 전체적으로 볼 때 스페이서 길이가 길수록 편치쓰루 전압이 높고, 기판전류 및 게이트 전류가 낮은 양호한 결과를 보이는 것으로 보아 스페이서 길이는 길수록 좋을 것이다. 그러나 LDD 공정의 한계상 스페이서 길이를 무한히 크게 할 수는 없으므로 본 공정 조건에서는 0.20 μm ~ 0.24 μm 의 범위내에서 가능한 한 크게 설계하는 것이 효과적임을 예측할 수 있다.

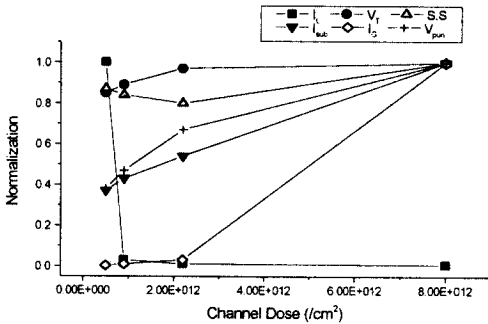


그림 4. 채널 이온주입 도즈의 변화에 따른 디자인 경향 곡선
Fig. 4. Design trend curve as variation of channel ion implantation dose.

그림 4는 문턱전압 조절을 위한 채널 이온주입 도즈에 대한 임계 소자 파라미터의 변화를 보인 것이다. 채널 이온주입 도즈가 증가함에 따라 가장 민감한 반응을 보인 것은 누설전류였고, 문턱 전압은 채널 이온주입 도즈가 증가함에 따라 약간의 변화를 보였다. 또한 기판전류와 게이트 전류는 $2.2 \times 10^{12}/\text{cm}^2$ 이후부터 큰 폭으로 증가하는 것으로 보아 채널 이온주입 도즈에 민감한 영향을 받는다는 것을 예측할 수 있다. 즉, 채널 이온주입 도즈가 $2.2 \times 10^{12}/\text{cm}^2$ 이하에서 게이트 전류와 기판전류가 비교적 낮아 핫-캐리어 현상을 억제시키는데 효과적이므로 이는 중요한 공정 파라미터라고 생각되어진다. 그러나 편치쓰루 전압은 채널 이온주입 도즈가 클수록 높은 값을 나타내어 게이트 전류나 기판전류와는 상반된 결과를 보였다. 채널 이온주입 도즈 증가에 따라 편치쓰루 전압이 증가하므로 소자의 성능 측면에서는 양호한 정(positive)특성을 갖고 있다고 볼 수 있으나 핫-캐리어 현상은 급격한 변화를 일으키는 부(negative)특성을 나타내므로

이 부분에 대해서는 트레이드 오프를 통한 피드백 시뮬레이션이 필요하다고 생각된다.

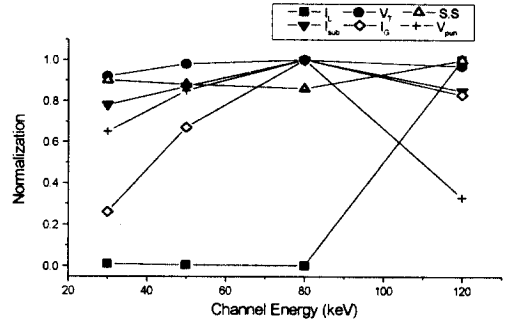


그림 5. 채널 이온주입 에너지의 변화에 따른 디자인 경향 곡선
Fig. 5. Design trend curve as variation of channel ion implantation energy.

그림 5는 문턱전압 조절을 위한 채널 이온주입 에너지의 변화에 따른 디자인 경향 곡선을 나타낸 것이다. 게이트 전류는 채널 이온주입 에너지가 80 keV 이하에서 급격한 증가를 보이다가 그 이상에서는 완만한 감소를 보이고 있음을 알 수 있다. 편치쓰루 전압 또한 80 keV 이전까지는 완만한 증가를 보이지만 그 이상에서는 급격한 감소를 나타내었다. 이는 채널 이온주입 에너지가 80 keV에서 핫-캐리어 현상이 가장 심하게 일어남을 의미한다. 그러나 편치쓰루 전압은 이 에너지에서 가장 좋은 특성을 나타내고 있다. 누설전류 또한 80 keV 이전에서는 작은 변화 폭의 감소를 보이다가 이후부터 급격한 증가로 반전되었다. 이 밖의 다른 소자 특성들도 80 keV를 기준으로 소자 특성이 반전됨을 볼 수 있었다. 따라서 트레이드 오프를 필요로 할 때, 80 keV의 전후 2곳에 임계점(critical point)이 있을 것으로 추정되며, 이 부분에서도 피드백 시뮬레이션이 필요하다고 예측할 수 있다.

이상의 결과들에서 고찰한 바와 같이 핫-캐리어 현상에 민감한 영향을 주는 공정 파라미터는 LDD 이온주입 도즈와 문턱전압 조절을 위한 채널 이온주입 도즈를 들 수 있다. LDD 도즈가 증가함에 따라 핫-캐리어 현상이 쉽게 일어나 소자특성의 열화(degradation)가 예상되며, 편치쓰루 전압 또한 급격한 감소 현상을 나타내므로 소자 성능의 저

하를 추측할 수 있다. 이와 마찬가지로 채널 이온 주입 도즈의 증가도 핫-캐리어 현상에 민감한 영향을 끼치는 공정 파라미터임을 알 수 있었다. 뿐만 아니라, LDD 도즈의 증가는 펀치쓰루 전압을 급격히 떨어뜨리는 공정 파라미터로 나타났으나, 채널 이온(BF₂)주입 도즈의 증가는 펀치쓰루 전압을 증가시키는 파라미터임을 알 수 있었다. 그리고 LDD 스페이서 길이의 변화는 핫-캐리어 현상 및 펀치쓰루 전압에 뚜렷한 영향을 끼치지 않고 있음을 예측할 수 있다.

표 3. 공정 변수에 따른 임계 소자 변수의 의존성 경향

Table 3. Dependence trend of critical device parameters as process parameters.

↑	I _{sub}	I _G	I _L	S.S	V _T	V _{pun}
Channel Dose	↑	→↑	↓	↘	↑	↑
Channel Energy	↘	↘	↑	—	—	↘
LDD Dose	↑	↘	↑	↘	↓	↓
Spacer Length	↓	↓	↘	—	—	↘

표 3은 공정 파라미터를 증가시킬 때 나타나는 임계 소자 파라미터의 의존성 경향을 간략화 한 것으로 LDD 도즈가 증가함에 따라 기판전류와 누설전류는 증가하는 경향을 보였으나 문턱전압과 펀치쓰루 전압은 감소하는 경향을 보였으며, 게이트 전류와 S.S는 감소하다가 증가하는 반환점이 있었다. 스페이서 길이 변화에 따라서 소자 파라미터로 기판전류와 게이트 전류는 스페이서 길이에 반비례하는 경향을 보였으나 다른 파라미터들은 뚜렷한 경향을 보이지 않았다. 채널 도즈가 증가할수록 게이트 전류, 기판전류, 문턱전압 그리고 펀치쓰루 전압은 증가하지만 누설전류는 감소하는 경향을 보였다. 채널 이온주입 에너지의 증가에 대한 기판전류, 게이트 전류 그리고 펀치쓰루 전압은 증가하다가 감소하는 경향을 보였고, 누설전류는 증가하는 경향을 보였다. 핫-캐리어 현상 및 펀치쓰루 전압을 개선하기 위해서는 다음과 같은 방법을 적용하여 반 경험적으로 LDD 공정을 설계해야 함을 예측할 수 있다.

① 핫-캐리어 현상을 억제하기 위해서는 채널 이온주입 도즈와 LDD 도즈를 낮게 도핑해 야 하며, 스페이서 길이는 한계범위 내에서 가능한 한 길게 설계해야 할 것이다.

② 펀치쓰루 전압을 올리기 위해서는 채널 이온주입 도즈를 높게, 그리고 LDD 도즈를 낮 게 도핑해야 할 것이다. 여기에서 채널 이온주입 도즈는 핫-캐리어 현상과 펀치쓰루 전압특성이 서로 상반되는 특성을 갖기 때문에 트레이드 오프가 선행되어야 할 것으로 생각된다.

5. 결 토

그림 6은 표준모델로 설계했던 LDD-nMOSFET의 채널에서 일어나는 충돌 전리율(impact ionization rate)을 시뮬레이션한 것으로 이때, LDD 도즈는 $4 \times 10^{13}/\text{cm}^2$, 채널 이온주입 도즈는 $2.2 \times 10^{12}/\text{cm}^2$ 및 스페이서 길이는 0.12 μm 이었다. 그림 6의 결과는 드레인에 6 V, 게이트에 2 V를 인가한 경우로 충돌 전리에 의해 드레인 근처에서 많은 양의 충돌 이온이 생성되었으며 소스 끝단의 채널영역에도 상당한 양의 충돌 이온이 생성되었음을 알 수 있다. 따라서 게이트 산화막과 채널의 전위장벽(potential barrier)을 뛰어넘는 핫-캐리어도 상당량이 생성되었다고 추측할 수 있다.

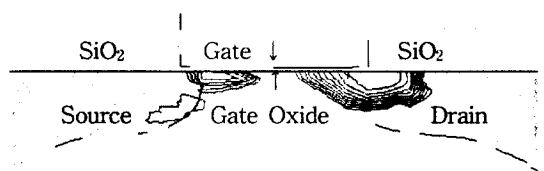


그림 6. 표준 모델에서 핫-캐리어 생성
Fig. 6. Generation of hot-carrier in standard model.

그림 7은 표 3과 같이 핫-캐리어를 억제시키기 위해 필요한 공정설계 조건에서 제시했던 것처럼, 낮은 LDD 도즈와 채널 이온주입 도즈, 그리고 비교적 긴 스페이서 길이를 갖게 설계한 결과이다. 이

때의 시뮬레이션 조건은 LDD 도즈는 $1 \times 10^{13}/\text{cm}^2$ 이고, 채널 이온주입 도즈는 $5 \times 10^{11}/\text{cm}^2$, 스페이서 길이는 $0.24\mu\text{m}$ 일 때 드레인에 6 V 및 게이트에 2 V를 인가한 경우이다. 드레인 쪽에서 충돌 이온이 생성되었지만 채널 및 Si/SiO₂을 벗어난 부분이며, 그림 6보다는 상당히 개선되어진 결과임을 알 수 있다. 이와같은 시뮬레이션을 실행한 결과 앞에서 제시했던 핫-캐리어 현상의 억제를 위한 LDD 공정설계의 방향이 옳았음을 확인할 수 있었다.

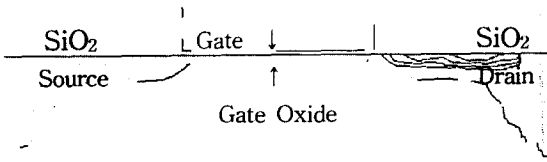
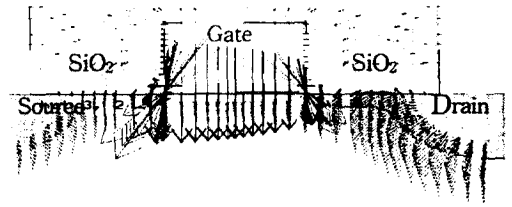
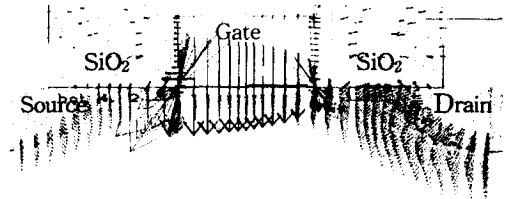


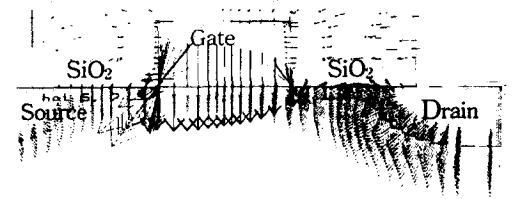
그림 7. 핫-캐리어 억제 모델에서의 핫-캐리어 생성
Fig. 7. Generation of hot-carrier in supresion of hot-carrier.



(a) $V_G=2$ [V], $V_D=3$ [V]

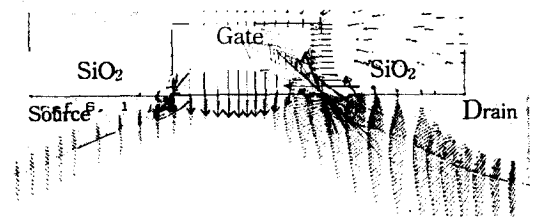


(b) $V_G=2$ [V], $V_D=4$ [V]

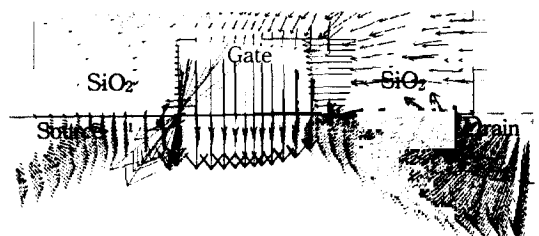


(c) $V_G=2$ [V], $V_D=5$ [V]

그림 9. 드레인 전압 변화에 따른 전기장 분포
Fig. 9. Distribution of electric field as a function of drain voltage.



(a) 표준 모델
(a) Standard model



(b) 핫-캐리어 억제 모델
(b) Hot carrier suppression model

그림 8. 표준모델과 억제모델의 전기장 분포 비교
Fig. 8. Electric field comparison of standard and suppression model.

그림 8은 게이트 전압이 1 V, 드레인 전압이 6 V 일 때 표준모델과 핫-캐리어 억제 모델의 전기장 분포를 비교한 것이다. 표준모델의 경우 드레인 끝단에서 Si/SiO₂ 계면으로 상당한 양의 전계가 집중되고 있으나 핫-캐리어 억제모델의 경우에는 게이트 산화막 속으로의 전계집중이 억제되면서 n⁻ 영역의 표면을 따라 전계가 분포하고 있으며, 또한 벌크 속으로 전계가 퍼지고 있어 충돌전리가 일어나는 위치를 Si/SiO₂ 계면으로부터 분리시켜 핫-캐리어에 의한 열화를 방지할 수 있을 것으로 예상된다. 그러나 표준모델의 경우에 비해 핫-캐리어 억제모델의 경우가 스페이서 산화막 속에 측면전계가 더 분포하고 있어 스페이서 산화막 속에 더 많은 양의 전하가 트랩될 것으로 예측할 수 있어 스페이서에 기

인하는 열화 메카니즘(spacer induced degradation mechanism)이 문제시 될 것이다.

그림 9는 피크 기판전류가 게이트 전압이 2 V 일 때 일어날 것으로 예측하고, $V_G=2$ V에서 드레인 전압을 각기 달리하면서 핫-캐리어 억제모델의 전계분포 변화를 보인 것이다. 드레인 전압이 3 V에서 5 V 까지 변함에 따라 LDD 영역 끝단에 있는 Si/SiO₂ 계면에서의 전계분포 보다는 벌크 속으로 향하는 전계가 더 지배적이며 본 논문에서 핫-캐리어 재현성 분석의 척도로 사용된 게이트 전류 및 기판전류를 최소화시킬 수 있어 그림 8의 (b)에서 고찰한 바와 같이 핫-캐리어에 의한 열화를 효과적으로 억제시키고 있음을 확인할 수 있다.

6. 결 론

디자인 경향 곡선을 사용하여 공정 파라미터들의 변화에 따른 핫-캐리어 현상과 펀치쓰루 전압의 의존성 경향으로 다음과 같이 정리할 수 있다. LDD 도즈의 증가는 핫-캐리어 현상 심화, 펀치쓰루 전압 감소와 같은 악영향을 끼친 것으로 드러났으며, 4 가지 공정 변수 중 가장 큰 영향을 끼치는 것으로 나타났다. 문턱전압 조절을 위한 채널 이온주입 도즈의 증가는 핫-캐리어 현상과 문턱 전압에 좋지 않은 영향을 주지만, 펀치쓰루 전압을 증가시키는 경향이 있음을 알 수 있었다. 스페이서 길이의 변화는 핫-캐리어 현상과 펀치쓰루 전압의 변화에 뚜렷한 영향을 주지는 않았으나 비교적 길수록 좋음을 예측할 수 있었다. 채널 에너지의 변화는 핫-캐리어 현상의 억제와 펀치쓰루 전압의 증가를 동시에 만족시키기 위해서는 각각에 대해서 트레이드 오프가 필요로 함을 알 수 있었으며, 최종 공정조건으로는 LDD 도즈 1×10^{13} (/cm²), 스페이서 길이 0.24 (μ m), 채널도즈와 에너지는 각각 5×10^{11} (/cm²), 50 (KeV)으로 결정하였다. 본 연구의 기대 효과로는 스케일 다운에 의해 더욱 심각한 문제로 대두되고

있는 펀치쓰루 및 핫-캐리어 효과에 가장 민감한 공정 파라미터를 예측할 수 있어, 소자 특성과 공정 파라미터 사이의 의존성 경향을 바탕으로 소자의 열화 특성을 방지 할 수 있는 새로운 LDD 공정 조건을 반 경험적으로 추출할 수 있을 것으로 생각되어지며, 향후 더욱 안정적으로 동작하는 deep서브마이크론 MOSFET를 설계하는데 유용한 데이터로 사용될 수 있을 것으로 본다.

감사의 글

이 논문은 1997년 교육부 반도체 분야 학술 연구비(과제번호 : 97-E-1019) 지원으로 이루어진 결과의 일부이며 이에 감사드립니다.

참 고 문 헌

1. Ronald R. Troutman, "VLSI Limitation from Drain-Induced Barrier Lowering," IEEE Journal of solid state circuits, Vol. sc-14, No. 2, p. 383, 1979.
2. T. Y. Chan and H. Gaw, "Performance and hot-carrier reliability of deep sub-micrometer CMOS," IEEE IEDM, pp. 71-74, 1989.
3. 서용진, 장의구, "서브마이크론 MOSFET의 파라미터 추출 및 소자 특성(1)", 전기전자 재료학회 논문지, Vol. 7, No. 2, pp. 107-116, 1994.
4. Technology Modeling Associate Inc., "TSUPREM-4 ver. 6.5 User's Manual", 1997.
5. Technology Modeling Associate Inc., "MEDICI ver. 4.0 User's Manual", 1997.