

# 산화막의 NO/N<sub>2</sub>O 질화와 재산화 공정을 이용한 전하트랩형 NVSM용 게이트 유전막의 성장과 특성

12-5-1

## Growth and Characteristics of NO/N<sub>2</sub>O Oxynitrided and Reoxidized Gate Dielectrics for Charge Trapping NVSMs

윤성필\*, 이상은\*, 김선주\*, 서광열\*, 이상배\*\*

(Sung-Pil Yoon\*, Sang-Eun Lee\*, Seon-Ju Kim\*, Kwang-Yell Seo\*, Sang-Bae Yi\*\*)

### Abstract

Film characteristics of thin reoxidized nitrided oxides were investigated by SIMS(secondary ion mass spectrometry) analysis and C-V(capacitance-voltage) method in order to use the gate dielectric for charge-trap type NVSMs(nonvolatile semiconductor memories) instead of ONO(oxide-nitride-oxide) stacked layers. Nitrogen distribution of NO(nitric oxide) annealed film is sharply peaked at the Si-SiO<sub>2</sub> interface, while it is broader for N<sub>2</sub>O(nitrous oxide) annealed film. The nitrogen peak concentration increased with anneal temperature and time. The position of nitrogen content in the oxide layer was able to be precisely controlled. For the films annealed in NO ambient at 800℃ for 30min, followed by reoxidized at 850℃, the maximum memory window of 3.5V was obtained and the program condition was +12V, 1msec for write and -13V, 1msec for erase.

**Key Words(중요용어)** : reoxidized nitrided oxide, SIMS, charge-trap type NVSM, ONO stacked layer, NO, N<sub>2</sub>O anneal, reoxidation, nitrogen content, memory window, switching, retention

### 1. 서 론

삼중 유전체 ONO 구조는 MNOS(metal-nitride-oxide-semiconductor) 소자의 스케일링 한계를 극복하기 위해서 제안된 SONOS(polysilicon-oxide-nitride-oxide-semiconductor) 비휘발성 반도체 소자의 게이트 유전막으로 사용되고 있을 뿐 아니라 플래시 메모리 및 DRAM(dynamic random access memory)용 유전막으로 널리 사용되고 있다<sup>1,2)</sup>. 소자의 고집적화에 따라 저전압화 및 정전용량의 증가가 요구되면서 질화막은 100Å 이하로 초박막화 되었다. 이로 인하여 SONOS 비휘발

성 기억소자에서는 프로그래밍 전압, 기억유지 특성, 내구성 등 기억특성에 변화를 가져왔으며 DRAM에 적용 중인 ONO 유전막의 경우는 누설전류의 증가로 인한 유전특성 저하 등의 문제를 야기한다. 또한 자연 산화막으로 인한 터널 산화막의 막질 유지와 정확한 두께 조절 등의 문제점이 발생함으로써 전기적 특성까지 영향을 미쳤다. 따라서, ONO 초박막의 특성 개선 및 공정 최적화를 위해서는 초박막 적층 ONO 구조를 대체할 새로운 유전막이 필수적이다.

본 연구는 전하트랩형 비휘발성 반도체 기억소자에서 종래의 ONO 적층구조를 대체할 수 있는 게이트 유전막을 새로운 공정법으로 제작하고 그 응용 가능성을 조사하였다. 이를 위하여 습식산화법으로 형성한 초기 산화막을 NO/N<sub>2</sub>O 분위기에서 열처리한 후 재산화 하여 산화막 내에 질화층을 갖는 게이트 유전막을 제작하였다. 제작공정 조건에 따른 질소의 분포를 조사하기 위하여 SIMS 분석을 수행하였으며 스위칭 특성, 기억유지 특성 등의 기억특성을 조사하였다.

\* : 광운대학교 공대 전자재료공학과  
(서울시 노원구 월계동 447-1, Fax : 02-941-6008 E-mail : kyseo@daisy.kwangwoon.ac.kr)

\*\* : LG 반도체(주)

1999년 2월 8일 접수, 1999년 4월 6일 심사완료

## 2. 실험

새로운 공정법에 의한 게이트 유전막 형성을 위한 공정 순서도를 그림 1에 나타내었다. 습식산화법으로 성장한 양질의 초기 산화막을 NO 및 N<sub>2</sub>O 분위기에서 조건을 달리하여 열처리한 후, 열산화법으로 다시 재산화 하였다. 제작된 유전막 두께는 엘립소미터 및 C-V 방법으로 측정하였으며, SIMS 분석을

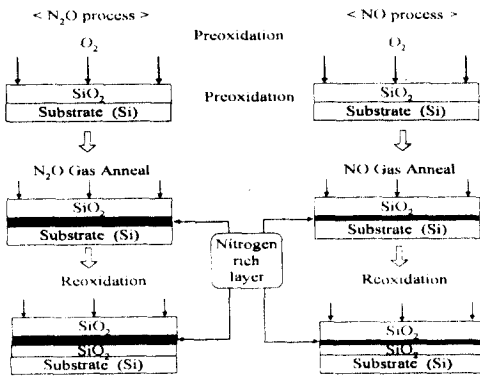


그림 1. N<sub>2</sub>O/NO 질화와 재산화 한 게이트 유전막 제작을 위한 공정 순서도.

Fig. 1. Process sequence to produce N<sub>2</sub>O/NO oxynitrided reoxidized gate dielectrics.

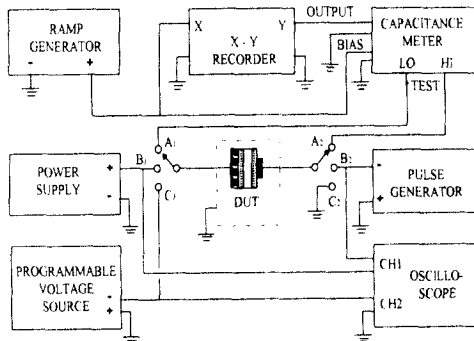


그림 2. 스위칭과 기억유지 특성을 조사하기 위한 장치도.

Fig. 2. Schematic diagram for measuring the switching and retention characteristics.

이용하여 열처리 및 재산화에 의한 질소의 깊이 분포 및 피크 농도를 측정하였다. 얇은 oxynitride 유전막의 SIMS 분석은 깊이 분해능(depth resolution)을 높이고 매트릭스 효과(matrix effect)를 최소화하기 위하여 1.1 kV의 낮은 빔 에너지로 가속된 Cs<sup>-</sup> 이온을 이용하였다<sup>3)</sup>.

제작된 유전막을 기억소자로 응용하기 위하여 스위칭, 기억유지 등의 기억특성도 조사하였으며, 측정 장치도는 그림 2와 같다.

## 3. 결과 및 고찰

### 3.1 N<sub>2</sub>O와 NO 분위기에서 열처리와 재산화 후의 oxynitride 유전막 특성

초기 산화막을 N<sub>2</sub>O와 NO 분위기에서 열처리한 후 주입된 질소의 분포와 농도를 조사하기 위하여 SIMS 분석을 수행하였으며 그 결과는 그림 3 및 그림 4와 같다. 그림 3은 67Å의 초기 산화막을 900℃, NO 분위기에서 30분간 열처리한 후 조사한 SIMS 결과이며 열처리 후 유전막의 두께는 70Å이었다. 그림 4는 60Å의 초기 산화막을 1050℃, N<sub>2</sub>O 분위기에서 25분간 열처리한 후 얻은 SIMS 결과이다. 유전막의 두께는 NO 열처리와는 달리 78Å으로 증가하였다. NO 열처리에 의해 주입된 질소가 실리콘과 산화막 계면에 분포함을 알 수 있다. NO 열처리에 의해 주입된 질소 분포의 전치반폭(FWHM)은 40Å이었으며 N<sub>2</sub>O 열처리인 경우 44Å이었다. 또한 피크 농도는 NO인 경우가 열처리 온도가 낮음에도 불구하고 높게 나타났다. NO 열처리인 경우 주입된 NO와 Si/SiO<sub>2</sub>와의 반응에 의해 N-rich 상이 생성되고 N<sub>2</sub>O 열처리인 경우 N<sub>2</sub>O의 분해 생성물인 NO와 O<sub>2</sub>의 반응이 Si/SiO<sub>2</sub> 계면에서 동시에 일어나기 때문에<sup>4)</sup> NO 열처리인 경우 질소의 분포는 좁고 농도는 크게 나타나는 반면, N<sub>2</sub>O 열처리인 경우 질소의 분포는 넓고 농도는 상대적으로 낮은 값을 갖는 것으로 해석된다.

67Å의 초기 산화막을 NO 분위기에서 열처리한 후 재산화 하여 제작한 유전막의 열처리 조건에 따른 질소 농도는 SIMS 분석으로부터 구하였으며 그 결과는 그림 5 및 그림 6과 같다.

그림 5는 열처리 시간은 30분으로 동일하게 하고 열처리 온도를 변화하였을 때의 농도이며, 그림 6은 열처리 온도는 1000℃로 동일하게 하고 열처리 시간을 변화하였을 때의 농도이다. 그림으로부터 알 수 있는 바와 같이 열처리 시간과 온도가 증가함에 따라 주입된 질소 농도도 증가함을 알 수 있다. 초기 산화

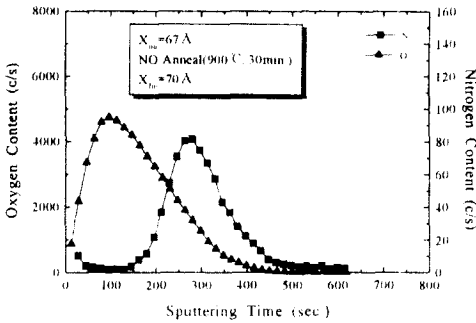


그림 3. 900°C, NO 분위기에서 열처리하여 제작한 oxynitride 막의 SIMS 깊이 분포.  
Fig. 3. SIMS depth profile of NO oxynitrides grown at 900°C.

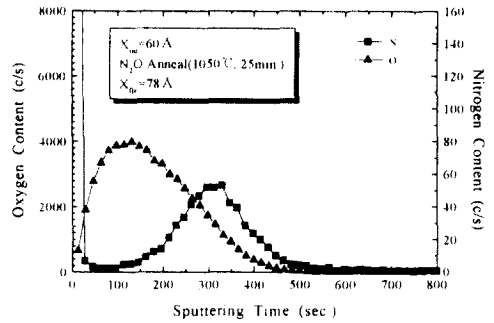


그림 4. 1050°C, N<sub>2</sub>O 분위기에서 열처리하여 제작한 oxynitride 막의 SIMS 깊이 분포.  
Fig. 4. SIMS depth profile of N<sub>2</sub>O oxynitrides grown at 1050°C.

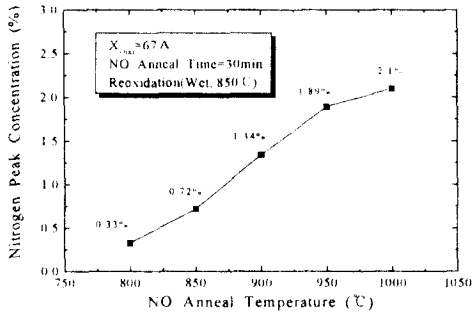


그림 5. 67Å의 초기 산화막을 NO 분위기에서 30분간 열처리한 다음 재산화 한 유전막의 열처리 온도에 따른 질소 피이크 농도.  
Fig. 5. Nitrogen peak concentration vs. anneal temperature for dielectric films annealed in NO ambient for 30min., followed by reoxidation at 850°C.

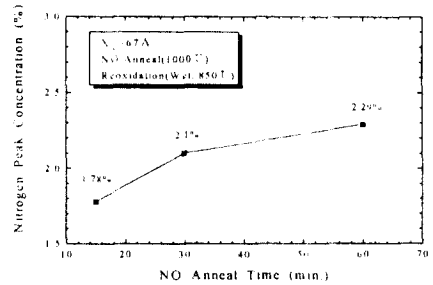


그림 6. 67Å의 초기 산화막을 1000°C, NO 분위기에서 열처리한 후 850°C에서 재산화 한 유전막의 열처리 시간에 따른 질소 피이크 농도.  
Fig. 6. Nitrogen peak concentration vs. anneal time for dielectric films annealed in NO ambient at 1000°C, followed by reoxidation at 850°C.

막을 1050°C N<sub>2</sub>O 분위기에서 25분간 열처리한 후 900°C에서 재산화 하여 제작한 유전막의 재산화 시간에 따른 질소 피이크 위치는 SIMS 분석으로부터 결정하였으며 그 결과는 그림 7과 같다. ■는 초기 산화막이 60Å인 경우이고 ●는 40Å인 경우이다. 초기 산화막 두께와는 무관하게 표면으로부터의 질소 피이크 위치는 변화가 거의 없었으나 Si-SiO<sub>2</sub> 계면으로부터의 위치는 재산화 시간이 증가함에 따라 멀어짐을 알 수 있었다. 이는 재산화 공정에 의한 추가 산화막이 주로 Si-SiO<sub>2</sub> 계면에서 성장되기 때문이

다 따라서 표면으로부터의 질소 피이크 위치가 재산화에 의해 영향받지 않음을 알 수 있다. 즉, 질소 피이크를 산화막 내의 원하는 위치로 정확히 조절할 수 있음을 의미한다.

### 3.2 NO 분위기에서 열처리와 재산화 후의 oxynitride 유전막에 대한 기억특성

새로운 공정법으로 제작된 유전막의 전하트랩형 비휘발성 기억소자의 응용 가능성을 조사하기 위하여 기억특성을 조사하였다.

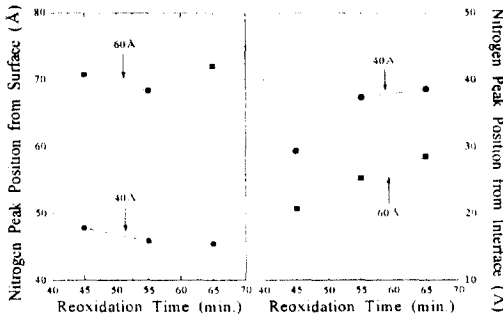


그림 7. 초기 산화막을 1050℃, N<sub>2</sub>O 분위기에서 25분간 열처리 후 900℃에서 재산화 한 유전막의 재산화 시간에 따른 질소 피이크 위치.

Fig. 7. Nitrogen peak position with reoxidation time for dielectric films reoxidized at 900℃ after N<sub>2</sub>O anneal at 1050℃, 25min.

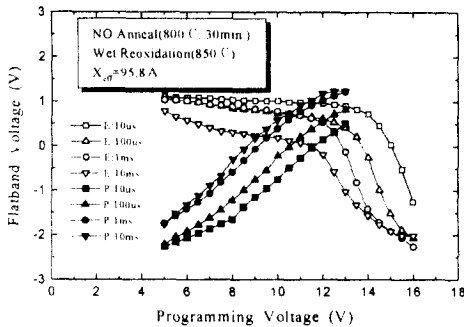


그림 8. 800℃, NO 분위기에서 30분간 열처리한 후 850℃에서 재산화 하여 질소 피이크의 위치가 Si-SiO<sub>2</sub> 계면으로부터 15Å인 게이트 유전막에서 프로그래밍 시간을 달리하였을 때 프로그래밍 전압에 따른 평탄밴드 전압.

Fig. 8. Flatband voltage with programming voltage for various programming times for the film annealed NO ambient at 800℃ for 30min, followed by reoxidized at 850℃, nitrogen peak was placed at 15Å from the Si-SiO<sub>2</sub> interface.

67Å의 초기 산화막을 800℃, NO 분위기에서 30분간 열처리한 후 습식산화법으로 재산화 하여 질소 피이크의 위치가 Si-SiO<sub>2</sub> 계면으로부터 15Å인 게이트 유전막에 대해 프로그래밍 시간을 달리하며 프로그래밍 전압에 따른 평탄밴드 전압을 측정하여 얻은 스위칭 특성을 조사한 결과는 그림 8과 같다. 3.5V의 최대 기억창을 얻었으며 0.7V의 감지불능 준위를 고려할 때 +12V, 1msec, -13V, 1msec의 프로그래밍 조건으로 기억상태를 스위칭할 수 있었다. 기억상태를 달리 하였을 때 경과 시간에 따른 기억유지 특성은 그림 9와 같다. 기억소자의 일반적인 동작 온도인 상온에서 기억유지 시간은 4년이었으며 85℃와 125℃에서는 1년의 기억유지가 가능하였다.

트 유전막에 대해 프로그래밍 시간을 달리하며 프로그래밍 전압에 따른 평탄밴드 전압을 측정하여 얻은 스위칭 특성을 조사한 결과는 그림 8과 같다. 3.5V의 최대 기억창을 얻었으며 0.7V의 감지불능 준위를 고려할 때 +12V, 1msec, -13V, 1msec의 프로그래밍 조건으로 기억상태를 스위칭할 수 있었다. 기억상태를 달리 하였을 때 경과 시간에 따른 기억유지 특성은 그림 9와 같다. 기억소자의 일반적인 동작 온도인 상온에서 기억유지 시간은 4년이었으며 85℃와 125℃에서는 1년의 기억유지가 가능하였다.

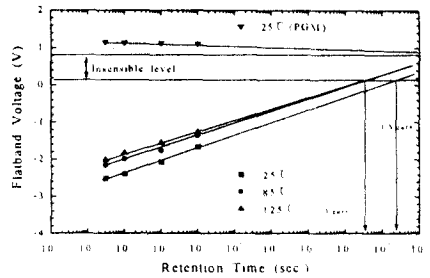


그림 9. 800℃, NO 분위기에서 30분간 열처리한 후 850℃에서 습식산화법으로 재산화 하여 질소 피이크의 위치가 Si-SiO<sub>2</sub> 계면으로부터 15Å인 게이트 유전막에서 기억상태를 달리하였을 때 경과 시간에 따른 평탄밴드 전압.

Fig. 9. Flatband voltage with retention time for different memory states in the case of the film annealed NO ambient at 800℃ for 30min, followed by reoxidized at 850℃, nitrogen peak was placed at 15Å from the Si-SiO<sub>2</sub> interface.

#### 4. 결 론

전하트랩형 비휘발성 반도체 기억소자에서 종래의 ONO 적층구조를 대체할 수 있는 게이트 유전막을 새로운 공정법으로 제작하고 막 특성 및 기억특성을 조사하였다. 습식산화법으로 형성한 초기 산화막을 NO/N<sub>2</sub>O 분위기에서 열처리한 후, 재산화 하여 산화막 내에 질화층을 갖는 게이트 유전막을 제작하였다. 제작공정 조건에 따른 질소의 분포를 조사하기 위해서 SIMS 분석을 수행하였으며, 분석 결과 질소 피이크 농도는 열처리 온도와 시간이 증가함에 따라 증가하였다. NO 분위기에서 열처리한 경우 질소는 계면

에 좁게 분포하였으며,  $N_2O$  분위기에서 열처리한 경우 넓게 분포하였다. 산화막 내에 형성된 질화층을 원하는 위치로 정확히 조절할 수 있었다. 스위칭 특성은 NO 분위기에서  $800^\circ C$ , 30분간 열처리한 후 재산화 하여 질소 피이크 위치가 Si-SiO<sub>2</sub> 계면으로부터 15Å인 유전막에 대해 조사한 결과 3.5V의 최대 기억창을 얻었으며 0.7V의 감지불능 준위를 고려할 때 +12V, 1msec, -13V, 1msec의 프로그래밍 조건으로 기억상태를 스위칭할 수 있었다. 기억유지 특성에서는 4년 이상의 기억유지 특성을 얻을 수 있었다. 새 공정법은 적층 ONO 유전막의 형성과는 달리 터널 산화막 공정을 별도로 할 필요가 없어서 두께 조절과 불가피한 자연 산화막의 영향을 배제할 수 있어 막질 관리가 용이하며, 초기 산화막의 두께, 열처리 온도와 시간, 그리고 재산화 시간을 달리함으로써 SiO<sub>x</sub>N<sub>y</sub> 층에 의한 전하트랩 층과 질소의 분포 조절이 가능하여 트랩특성의 제어 및 소자 특성의 최적화가 가능할 뿐 아니라, 1 폴리 Si의 CMOS 공정을 그대로 이용할 수 있고 in-situ 공정이 가능하기 때문에 고집적, 저전압, 고성능, 고신뢰성의 전하트랩형 EEPROM과 플래시 메모리에 크게 응용될 수 있으리라 기대한다.

#### 감사의 글

이 논문은 1999년도 광운대학교 교내 학술 연구비에 의하여 연구되었음.

#### 참 고 문 헌

1. M. L. French, M. H. White, "Scaling of Multidielectric Nonvolatile SONOS Memory Structures", *Solid-State Electron.*, Vol. 37, pp. 1913~1923, 1994.
2. D.-W. Kim, K.-J. Kim, W.-J. Lee, S.-Y. Lee, Y.-I. Lee, S.-K. Rha, "Effects of the Integrity of Silicon Thin Films on the Electrical Characteristics of Thin Dielectric ONO Film", *J. Mater. Sci.*, Vol. 8, pp. 91~94, 1997.
3. Y. Okada, P. J. Tobin, R. I. Hedge, "Oxynitride Gate Dielectrics Prepared by Rapid Thermal Processing Using Mixtures of Nitrous Oxide and Oxygen", *Appl. Phys. Lett.*, 61, pp. 3163~3165, 1992.
4. Z.-Q. Yao, H. B. Harrison, S. Dimitrijevic, D. Sweatman, "High Quality Ultrathin Dielectric Films Grown on Silicon in a Nitric Oxide Ambient", *Appl. Phys. Lett.*, Vol. 64, pp. 3584~3586, 1994.