

# SiH<sub>4</sub>와 SiH<sub>2</sub>Cl<sub>2</sub> 가스에 의해 형성된 텅스텐 폴리사이드 전극이 게이트 산화막의 특성에 미치는 영향

논문  
12-5-2

## Effects of Tungsten Polycide Electrode Formed by SiH<sub>4</sub> and SiH<sub>2</sub>Cl<sub>2</sub> Gases on Gate Oxide Characteristics

서용진\*, 김상용\*\*, 장의구\*\*

(Yong-Jin Seo\*, Sang-Yong Kim\*\*, Eui-Goo Chang\*\*)

### Abstract

Tungsten silicide(WSix) films formed by WF<sub>6</sub> and SiH<sub>4</sub> gases have problems such as peeling of the films and degradation of gate oxide. We have investigated the gate oxide integrity(GOI) with the W-polycide gate formed by WF<sub>6</sub> and SiH<sub>2</sub>Cl<sub>2</sub> gases. As a results, W-polycide gate formed by SiH<sub>2</sub>Cl<sub>2</sub> gases showed more improved characteristics such as the lower fluorine effects on gate oxide integrity, the lower sheet resistances, the larger T<sub>BD</sub>/Q<sub>BD</sub> values under constant current stress test(CCST) than SiH<sub>4</sub> gases. But breakdown characteristics with variations of source gases and poly-Si thickness not showed apparent differences.

**Key Words(중요용어)** : GOI(gate oxide integrity), MS(monosilane : WF<sub>6</sub>-SiH<sub>4</sub>), DCS(dichlorosilane : WF<sub>6</sub>-SiH<sub>2</sub>Cl<sub>2</sub>), CCST(constant current stress test), T<sub>BD</sub>(time-to-breakdown), Q<sub>BD</sub>(charge-to-breakdown)

### 1. 서 론

소자의 집적도가 ULSI 급으로 증가됨에 따라 선 폭은 좁아지고 선의 길이는 더욱 길어져 배선저항은 증가하게 되었다. 따라서 종래의 게이트 전극재료로 사용되던 다결정 실리콘(poly-Si)은 deep 서브마이크론 영역의 소자에서는 적용될 수 없는 지연시간(delay time)을 가지며<sup>1)</sup>, 또한 비대칭적인 일함수차로 인하여 pMOSFET에서는 펀치쓰루(punchthrough)와 같은 문제점이 발생하였다<sup>2)</sup>. 이의 대체방안으로 저항이 작은 내화성 금속재료나 실리사이드를 사용하게 되었는데 게이트 산화막/다결

정 실리콘 계면에서 고품질의 산화막 계면특성을 유지하기 어려워<sup>3)</sup> 게이트 산화막/다결정 실리콘/실리사이드의 적층구조 즉, 폴리사이드(polycide)가 그 해결책으로 제시되었다. 현재까지의 텅스텐 폴리사이드 전극에 대한 연구결과를 종합하여 보면 전극 산화막에 가장 큰 영향을 주는 두가지 요소는 스트레스와 불소의 확산이라고 보고되고 있다. 불소의 영향에 대한 지금까지의 공통적인 연구결과는 열전자에 대한 신뢰성(hot electron reliability) 증가<sup>4)</sup>, 실리콘과 산화막의 계면 상태 밀도 감소<sup>5)</sup>와 같은 긍정적인 측면과 불소의 확산에 의한 게이트 산화막 두께의 증가, 문턱전압 및 플래툰드(flantband) 전압의 변화, 산화막의 TDDB(time dependent dielectric breakdown) 특성의 열화와 같은 부정적인 측면이 동시에 존재한다고 알려져 있다<sup>6, 7)</sup>. 이와 같이 텅스텐 폴리사이드 전극을 적용하였을 때 소자특성을 조절하는데 많은 어려움이 있고, 신뢰성 측면에서도 문제발생의 여지가 많다. 따라서 텅스텐 실리사이드 공정에서 불소의 영향을 감소시키는 방향으로 연구가 필요하다. 일반적으로 텅스텐 실리사이드의 증착은

\* : 대불대학교 전기전자공학부  
(전남 영암군 삼호면 산호리 72, 전화 : 0693-469-1260, Fax : 0693-469-1265 E-mail : syj@daebul.daebul.ac.kr)

\*\* : 중앙대학교 전자전기공학부  
1999년 2월 1일 접수, 1999년 4월 28일 심사완료

WF<sub>6</sub>와 SiH<sub>4</sub> 가스의 환원반응에 의해 이루어지고 있으나 이 방법으로 형성된 박막은 불소 함유량이 많고, 열공정에 따른 스트레스 변동, 스텝 커버리지(step coverage), 스트레스의 급격한 변화로 인한 콘택(contact) 형성 공정에서 발생하는 미세한 틈(microcrack) 등으로 인해 ULSI 응용에는 한계를 지니고 있다<sup>8, 9)</sup>. 따라서 SiH<sub>4</sub> (mono-silane : MS) 가스의 환원방법에 의한 텅스텐 실리사이드 증착(이하부터는 MS 실리사이드라고 함)의 대체공정으로 SiH<sub>2</sub>Cl<sub>2</sub> (dichloro-silane : DCS) 가스의 환원공정(이하부터는 DCS 실리사이드라고 함)이 MS 공정의 단점을 크게 보완하는 것으로 보고되었다<sup>10)</sup>. 본 연구실에서도 MS 공정의 단점을 보완하기 위해 DCS 실리사이드 공정으로 형성된 텅스텐 실리사이드의 불소 함량, 스트레스 및 스텝 커버리지 특성, 전기적 특성 등을 보고한 바 있다<sup>10)</sup>. 그러나 다결정 실리콘의 두께변화에 따른 게이트 산화막의 특성에 대해서는 보고되지 않았다.

따라서 본 논문에서는 WSi<sub>x</sub> 증착시 소스가스의 종류에 따른 GOI(gate oxide integrity) 특성의 변화를 관찰하기 위해 MS 실리사이드(WF<sub>6</sub>-SiH<sub>4</sub>)와 DCS 실리사이드(WF<sub>6</sub>-SiH<sub>2</sub>Cl<sub>2</sub>) 등 2가지 공정 방법을 사용하였다. 특히 텅스텐 실리사이드 막 내의 불소가 산화막으로 확산됨에 따라 나타나는 불소의 영향을 고찰하기 위해 증착된 다결정 실리콘의 두께 변화에 따른 게이트 산화막의 두께 및 면저항의 변화, 소자의 신뢰성을 알아보기 위해 유전체로 캐리어를 일정시간 주입시키는 정전류 스트레스법(constant current stress test : CCST)에 의한 time-to-breakdown (T<sub>BD</sub>)와 charge-to-breakdown (Q<sub>BD</sub>) 특성, 게이트 산화막의 브레이크다운 전압 등을 고찰하였다.

## 2. 실험

본 논문의 실험을 위해 결정방향이 (100), 저항율이 8~10 Ω·cm 인 6인치 p형 Si 웨이퍼를 사용하였다. 먼저 소자특성 분석시 시료의 표면 오염에 따른 외적 영향을 방지하기 위해 초기 세척한 후, 열산화로에서 900℃ 건식산화에 의해 두께 75Å의 게이트 산화막을 성장시켰다. 다음으로 LPCVD(low pressure chemical vapor deposition) 장비에서 620℃의 온도로 1200Å, 1500Å, 1800Å으로 스플릿(split)하여 다결정 실리콘을 증착하였다. 각각의 스플릿된 두께를 갖는 시료들은 cold wall LPCVD 반응로에서 MS 실리사이드(WF<sub>6</sub>-SiH<sub>4</sub>)와 DCS 실

리사이드(WF<sub>6</sub>-SiH<sub>2</sub>Cl<sub>2</sub>) 공정에 의해 두께가 각각 1500Å인 텅스텐 실리사이드를 형성하였다. 이때 MS 실리사이드 공정의 증착온도는 460℃, DCS 실리사이드 공정의 증착온도는 550℃ 이었다. 이상과 같이 제작된 박막은 GOI 특성을 측정하기 위하여 패드 마스크를 이용하여 다결정 실리콘을 식각하여 200 μm × 200 μm의 정방형 측정패턴을 형성한 후, 폴리사이드를 900℃에서 30분 동안 N<sub>2</sub> 분위기에서 어닐링한 후, GOI 테스트를 실시하였다. 그림 1은 공정순서를 요약한 것이다.

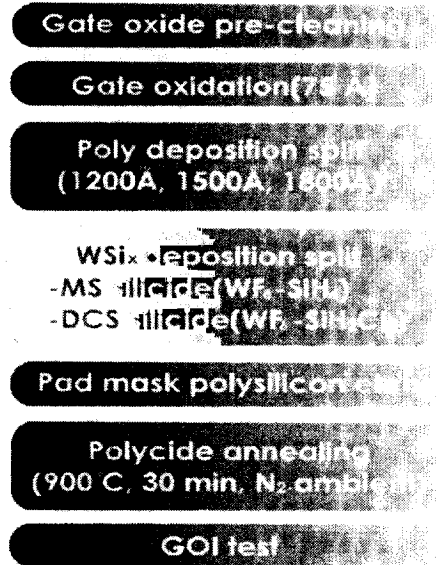


그림 1. 공정순서도  
Fig. 1. Flow chart of processing sequences.

## 3. 실험 결과 및 고찰

### 3.1 게이트 산화막 두께(T<sub>ox</sub>)의 변화

그림 2는 다결정 실리콘의 두께 및 WSi<sub>x</sub> 증착방법에 따른 게이트 산화막의 두께(T<sub>ox</sub>)를 C-V 특성곡선을 이용하여 계산한 것이다. 그림 2에서 보는 바와 같이 MS(mono-silane, SiH<sub>4</sub>)로 WSi<sub>x</sub>를 증착한 경우 다결정 실리콘의 두께가 1200Å, 1500Å, 1800Å으로 증가함에 따라 T<sub>ox</sub>는 92.7Å, 90.2Å, 88.8Å으로 감소하였다. 이와 마찬가지로 DCS(dichloro-silane, SiH<sub>2</sub>Cl<sub>2</sub>)로 WSi<sub>x</sub>를 증착한 경우에도 다결정 실리콘의 두께가 증가함에 따라

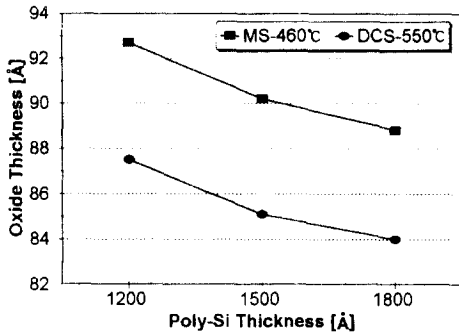


그림 2. 다결정 실리콘 두께변화에 따른 게이트 산화막의 두께

Fig. 2. Electrical thickness of the gate oxides as a function of polysilicon thickness.

Tox는 87.5Å, 85.1Å, 84.0Å로 감소하였다. 이와같이 다결정 실리콘의 두께가 두꺼울수록 불소에 의한 게이트 산화막 두께의 증가분(Tox)이 적게 나타났다. 이는 WSix 증착 공정 중에 소스 가스인 WF<sub>6</sub>에 의한 불소가 WSix막 내에 존재하다가 후속 열공정으로 인해 게이트 산화막 내로 확산하여 Si-O 결합을 끊고, Si-F 결합을 생성시킨다. 이때 자유로워진 산소원자가 Si 기판 및 다결정 실리콘과 반응하여 여분의 SiO<sub>2</sub> 층을 만들어 게이트 산화막의 질을 저하시키고 두께를 증가시키는 Wright 등<sup>12)</sup>의 산화막 증가 모델로 설명될 수 있다. 즉, 다결정 실리콘 두께가 두꺼울수록 불소가 다결정 실리콘과 게이트 산화막 계면에 도달하기가 더 어려워 불소에 의한 영향이 감소하여 더 작은 두께 증가를 보인 것으로 예측할 수 있다. 또한 DCS 실리콘사이드 공정이 MS 실리콘사이드 공정보다 더 작은 두께증가를 보인 것으로 보아 DCS 실리콘사이드 공정이 Tox에 대한 불소의 영향이 더 작음을 알 수 있다. 보고된 바에 의하면 소스 가스로 MS를 사용한 경우 WSix막에는 약 10<sup>20</sup> #/cm<sup>3</sup> 이상의 불소가 존재하며, DCS를 사용한 WSix막에는 약 10<sup>16</sup> #/cm<sup>3</sup> 개의 불소가 존재한다고 알려져 있다<sup>4, 5)</sup>. 따라서 DCS 실리콘사이드 공정의 경우 불소에 의한 게이트 산화막의 두께 증가분이 MS 실리콘사이드 공정의 경우보다 더 작은 것은 바로 DCS 실리콘사이드막 내의 불소 절대량이 MS 실리콘사이드막 내의 불소량보다 훨씬 더 작기 때문이다. 따라서 후속 열공정 동안에 다결정 실리콘을 통과하여

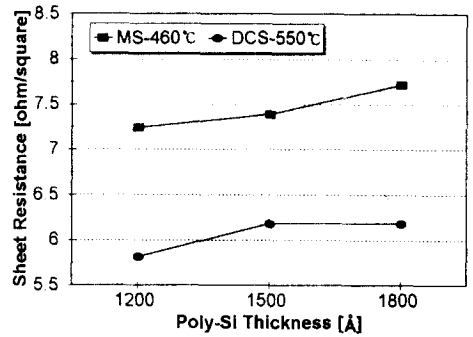


그림 3. 다결정 실리콘 두께변화에 따른 게이트 전극의 면저항

Fig. 3. Sheet resistance of the gate electrodes as a function of polysilicon thickness.

게이트 산화막 내로 침투하는 불소의 양도 DCS 실리콘사이드 공정이 MS 실리콘사이드의 경우보다 더 작을 것이다. 다결정 실리콘의 두께와는 관계없이 MS 실리콘사이드의 게이트 산화막이 DCS 실리콘사이드의 경우보다 불소의 영향에 의해 약 5Å 정도 더 성장함을 알 수 있었다.

### 3.2 면저항 (Sheet Resistance)의 변화

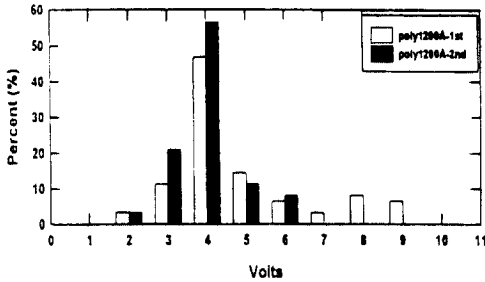
그림 3은 MS 및 DCS 실리콘사이드 공정의 경우 다결정 실리콘의 두께에 따른 면저항(Rs)의 변화를 나타낸 것이다. MS 실리콘사이드의 경우 다결정 실리콘의 두께가 1200Å, 1500Å, 1800Å 일 때 Rs 값이 각각 7.2, 7.4, 7.7 Ω/□ 이었으며, DCS 실리콘사이드에서는 각각 5.8, 6.2, 6.2 Ω/□의 양호한 Rs 값을 나타내었다. 또한 DCS 실리콘사이드가 MS 실리콘사이드 보다 더 낮은 면저항값을 나타내었으며, MS와 DCS 실리콘사이드의 Rs 값의 차(ΔRs)는 약 1.2 ~ 1.5 Ω/□ 이었다. MS 공정에서는 증착온도가 460°C로 낮아 불안정한 초기에 비정질 상태로 존재하고 있으며, DCS 실리콘사이드에서는 550°C의 비교적 높은 증착온도에서 공정이 행해지기 때문에 정방형과 육각형 구조의 결정질이 동시에 존재하고 있다<sup>13)</sup>. 따라서 900°C에서 30분 동안 실시한 후속 어닐링에 의해 MS 실리콘사이드 보다는 DCS 실리콘사이드에서 더 안정한 정방형 구조를 갖기 때문으로 생각된다. 또한 다결정 실리콘의 두께가 증가할수록 Rs 값이 약간 증가하는 경향은 있으나 WSix 두께는 1500



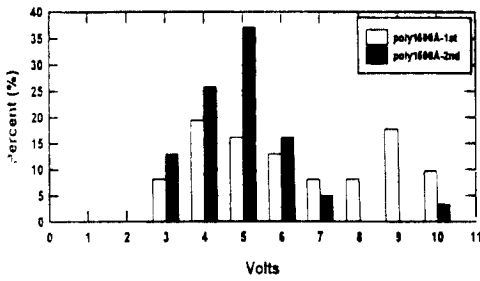
4의 (a)에서 보는 바와 같이 MS 실리사이드인 경우 다결정 실리콘의 두께가 두꺼울수록 T<sub>BD</sub> 값이 약간씩 높아짐을 알 수가 있다. Cumulative 50%에서는 다결정 실리콘의 두께가 1200Å, 1500Å, 1800Å으로 변화함에 따라 T<sub>BD</sub>가 각각 71, 76, 84 sec 이었다. 이는 다결정 실리콘의 두께가 두꺼울수록 게이트 산화막이 불소의 영향을 덜 받기 때문이다. DCS

실리사이드의 경우인 그림 4의 (b)에서는 Cumulative 50%에서의 T<sub>BD</sub>가 각각 181, 144, 189 sec 이었다.

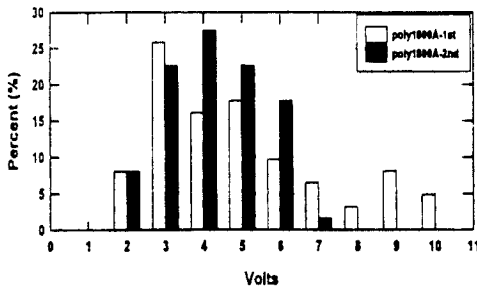
그림 5의 (a)와 (b)는 charge-to-breakdown(Q<sub>BD</sub>)을 cumulative 그래프로 나타낸 것이다. MS 실리사이드의 경우 다결정 실리콘의 두께가 증가함에 따라 Q<sub>BD</sub>값은 각각 6.3, 7.8, 8.0 C/cm<sup>2</sup>



(a) 1200 Å



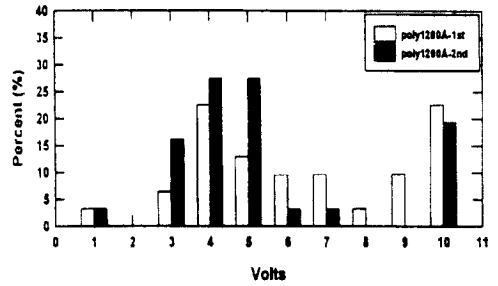
(b) 1500 Å



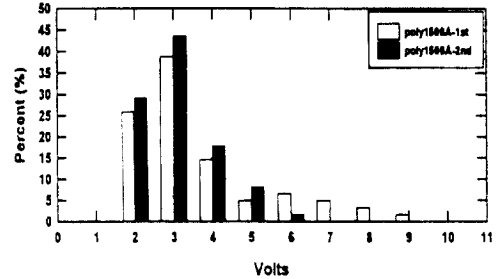
(c) 1800 Å

그림 6. MS 실리사이드를 형성한 게이트 산화막 브레이크다운 전압의 pass rate.

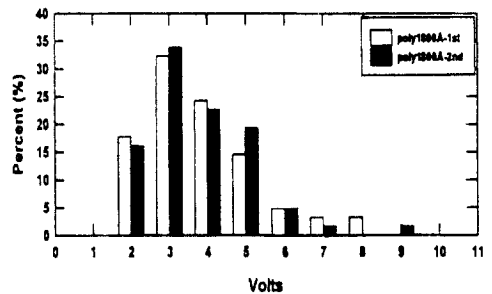
Fig. 6. Pass rate of breakdown voltage of the gate oxides with MS-silicide.



(a) 1200 Å



(b) 1500 Å



(c) 1800 Å

그림 7. DCS 실리사이드를 형성한 게이트 산화막 브레이크다운 전압의 pass rate.

Fig. 7. Pass rate of breakdown voltage of the gate oxides with DCS-silicide.

이었으며, DCS 실리사이드에서는 각각 17.0, 14.5, 19.4 C/cm<sup>2</sup>의  $Q_{BD}$  값을 나타내었다. 전반적으로 모든 다결정 실리콘 두께에서 DCS 실리사이드가 MS 실리사이드보다  $T_{BD}/Q_{BD}$  값들이 훨씬 큰 것을 알 수 있다. 그러나 다결정 실리콘의 두께가 1500Å과 1800Å인 DCS 실리사이드에서는 initial fail이 각각 27%, 23% 정도로 MS 실리사이드보다 좋지 않은 특성을 나타내었다.

#### 3.4 브레이크다운 전압 및 GOI 특성평가

GOI 특성평가를 위해 두 번째 스위핑(sweeping) 시 -100  $\mu$ A의 전류에서 브레이크다운 필드가 7 MV/cm 이상인 것을 pass된 것으로 정의하여 pass된 site의 수를 백분율로 환산하여 그림 6과 7에 나타내었다. 다결정 실리콘의 두께 및 WSix 증착방법에 따라  $Tox$ 가 각기 다르기 때문에 pass의 기준이 되는 브레이크다운 전압은 5.9 ~ 6.5 V의 범위에 해당하였다. 그림 6과 7에서 보는 바와 같이 MS 실리사이드와 DCS 실리사이드 모두 다결정 실리콘의 두께 변화에 따른 pass rate의 뚜렷한 경향성은 없으며, initial fail이 다소 많아 pass rate는 평균하여 대략 30%를 넘지 않았다. 즉, DCS 실리사이드의 경우가 MS 실리사이드보다 브레이크다운 특성이 더 떨어지고는 있으나 신뢰성 측면에서 다결정 실리콘 게이트와 거의 비슷한 특성을 보이므로 ULSI 소자를 위한 게이트 전극 재료로서의 충분한 적용 가능성을 갖고 있음을 예측할 수 있다.

### 4. 결 론

본 논문에서 얻은 결과는 다음과 같다.

- 1) 다결정 실리콘의 두께 변화에 따른 게이트 산화막의 두께는 MS 실리사이드 공정이 DCS의 경우보다 불소의 영향에 의해 약 5Å 더 성장함을 알 수 있었다.
- 2) 다결정 실리콘의 두께가 증가할수록 불소영향에 의한 게이트 산화막의 두께 증가분은 감소하였다.
- 3) DCS 실리사이드 게이트의  $R_s$  값이 MS 실리사이드의  $R_s$  값보다 더 작았으며, MS와 DCS 실리사이드  $R_s$  값의 차( $\Delta R_s$ )는 약 1.2 ~ 1.5  $\Omega/\square$  이었다.
- 4) 정전류 스트레스 결과 DCS 실리사이드를 사용한 게이트 산화막의  $T_{BD}/Q_{BD}$  값이 MS 실리사이드의 경우보다 훨씬 컸으나 initial fail은 DCS 실리사이드의 경우가 더 많았다.

- 5) GOI 특성평가에서 pass rate는 다결정 실리콘의 두께나 WSix 증착시 소스 가스의 종류(MS 또는 DCS)에 뚜렷한 관계가 없음을 알 수 있었다.

이상과 같은 결과에서 DCS 텅스텐 실리사이드 막은 MS 텅스텐 실리사이드 막에 비해 불소 함유량이 낮으므로 게이트 산화막 및 소자의 신뢰성이 향상됨을 알 수 있었으며 DCS 공정에 의해 형성된 텅스텐 실리사이드 막은 ULSI 소자를 위한 게이트 전극 재료로서의 충분한 적용 가능성을 보였다. 한편 DCS 공정이 MS 텅스텐 실리사이드의 단점을 보완하는 특성을 보이기는 하지만 DCS 공정이 타당한 방법으로 채택되어지기 위해서는 공정 안정성 면에 있어 실리콘/텅스텐(Si/W) 비율에 따른 영향과 독립적인 조절, 박막의 uniformity에 관한 연구 등이 계속되어야 할 것이다.

### 참 고 문 헌

1. K. C. Saraswat and F. Mohammadi, "Effect of interconnection scaling in time delay of VLSI circuits", IEEE Trans. Electron Devices, Vol. ED-29, pp. 645-650, 1982.
2. J. Zhu, R. A. Martin and J. Y. Chen, "Punchthrough current for submicrometer MOSFET's in CMOS VLSI", IEEE Trans. Electron Devices, Vol. ED 35, No. 2, pp. 145-151, 1988.
3. J. E. E. Baglin, F. M. Heurle and C. S. Peterson, "Interface effects in the formation of silicon oxide on metal silicide layers over silicon substrates", J. Appl. Phys., Vol. 54, No. 4, p. 1849, 1983.
4. P. J. Wright, M. Wong and K. C. Sarasat, "The effect of fluorine on gate dielectric properties", in IEDM Tech. Dig., Dec., pp. 574-577, 1987.
5. Y. Shioya, S. Kawamura, I. Kobayashi, M. Maeda and K. Yanagida, "Effect of fluorine in chemical vapor deposited tungsten silicide film on electrical breakdown of SiO<sub>2</sub> film", J. Appl. Phys., Vol. 61, No. 11, p. 1, 1987.
6. V. Jain, D. Pramanik, K. Y. Chang and C. Hu, "Improved submicron CMOS device performance due to fluorine in CVD tungsten silicide", VLSI Tech., Dig., p. 91, 1991.

7. D. L. Crook, "Method of determining reliability screens for time dependent dielectric breakdown", Proc., of 17th International Reliability Physics Symposium(IRPS), pp. 1-8, 1979.
8. Y. Koyama, R. Inoue, J. Kudo and H. Shibayama, "Evaluation of tunnel oxide with W-polycide electrode employing SiH<sub>2</sub>Cl<sub>2</sub>/WF<sub>6</sub>", Mat. Res. Soc. Proc., ULSI-VII, pp. 551-556, 1992.
9. R. C. Ellwanger, K. D. Prall, D. R. Malinaric and R. W. Williams, "Film and device properties of WSix gate interconnect structure deposited via SiH<sub>2</sub>Cl<sub>2</sub>/WF<sub>6</sub>", Mat. Res. Soc. Proc., VLSI-VI, pp. 335-343, 1991.
10. C. I. Lee, H. S. Choi, H. Y. Kwon, C. I. Kim and E. G. Chang, "GOI Properties of W-Polycide Formed by DCS Processing", Proceeding of International Conference on Properties and Applications of Dielectric Materials(ICPADM-97), pp. 356-359, 1997.
11. T. Hara, T. Miyamoto, H. Hagiwara, E. I. Bromley and W. R. Harshbarger, "Surface reaction of tungsten silicide deposition using dichlorosilane reduction of tungsten hexafluoride", Mat. Res. Soc. Proc., VLSI-V, pp. 399-405, 1990.
12. P. J. Wright and K. C. Saraswat, "The effect of fluorine in silicon dioxide gate dielectrics", IEEE Trans. Electron Devices, Vol. ED-36, No. 5, pp. 879-889, 1988.
13. D. L. Brors, J. A. Fair, K. Monnig and K. C. Saraswat, "Low pressure chemical vapor deposition of tungsten silicide", Semiconductor International", pp. 82-85, May, 1984.