

소성공정에 의한 Glass/Silicon 계면특성변화에 관한 연구

12-8-3

Study on Interfaces Properties of Glass/Silicon by Firing Profiles

허창수*, 김완태*, 윤세욱*

(Chang-Su Huh*, Wan-Tae Kim*, Se-Wook Yoon*)

Abstract

Surface passivation using glass powders results in good reliability for high voltage silicon power devices. In this paper, zinc borosilicate glass was prepared for the passivation, and a deposition technique of glass films on the silicon surface by electrophoresis in which acetone is used as a suspension medium and interface profiles have been investigated by C-V curve.

We can get the fine films 5.8 μm thickness with zinc borosilicate glass under 100V applied, 1 minute, and 700 $^{\circ}\text{C}$ firing temperature. As a result of investigation of glass films, it has been found that pre-firing and annealing play an important role to achieve uniform, fine and reliable glass deposition films and reliable glass/silicon interface.

Key Words(중요어) : Zinc borosilicate glass, passivation, firing, C-V curves

1. 서 론

최근 전력 사용량의 증가와 공장 및 수송수단의 자동화 등에 힘입어 전력용 반도체의 수요가 급격히 확대되고 있다. 이런 전력용 반도체 소자는 각종 전력 전자 시스템에 응용되어, 수 W에서 수백 MW까지 매우 광범위하게 전력을 변환 및 제어하며, 가전제품용 모터구동에서 각종 정보통신기기의 전원장치, 산업용 충전 기기 및 고속전철에 이르기까지, 매우 광범위하게 이용이 되고 있는 핵심 소자로 발전하고 있다. 또한 개별반도체 소자 즉, 정류소자나 사이리스터의 성능이 발전하면서 이에 따른 소자에 대한 엄격한 요구와, 성능향상의 필요성이 증대되고 있는 상황이다.

반도체 표면은 내부와는 달리 전기적으로 매우 불안정하다. 이러한 불안정한 상태는 디바이스를 동작시킬 경우 기능저하를 유발할 뿐만 아니라, 소자를 제조하는 과정에서도 쉽게 열화하는 요인이 되기도

한다. 반도체 표면에 흡착하는 불순물이온이나 분위기 영향에 받아서 표면층에서의 캐리어가 발생하여, 누설전류가 증가하거나 내압열화 등의 특성변동을 일으키는 것은 잘 알려진 사실이다. 따라서 소자의 제조에 있어서, 여러 가지 방법으로 실리콘의 표면을 덮어 가동이온 등의 유해인자의 침입을 차단하고, glass/silicon 계면전하의 부호를 조절하여 표면층에서의 전제를 약화시킴으로써 표면에서의 전하발생을 최소화하여, 소자의 고내압화와 신뢰도를 보장하기 위한 핵심 공정기술로써, 치밀하고 우수한 특성을 보유한 유리보호(glass passivation)막에 대한 제작공정 기술이 크게 각광받고 있다^{1,2)}. 종래에는 이런 목적으로 SiO₂ 열산화막이나 실리콘 고무나 유기 고분자 박막도 사용되었다. 그러나 대부분의 소자들에 사용되는 SiO₂ 열산화막(silica glass)은 Si와 O의 사면체 결합의 유리망구조를 이루고 있지만, 열산화중에 생기는 여러 가지 결점으로 구조가 치밀하지 못하고, 대기 중에 풍부하고 고전계에서 빠르게 이동하는 오염물질인 Na⁺, K⁺ 등의 영향으로 실리콘 표면의 불안정을 유발하거나, 소자의 특성을 악화시킨다. 이러한 현상들은 특히 고전압 소자에서 그 효과가 커서 고전압용 개별소자의 사용은 부적당하다고 할 수 있다³⁾. 따라서 고신뢰성의 전력용 반도체의 개발을 위한 공정의 핵심 공정기술로서, 유리

* : 인하대학교 전기공학과
(인천 남구 용현4 253, Fax : 032-863-5822 E-mail : cs@dragon.inha.ac.kr)

1999년 1월 4일 접수, 1999년 7월 21일 심사완료

를 사용한 치밀하고 우수한 유리보호막의 기술개발이 요구되고 있다. 어느 정도의 금속산화물을 함유한 유리분말을 이용한 표면보호(surface passivation)는 유리망목구조가 치밀한 구조 특성상, 알칼리이온의 이동도를 작게 할 수 있어 반도체 표면의 전하상태를 안정하게 할 수 있다. 또한 후막으로 형성이 가능하여 막의 기공과 불순물의 투과를 적게 할 수 있으며, 습기에 대한 저항성이 크고, 고온특성과 절연내력이 우수하여 p-n 접합 트랜지스터, 실리콘 사이리스터, 실리콘 정류기 등의 보호재료로 많이 이용될 수 있다^{4,5)}.

본 연구에서는 ZnO가 포함된 아연붕규산계유리를 사용하여 보호막을 제작하였다. 아연붕규산계 유리는 소성하였을 경우 선 열팽창계수가 실리콘과 근사하므로 접착강도가 크고, 기밀성이 우수하여 전체적으로 반도체 공정에 적용하기 용이한 이점을 가지고 있다. 유리막을 입히는 기술은 RF 스퍼터링법, 증기 증착법, 분무법, 그리고 전기영동법 등이 있으나, 빠른 증착속도와 간단한 장비, 그리고 균일하고 두꺼운 막 형성 등의 이점이 있는 전기영동법을 이용하였다. 현탁액 속에 잠긴 대향전극에 직류전압을 인가하여 전하를 띤 유리입자들이 기판에 달라붙는 전기영동법에서, 인가전압과 전압인가시간의 조절에 따라 유리막의 두께를 제어할 수 있을 것이다. 또한 부착된 유리막을 반도체와 완전융합하고 양질의 막을 얻기 위하여, 소성(firing)의 주요인자인 소성온도와 시간에 따른 유리막의 미세구조와 결정상을 관찰하였다. 특히 소성 과정(firing profile)에 있어서는 소성온도뿐만 아니라 예비소성(pre-firing)과 후소성(annealing)공정의 영향을 고찰하였고, MIS 구조의 시료를 제작하여 C-V 곡선을 측정, 비교함으로써 유리보호막(glass passivation films)의 전체적인 성능평가를 하였다.

2. 실험방법 및 장치

2-1. 보호막의 제작

본 실험에서는 비저항 $4\sim 5 \Omega \cdot \text{cm}$, 두께 $480\sim 570 \mu\text{m}$ 인 결정면 (100)의 보론이 도핑된 P형 CZ-Si wafer를 사용하였다. 먼저 시편의 제작과 특성평가를 용이하게 하기 위하여 wafer를 $1.5 \times 2 \text{ cm}^2$ 의 크기로 잘라내고, 증류수로 행군 다음, 잔유 불순물을 제거하기 위하여 $\text{HNO}_3:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:2:7$ 의 비율로 섞은 용액에 10분간 침침시켰다. 그후 시편을 증류수로 깨끗이 세척한 다음 HF 와 H_2O 의 비

율이 1:100인 용액에 담그어 H_2 성분과 si wafer 표면의 자연 산화막(native oxide)을 제거한 후 증류수로 다시 행구어 시편의 세척 공정을 마쳤다.

전기영동법은 침가 전해질을 가진 현탁매체에서 유리막의 증착(glass deposition)을 행하는 것으로 다음의 그림 1에 본 연구에서 사용한 실험장치의 개략도를 나타내었다.

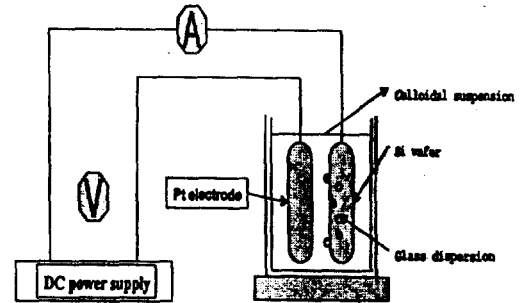


그림 1. 전기영동법의 실험장치 개략도

Fig. 1. Schematic diagram of the electrophoresis equipment

2-2. DTA 분석

열분석(DTA 분석)에 의해서 유리의 특성점(연화점, 결정화 개시점, 결정화 피크점)들을 찾아 소성과정을 결정하였으며, 온도와 시간, 분위기를 변화시켜 가장 양질의 막을 얻을 수 있는 과정을 추정하였다.

2-3. 열처리

전기영동법에 의해서 부착된 유리입자들을 웨이퍼와 완전히 융합시키고 기공(Pin Hole)이나 결함을 제거하기 위해서는 적절한 소성과정을 거쳐야 한다. 왜냐하면 소성용융하는 과정은 유리막중의 전하밀도, 막의 치밀성 등에 영향을 미치기 때문이며, 이 때의 중요한 조건으로는 소성온도와 시간을 들 수 있다.

본 실험에서는 실험 목적에 맞게 주문 제작한 관상 전기로를 이용하였다. 전기로는 온도 콘트롤러(P-250)에 의하여 온도와 시간의 조절이 가능하고, 온도 오차 $\pm 2 \text{ }^\circ\text{C}$ 의 정밀한 제어가 가능하며, 소성분위기를 플로우 미터에 의한 산소, 질소의 공급량을 조절함으로써 제어할 수 있다. 본 실험에 사용된 소성 과정을 온도와 시간에 따라 그림 3-2에 나타내었다.

열처리하는 예비소성, 소성, 후소성의 세 단계로 구분하여 각각 처리 온도와 승온속도를 달리 하였다. 분위기는 소성과정으로부터 가장 양질의 막을 얻기 위해서 XRD 결과로부터 얻은 질소:산소 = 4:1의 비율로 하였고, 소성 중에 기포의 원인이 되는 용매류를 완전히 제거하기 위하여 예비소성의 과정을 가졌으며, 후소성에서는 잔류용액을 제거하여 막중의 crack을 제거하고자 하였다.

2-4. MIS 구조의 제작

C-V 곡선의 측정을 위해서 시료는 MIS 구조로 제작하였다. 그림 2은 MIS 구조의 시료를 제작한 그림이다¹⁰⁾. 그림에서와 같이 Metal/Insulator(Glass)/Silicon의 구조로 되어 있으며, 상부전극으로는 알루미늄을 진공증착법에 의하여 두께 2 μ m로 증착하고, 400 $^{\circ}$ C에서 1분간 열처리하여 기밀한 접촉이 이루어지도록 제작하였다. 마찬가지로 하부에도 음접촉을 위해 알루미늄을 증착하였다.

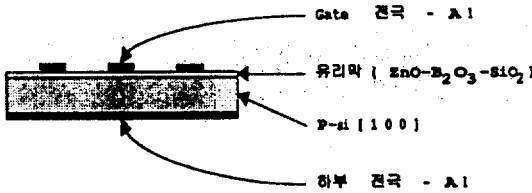


그림 2. MIS 구조의 단면
Fig. 2. Cross section of MIS structure

2-5. SEM 측정

제작된 막의 상태와 균일성을 평가하고 DTA 및 X선 회절분석 결과와 비교 관찰하기 위해서, 시편을 Ion coater(Eiko Engineering사, IB·2)로 금을 증착한 후, Scanning Electron Microscopy(Hitachi사, x-650)를 사용하여 표면과 단면의 미세조직을 관찰하였다. 그리고 제작된 유리막의 내부의 구조를 관찰하기 위해서, HCl 용액에 함침하여 유리막을 제거한 시편을 가지고 역시 SEM관찰을 하였다.

2-6. XRD 분석

열처리에 의한 유리보호막의 결정학적인 상태를 조

사하기 위하여 XRD분석을 하였다. X-ray source는 CuK α , filter는 Ni이고 가속전압및전류는 40kV, 40mA 인 측정 조건 하에서 X-ray diffractometer(Philips, X'PERT-MPD DY-616)를 이용하였다. 2 θ 의 값은 10 $^{\circ}$ ~80 $^{\circ}$ 범위에서 측정하였다.

2-7. C-V 곡선측정

C-V 곡선의 측정을 위해서 유리막이 증착된 시료를 MIS 구조의 커패시터 형태로 제작하였으며, quasi-static C-V meter(Keithley, 595)을 이용하여 MIS 구조 시료의 저주파 C-V 곡선 특성을 관찰하였다. 측정데이터의 취득을 위해 C-V meter를 IEEE 488 Board를 이용하여 컴퓨터와 연결하여 제어하였다.

3. 결과 및 고찰

3-1. 제작조건에 따른 보호막의 두께

3-1-1. 인가전압과 시간에 따른 보호막의 두께

그림 3과 4는 제작조건에 따른 유리막의 두께변화를 나타낸 그림이다. 그림 3의 전기영동시간은 1분, 그림 4의 인가전압의 크기는 100V이다. 그림 3에서 인가전압이 증가할수록 유리막의 두께도 증가하고 있으며, 인가전압이 50V에서 150V로 증가함에 따라 4 μ m에서 23 μ m로 유리막을 형성하였다. 인가전압 150V 정도부터는 유리막의 두께의 증가가 둔화되면서 포화되는 현상을 볼 수 있다. 또한 그림 4에서 인가전압을 일정하게 하고 시간을 변화시켜도 어느 시간이상에서는 유리막의 두께가 일정하게 포화되는데, 이러한 이유는 어떤 두께로 유리막이 형성된 이후에는 이 유리막의 바깥쪽에 붙는 유리입자가 결합하려는 힘이 약해져서 쉽게 떨어지기 때문이다¹⁰⁾. 그리고 같은 인가전압과 같은 시간의 조건에서 유리막의 두께가 조금씩 차이가 나는 것은, 현탁액 속에 있는 유리입자의 밀도와 입자의 이동도, 그리고 입자의 크기 등에 기인한다고 생각된다¹¹⁾. 따라서 전기영동법에 의한 유리막의 두께는 인가전압 의존성과 영동시간 의존성으로부터 예측될 수 있다고 할 수 있다.

3-1-2 보호막재료(유리)의 DTA 분석결과

전기영동법으로 제작된 유리막의 열처리공정을 위해, 유리의 DTA 분석을 하였다. 그림 5는 DTA 분석결과이며, 이 결과에 의해 열처리 공정단계를 결정하였다.

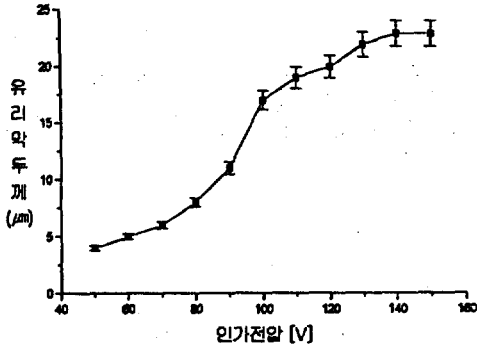


그림 3. 인가전압에 따른 유리막의 두께(인가시간 1분)

Fig. 3. Thickness of glass passivation film for applied voltage

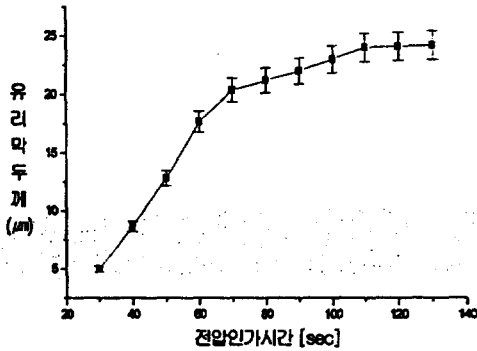


그림 4. 전압인가시간에 따른 유리막의 두께(인가 전압 100 V)

Fig. 4. Thickness of glass passivation film for applied time

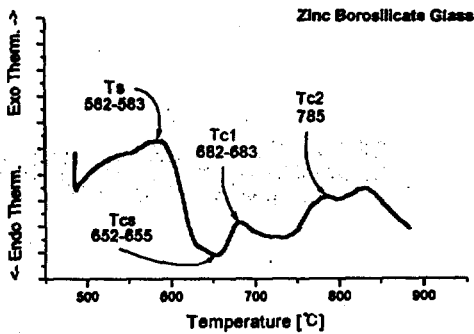


그림 5. DTA 분석에 의한 소성공정
Fig. 5. Firing profile from DTA analysis

3-1-3. 소성공정에 따른 보호막의 두께

소성온도는 유리의 DTA 분석에 의해서 결정하였다. 각각의 소성시간은 10분으로 하였으며, 예비소성, 소성, 후소성에 따른 유리막의 두께변화를 관찰할 수 있다. 보호막은 전기영동법으로 인가전압 100V, 인가시간 60초의 조건에서 제작되었다.

그림 6는 예비소성과 후소성공정이 제외된 소성공정이 이루어졌을 때의 유리막두께의 변화와, 예비소성, 소성, 후소성의 모든 소성공정이 이루어졌을 때의 소성온도에 따른 유리막의 두께 변화를 나타낸 그림이다.

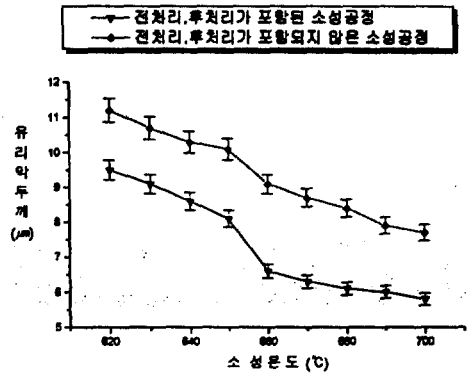


그림 6. 소성온도변화에 따른 막의 두께

Fig. 6. Thickness of glass passivation film for firing temperature

유리막의 두께는 소성온도의 증가에 따라 감소하는 경향을 볼 수 있으며, 이는 적절한 소성온도가 유리막의 치밀성을 이루는데 중요한 인자라는 점을 설명해 준다. 즉, 결정화계시온도인 650°C~660°C에서 유리막의 두께가 급격히 감소하는 점으로 보아 유리의 결정화로 인해 유리막이 치밀해지고, 유리막의 두께 또한 감소하는 것을 알 수 있다¹⁰⁾. 또한 예비소성과 후소성의 공정이 포함된 소성과정에서의 유리막의 두께가 그렇지 않은 소성과정에서의 유리막 두께보다 감소한 것으로 보아, 소성공정의 예비소성과 후소성의 공정이 유리막의 기공제거, 불순물제거 등의 역할을 함으로써 유리막이 더 치밀해짐을 알 수 있다.

3-2. 소성온도에 따른 유리보호막의 특성 분석

3-2-1. 소성온도에 따른 C-V 곡선

그림 7은 유리막의 소성온도에 따른 MIS 구조 시료(MIS capacitor)의 저주파 C-V 곡선을 고찰한 결과이다. 유리막은 인가전압 100 V, 전압인가시간 60 sec의 전기영동 조건에서 제작되었다. 소성온도가 낮을 때의 MIS 구조시료의 C-V 곡선은 왜곡이 많고 이상적인 C-V 곡선에 비해 이동이 일어났음을 알 수 있다. 그러나 소성온도가 높아질수록 MIS 구조시료의 C-V 곡선은 이상적인 곡선에 근접해 감을 볼 수 있다. 즉, 소성온도를 높이면 보호막과 웨이퍼와의 완전한 용합을 이룰 수 있고, glass/silicon 계면에서의 트랩발생이나 트랩의 활동을 억제할 수 있으므로 계면특성을 개선할 수 있다고 고찰된다.

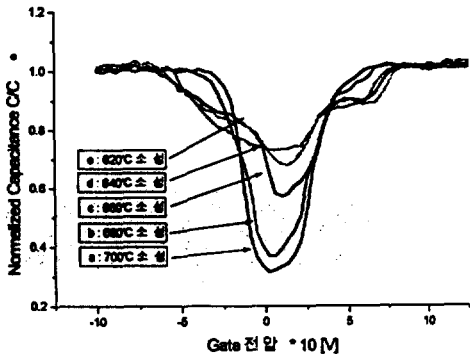
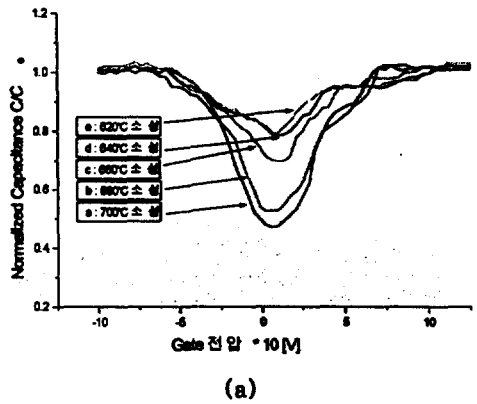


그림 7. 소성온도에 따른 C-V 곡선
Fig. 7. C-V curve as a function of firing temperature

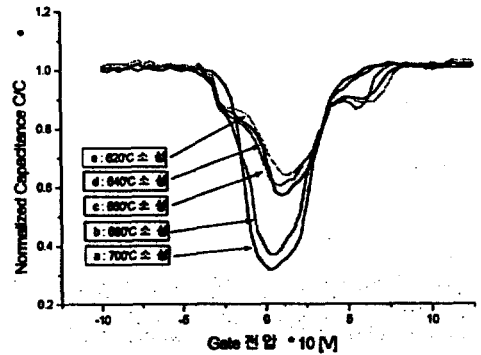
3-2-2. 소성공정에 따른 C-V 곡선

그림 8는 소성시 산소분위기의 첨가유무에 따른 MIS 구조 시료의 저주파 C-V 곡선을 나타낸 그림이다. 그림 (a)에서는 소성시 산소분위기를 첨가하지 않았고, 그림 (b)에서는 산소분위기를 첨가하였다. 소성시 산소를 첨가하지 않았을 때에는 보호막에서 유리의 완전한 망목구조가 이루어지지 않았고 웨이퍼와의 완전한 용합이 이루어지지 않았기 때문에 가동 이온과 계면트랩전하의 영향에 의해서 C-V 곡선의 왜곡이나 이동의 현상이 발생하였다. 그러나 소성시 산소분위기를 첨가하였을 경우 보호막은 완전한 유리 망목구조를 이룰 수 있으므로, 대기중에 풍부하고 고 전계에서 빠르게 이동하는 오염물질인 Na^+ , K^+ 등

의 가동이온에 의한 영향을 억제할 수 있으므로, C-V 곡선의 이동현상이 발생하지 않았다. 또한 계면에서의 계면트랩전하에 의한 영향을 억제함으로써 C-V 곡선의 왜곡현상을 일으키지 않으며 이상적인 C-V 곡선에 가까운 결과를 나타내었다. 그림 9은 소성공정에서의 예비소성과 후소성의 영향을 고찰한 결과이다. 그림 (a)는 예비소성과 후소성이 첨가되지 않은 소성공정에 대한 시료의 C-V 측정 결과이고, 그림 (b)는 예비소성과 후소성이 첨가되었을 때의 소성공정에 대한 C-V 측정 결과이다. 예비소성과 후소성이 첨가되었을 때 C-V 곡선의 이동이 감소되고, 이상적인 결과를 나타냄으로써 가동이온에 의한 C-V 곡선의 이동현상을 제거할 수 있었다.



(a)



(b)

그림 8. 소성분위기에 따른 C-V 곡선
(a) 산소분위기 첨가 없음 (b) 산소분위기 첨가
Fig. 8. C-V curve as a function of firing atmosphere
(a) Firing without O_2 (b) Firing with O_2

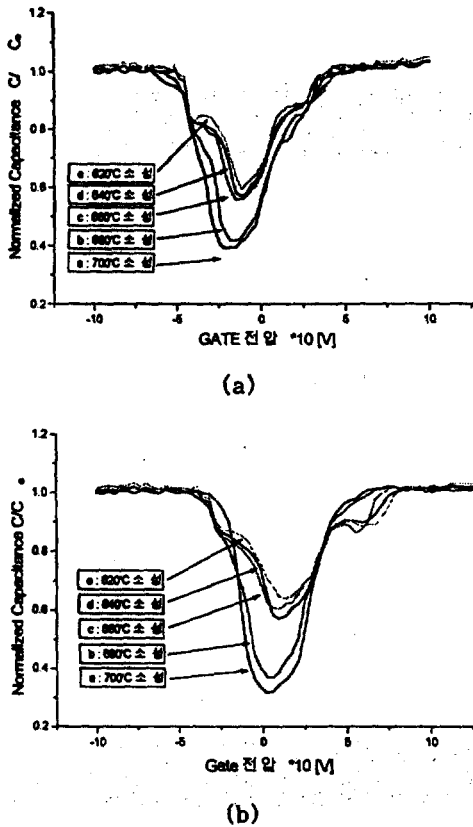


그림 9. 소성공정에 따른 C-V 곡선
 (a) 예비소성, 후소성 첨가 없음
 (b) 예비소성, 후소성 병행
 Fig. 9. C-V curve as a function of firing atmosphere
 (a) Firing without pre-firing, annealing
 (b) Firing with pre-firing, annealing

결국 소성시에 산소분위기를 첨가하고 예비소성과 후소성을 함께 시행하면 반도체소자의 보호막의 우수한 특성으로 인해 실제 사용조건에 있어서 그에 따른 특성저하를 일으키지 않을 수 있다. 이러한 결과는 앞 절에서 예비소성과 후소성의 영향을 고찰한 내용처럼 유리막중에 생기는 기공과 막의 치밀성은 소성 전후의 열처리 조건에 따라서 큰 차이가 있음을 의미한다고 할 수 있다¹⁰⁾. 따라서 유리입자 표면에 녹아있는 전해질과 기공을 제거하고 냉각중의 막의 결합을 방지하여 막질의 결함을 없앴으므로 막 특성저하의 원인인 가동이동과 계면트랩전하의 유해인자

를 적절한 예비소성과 후소성, 소성분위기의 첨가에 의해서 제거할 수 있다고 사료된다.

3-2-3. XRD 분석

그림 10는 유리보호막의 소성온도에 따른 X-선 회절분석의 결과를 나타낸다. 이러한 결과에서 소성온도가 결정화도에 영향을 미치고 있음을 알 수 있다. 640℃ 소성의 경우에는 아무런 피크치를 나타내고 있지 않으며, 결정의 성장이 아직 일어나지 않았음을 알 수 있다. 그러나 670℃ 소성에서는 20~40°의 2θ 값사이에서 서서히 결정의 피크치가 나타남을 보여 주고 있으며, 소성 온도 670℃와 700℃에서는 결정도가 현저히 변화하고 있으며 많은 결정들이 성장해 가고 있음을 관찰할 수 있다.

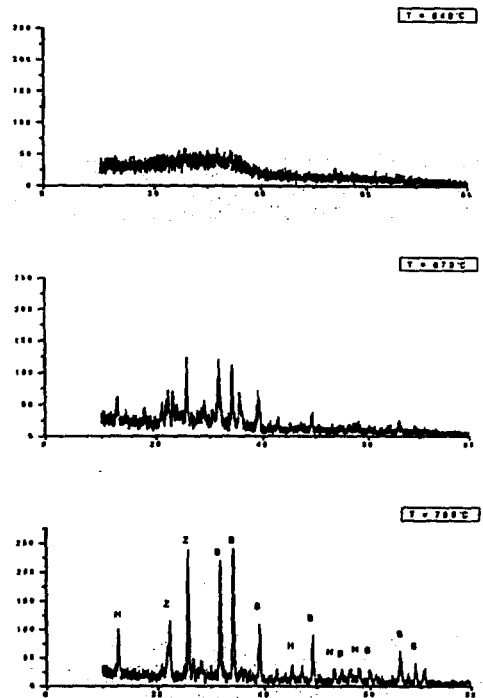
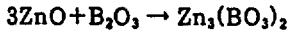


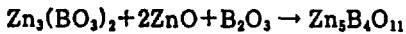
그림 10. 소성온도에 따른 아연붕규산계 유리막의 X-선 회절도
 B : α - $Zn_3B_4O_{11}$, Z : $Zn_3(BO_3)_2$, H : $Zn_3B_2O_{11} \cdot 7H_2O$
 Fig. 10. XRD patterns of zinc borosilicate glass films under firing temperature

700℃ 소성에서의 결과를 JCPDS를 이용하여 분석하면, 주 결정으로는 B[alpha-Zn₃B₄O₁₁]와 Z[Zn₃(BO₃)₂]가 성장했음을 알 수 있고, 소량의 H[Zn₂B₈O₁₁·7H₂O]도 성장하였다. 이런 XRD의 결과는 다음의 화학반응에 의해서 설명될 수 있다⁶⁾.

먼저, 결정화 과정은 Zn₃(BO₃)₂의 형성 과정이다.



결과적으로 Zn₃(BO₃)₂의 결정은 다음의 발열과정을 거쳐서 Zn₃B₄O₁₁를 형성한다.



이러한 해석에 의해서 아연 붕규산계 유리는 소성 온도 약 680~700℃사이에서 많은 결정들이 성장한 결정질임을 알 수 있으며, 역시 DTA 분석과 SEM 분석에 의해서도 확인할 수 있다. 일반적인 보호재의 경우 저압형은 비정질을 사용되고 고압형의 경우는 결정화시킨 것이 사용되고 있으므로 아연붕규산계 유리보호막은 고압형에 적합한 것으로 생각된다.

3-2-4 SEM 측정

그림 11에는 보호막을 전기영동법에 의해서 증착하고, 소성공정에서 각각 소성온도를 다르게 한 시편의 표면 미세구조를 SEM으로 관찰한 것을 나타내었다. 소성온도에 따른 표면의 미세구조를 살펴보면, (a)의 경우에는 결정화 개시점 이상의 온도에서 소성하였으므로 약간의 결정화상태가 존재하고 있으나, 기공 등의 결함들이 존재하고 있음을 보여준다. 즉, 연화점 이상의 온도에서 소성하면 보호막은 점성유동이 일어나 실리콘 표면을 덮게 되지만 많은 기공이 남게된다. (b) 680℃와 (c) 700℃ 소성의 사진에서는 표면 전체에 걸쳐서 가는 바늘모양의 결정이 고르게 관찰되고 있으며, XRD 분석결과와 비교하여 보면 650℃ 이하에서는 결정성을 나타내지 않다가 660℃에서부터 온도가 올라갈수록 주결정으로 Zn₃B₄O₁₁, Zn₃(BO₃)₂가 성장함을 알 수 있다. 또한 DTA 분석에 의한 연화점 Ts(softening point), 600℃와 결정화 개시온도 Tcs(crystallization starting point), 660℃와도 매우 잘 일치함을 알 수 있으며, 이들 온도사이를 핵형성온도라고 볼 수 있다. 이러한 결정의 생성은 보호막의 열팽창계수를 낮추어 실리콘과 열팽창계수를 비슷하게 조절할 수 있는 역할을 하며, 과도한 온도에 의한 큰 결정은 오

그림 11. 소성온도에 따른 보호막의 표면 SEM 사진
(a) 660℃, (b) 680℃, (c) 700℃
Fig. 11. SEM photographs of glass films under firing temperature.
(a) 660℃, (b) 680℃, (c) 700℃

히려 결정의 grain boundaries에 의한 전기적 특성의 저하를 가져올 수 있으므로 적당한 소성온도의 결정이 중요하다고 볼 수 있다^{2,12}. 그러므로 결정화 피크온도보다 낮은 온도에서 소성하는 것이 바람직하며, 따라서 DTA분석을 고려하던 결정화 개시온도와 결정화 피크온도사이인 680℃가 적당한 소성온도의 범위라고 사료된다.

보호막의 소성온도에 따른 시편의 단면 미세구조를 관찰하기 위한 SEM 사진이 그림 12에 나타나 있다. 그림 11에서 관찰한 표면의 미세구조와 마찬가지로, (a)에서는 유리입자가 아직 완전한 결정을 이루지 못해서 기공 등의 결함이 존재하고 있지만, 온도가 올라갈수록 막이 치밀해지며 기공이 없어지고 막의 표면도 균일하게 된다. 따라서 (b)에서는 불완전한 기공이 거의 없고, 평탄하며, 일정한 두께의 양질의 막을 얻을 수 있었으며, (c)의 사진에서는 막의 두께가 더 감소해 짐을 볼 수 있다. 따라서 약 680℃와 700℃사이의 소성온도에서는 보호막의 표면뿐만 아니라 단면과 내부 또한 균일함을 알 수 있다.

이렇듯 소성온도는 보호막의 내부형상에도 많은 영향을 미치며, 그리고 보호막의 두께는 소성온도가 높아질수록 막이 치밀해지므로 감소하는 경향을 나타내고 있다.

3-3 소성과정에 따른 보호막의 특성 분석

보호막의 소성과정에 있어서 예비소성(pre-firing)과 후소성(annealing)의 영향을 알아보기 위해서, 그림 13에서는 예비소성과 후소성을 하지 않고, 소성온도 680℃에서만 열처리를 한 후 급냉시킨 보호막을 (a)에, 연화점(softening point)보다 낮은 변형점에서의 예비소성과 후소성을 거친 보호막을 (b)에 나타내었다. 각각의 내부 미세구조를 관찰하기 위해서 시편을 HCl에 약 3분간 담궈 보호막의 일부를 에칭 해 내었다. (a)와 (b)의 사진을 비교하여 보면 예비소성과 후소성을 하지 않은 (a)의 표면이 기공도 더 많으며, 막도 균일하지 않음을 확연히 알 수 있다. 이러한 결과는 보호막 중에 생기는 기공과 막의 치밀성은 소성전후의 열처리 조건에 따라서 큰 차이가 있음을 의미한다고 할 수 있다¹³. 따라서 유리입자 표면에 녹아있는 전해질과 기공을 제거하고, 냉각중의 보호막의 결함(glass crack)을 방지하여 막질의 결함을 없애기 위해서는, 적절한 예비소성과 후소성의 단계에 의한 잔류응력의 제거가 필요하다고 사료된다.

그림 12. 소성온도에 따른 보호막의 단면 SEM 사진
(a) 660℃, (b) 680℃, (c) 700℃

Fig. 12. Cross section SEM photographs of passivation films under firing temperature

1. 전기영동법에 의한 보호막의 제작에서 인가전압과 시간에 따라 균일한 두께의 막을 만들 수 있었다. 또한 일정 전압이상 혹은 일정 시간 이상에서는 유리막의 두께가 포화되는 현상을 나타내었다.
2. XRD분석에 의해 660℃이상의 소성온도에서 결정이 성장하기 시작하여, 700℃에서는 많은 결정이 성장 했음을 알 수 있으며, 주 결정으로는 $\alpha\text{-Zn}_3\text{B}_4\text{O}_{11}$ 와 $\text{Zn}_3(\text{BO}_3)_2$ 가 성장했다.
3. 결정성과 막의 미세구조는 SEM으로 관찰하였는데, 680℃와 700℃사이에서의 소성공정에서 기공이 없으며 결정이 성장한 막을 얻을 수 있다. 그리고 결함이 적은 양질의 유리막을 얻기 위해서는 적절한 예비소성과 후소성의 소성과정이 필수적이라고 할 수 있다.
4. C-V 곡선을 측정함으로써, 소성온도, 소성공정, 소성분위기에 따라 glass/silicon 계면에서의 특성을 저하시키는 가동이온, 계면트랩전하의 영향을 고찰할 수 있었다. 즉, 소성온도를 높이면 유리막의 치밀해지므로 가동이온에 의한 C-V 곡선의 이동이나 왜곡현상을 억제하여 이상적인 C-V 곡선에 근사한 결과를 나타내었다. 또한 예비소성과 후소성의 공정과, 소성공정에서의 산소분위기가 우수한 보호막과 계면특성을 이루는데 중요한 요소라는 것을 알 수 있었다.

그림 13. 소성공정에 따른 유리층이 제거된 보호막의 SEM 사진

- (a) 예비소성, 후소성 하지 않음,
- (b) 예비소성-560℃, 후소성-540℃ (40min)

Fig. 13. SEM photographs of glass films removed glass layers

- (a) Firing without pre-firing, annealing
- (b) pre-firing : 560℃, annealing : 540℃ (40min)

4. 결 론

본 연구에서는 전력용 반도체의 함복특성을 개선하고 성능을 향상시킬 수 있는, 아연을 주성분으로 하는 아연붕규산계 유리로 전기영동법에 의해서 보호막을 제작한 후, MIS 구조의 시트를 제작함으로써 유리보호막의 특성과 glass/silicon 계면특성을 조사하여 다음과 같은 결론을 얻었다.

감사의 글

본 연구는 1998년도 인하대학교 교내 연구비 지원으로 수행되었습니다.

참 고 문 헌

1. A. Blicher, Field-Effect and Bipolar Power Transistor Physics, Academic Press, 1981.
2. S. Miura, T. Takusagawa, "Surface passivation of Semiconductor Devices by Glass Film", 富士時報, 50[3], pp. 165-171, 1977.
3. B. D. Liu, C. Y. Chang, K. C. Chen, "The Silica Glass Passivation for High-Voltage Power Transistors" INT. J. ELECTRONICS, Vol. 62, No. 6, pp. 857-861, 1987.
4. Y. Misawa, H. Hachiro, S. Hara, M. Hanazono, "Surface Charges in a ZnO

- B₂O₃-SiO₂ Glass/Silicon System", J. Electrochem. Soc., Vol. 131, No. 2, pp. 359-361, 1984.
5. M. Chadda, H. P. Hempel and J. Welsh, "Glass Passivation of High Voltage High Current Thyristors", PCI MARCH 1982 PROCEEDINGS, pp. 195-203.
 6. S. Muracami, "Characterization of zinc-borosilicate Glass/Silicon Interface", J. Electrochem. Soc., Vol. 134, No. 9, pp. 2293-2297, 1987.
 7. S. M. Sze, Physics of Semiconductor Device, 2 Ed. John Wiley & Sons, 1981.
 8. Kiyoshi Miwa, Mitsuko Kanno, "Glass-Passivation of Silicon Devices by Electrophoresis", DENKI KAGAKU, 40, No. 7, pp. 478-484, 1972.
 9. A. With, "The Basic Principles of Electrophoretic Coating-A study in Science and Technology of Surface Coating", edited by B. N. Chapman and J. C. Anderson, Academic, New York, pp. 60-68, 1974.
 10. Werner Kern, R. B. Comizzoli, "New methods for detecting structural defects in glass passivation film", J. Vac. Sci. Technol. Vol. 14, No. 1, pp. 32-39, 1977.
 11. Yuraka Misawa, "Properties of ZnO-B₂O₃-SiO₂ Glasses for Surface Passivation", J. Electrochem. Sci., Vol. 131, No. 8, pp. 1862-1865, 1984.
 12. 三輪 潤, 池田和子, "からザパッシベーション装置", 電子材料, 16(5), pp. 57-62, 1977.
 13. S. M. SZE, "Semiconductor Devices Physics and Technology".
 14. Earls Schlegel, "A Bibliography of Metal-Insulator-Semiconductor Studies", IEEE Trans. on Electron devices, Vol. ED-14, No. 11, pp. 728-748, 1967.
 15. K. H. Zaininger, G. Warfield, "Limitations of the MOS Capacitance Method for the Determination of Semiconductor Surface Properties", IEEE Tran. on Electron devices, pp. 179-192, Apr., 1965.
 16. D. R. Kerr, "Effect of Temperature and Bias on Glass-Silicon Interfaces".
 17. Y. Misawa, H. Hachino, S. Hara, T. Ogawa, "Surface Charges in a Zinc-Borosilicate Glass/Silicon System", J. Electrochem. Soc., Vol. 128, No. 3, pp. 614-616, 1981.
 18. K. H. Zaininger, F. P. Heiman, "The C-V Technique as an Analytical Tool", Solid State Tech., pp. 49-56, 1970.