Journal of the Korean Institute of Electrical and Electronic Material Engineers. Vol. 13, No. 10, pp. 822~827, 2000.

13-10-4

Single Junction Charge Pumping 방법을 이용한 전하 트랩형 SONOSFET NVSM 셀의 기억 트랩분포 결정

Determination of Memory Trap Distribution in Charge Trap Type SONOSFET NVSM Cells Using Single Junction Charge Pumping Method

양전우, 홍순혁, 서광열*
(Jeon-woo Yang, Soon-hyuk Hong, Kwang-yell Seo*)

Abstract

The $Si-SiO_2$ interface trap and nitride bulk trap distribution of SONOSFET(polysilicon-oxide-nitride-oxide-semiconductor field effect transistor) NVSM (nonvolatile semiconductor memory) cell is investigated by single junction charge pumping method. The device was fabricated by 0.35 ㎛ standard logic fabrication process including the ONO stack dielectrics. The thickness of ONO dielectricis are 24 Å for tunnel oxide, 74 Å for nitride and 25 Å for blocking oxide, respectively. By the use of single junction charge pumping method, the lateral profiles of both interface and memory traps can be calculated directly from experimental charge pumping results without complex numerical simulation. The interface traps were almost uniformly distributed over the whole channel region and its maximum value was 7.97×10^{10} /cm^2. The memory traps were uniformly distributed in the nitride layer and its maximum value was 1.04×10^{19} /cm^3 .The degradation characteristics of SONOSFET with write/erase cycling also were investigated.

Key Words(중요용어) : SONOSFET, Charge pumping current, NVSM, ONO dielectric, Traps

1. 서론

SONOS EEPROM은 소자 제작공정이 간단하고, 하나의 셀을 선택적으로 기록/소거할 수 있으며, 낮은 프로그래밍 전압, 기억 유지 능력이 우수하여 저전압, 고집적 비휘발성 반도체 메모리를 위한 차세대 반도체 메모리로 주목받고 있다[1,2]. 반도체 위에 형성한 터널링 산화막을 통해서 전하가 질화막의 트랩에 트랩핑 또는 디트랩핑 되는 기구를 이용하는 전하트랩형 비휘발성 기억 소자이다[3]. 쓰기/지우기의 반복은 계면트랩을 증가시키고 채널의 표면이동도 감소, 문턱전압이동, 기억창의 크기감소 및 중심이동, 그리고 기억유지특성의 저하를 가져온다. 질화막벌크와 반도체-터널링산화막계면의 트랩에 대한 정보는 소자의 기억특성을 조사하는데 대단히 중요하다.

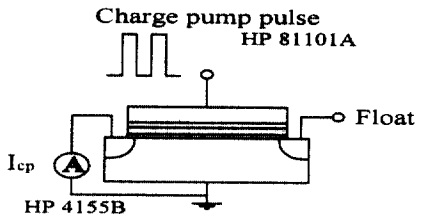
T. P. Ma가 트랩을 조사하기 위해서 제안한 단일접합 전하펌핑방법(single junction charge pumping method)[4,5]은 이전의 전하펌핑방법[6~9]에 비해서 복잡한 시뮬레이션이나 수치해석이 없이 측정결과로부터 직접적으로 채널길이에 따른 트랩의 공간적인 분포를 구할 수 있다. 또한 대칭 구조뿐만 아니라 비대칭 구조를 갖는 소자에도 적용이 가능하고 국부적인 열화 특성을 조사하는데 이용할 수도 있다. 본 연구에서는 0.35 ㎛

* : 광운대학교 전자재료공학과
(서울특별시 노원구 월계동 광운대학교, Fax: 02-941-6008
E-mail : kyseo@daisy.gwu.ac.kr)
2000년 6월 13일 접수, 2000년 9월 25일 심사완료

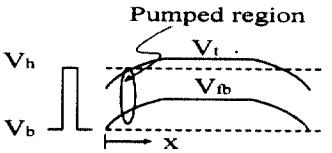
표준 로직공정으로 짧은 채널의 SONOSFET를 제작하고 단일접합 전하펌핑 방법을 사용하여 채널길이에 따른 $Si-SiO_2$ 계면과 질화막벌크의 기억트랩의 공간적인 분포를 조사하였다. 또한, 기록/소거 반복에 따른 소자의 열화 특성도 조사하였다.

2. 이론

단일접합 전하펌핑방법을 위한 실험장치의 구성 및 측정원리는 그림 1의 (a), (b)와 같다.



(a)



(b)

그림 1 (a) 단일접합 전하펌핑 측정을 위한 장치 구성
(b) 채널길이에 따른 문턱전압의 공간적 분포와 인가하는 게이트 펄스와의 관계

Fig. 1 (a) Experimental setup for the single - junction charge pumping measurement
(b) Lateral distributions of local V_t and V_{fb} along the channel length of the device and applied gate pulse

그림 1에 나타낸 바와 같이 기저준위(V_b)를 일정하게 고정시키고 최고준위(V_h)를 변화시키는 사각펄스를 N-채널 SONOSFET 게이트에 인가한다. 기판은 접지 시킨 상태에서, 한 쪽 접합은 플로팅(floating)하고 다른 쪽 접합에서 전하펌핑 전류를 측정하여 I_{cp}-V_h특성곡선을 구한다. 계면트랩이 I_{cp}에 기여하기 위해서는 실리콘 표면이 축적과 반전을 반복하여야 한다. 따라서 로칼 V_t보다 작은 V_h에서는 전류가 흐르지 않고 V_h가 증가하여 local V_t보다 커지면 계면트랩이 I_{cp}에 기여하여 외부회로에 전류가 흐르게 된다.

계면트랩 밀도 N_{it}가 채널을 따라 공간적으로 균일하다고 하면 I_{cp}는 다음과 같이 주어진다[5].

$$I_{cp,\max} = qfN_{it}WL \tag{1}$$

여기서 q는 전하량, f는 인가 펄스 주파수, W는 유효 채널 폭, L은 채널 길이이다. 이때 채널 길이 L은 실제로 V_{fb}=V_b인 게이트 끝 부분 두 점 사이의 거리이다. V_h가 충분히 작으면 L은 물리적인 채널 길이가 된다. 그림 1 (b)에서 임의의 V_h에 해당하는 $I_{cp}(V_h)$는 게이트 끝(실제 V_{fb}=V_b에서의 점)에서 그것의 로컬(local) V_t가 V_h와 같아지는 점 사이의 계면트랩에 의한 전류이다. 즉,

$$I_{cp}(V_h) = qfN_{it}Wx \tag{2}$$

여기서 x는 게이트 끝에서 $V_t(x)$=V_h인 점까지의 거리로 식(1)과 (2)로부터 다음과 같이 주어진다[5].

$$x = \frac{LI_{cp}(V_h)}{I_{cp,\max}} \tag{3}$$

이것으로 SONOSFET의 소스와 드레인의 문턱 전압의 분포, $V_t(x)$를 얻을 수 있고, 이를 이용하여 유효 채널 도핑 농도, N(x)를 계산할 수 있다.

임의의 V_h에서 전하펌핑 전류는 게이트 끝에서의 $V_t(x)$=V_h인 점 x까지의 계면 트랩의 수에 비례한다. 따라서 I_{cp}는 다음과 같이 주어진다[5].

$$I_{cp} = qfW\int_0^x N_{it}\,dx \tag{4}$$

식(4)로부터 다음과 같이 계면 트랩밀도의 공간적인 분포를 구할 수 있다.

$$N_{it}(x) = \frac{dI_{cp}}{dx}\cdot\frac{1}{qfW} = \frac{dI_{cp}}{dV_h}\cdot\frac{dV_h}{dx}\cdot\frac{1}{qfW}$$

$$= \frac{dI_{cp}}{dV_h}\cdot\frac{dV_t(x)}{dx}\cdot\frac{1}{qfW} \tag{5}$$

즉, 측정한 I_{cp}-V_h 곡선의 기울기와 $V_t(x)$ 곡선의 기울기로부터 계면트랩 밀도의 공간적 분포를 구할 수 있다.

프로그램에 의해 기억 트랩에 전하가 채워지면 I_{cp}-V_h 곡선이 수평 이동하게 된다. 각 위치 x에 상응하는 $I_{cp}(x)$를 찾고 동일한 $I_{cp}(x)$에 대한 V_h의 변화량 $\triangle V_h$로부터 거리 x에 따른 주입된 기억 전하의 밀도 $Q_{ot}(x)$는 다음과 같이 주어진다.

$$Q_{ot}(x) = \triangle V_h C_{ox} \tag{6}$$

기억트랩을 완전히 채웠을 경우 기억트랩 밀도

$N_t(x)$는 다음과 같이 표현된다.

$$N_t(x) = \frac{Q_{ot}(x)}{q} = \frac{\triangle V_h C_{ox}}{q} \quad (7)$$

3. 실험

SONOSFET NVSM 셀은 0.35 ㎛ 표준공정을 기본으로, ONO 게이트 유전막 형성 공정을 추가시킨 기억 셀 임베디드 로직공정(embedded logic process)으로서 리트로그레이드 트윈 웰(retrograde twin well), 이층폴리(double poly)의 CMOS공정을 사용하여 제작하였다. 게이트 적층 ONO 유전막중 터널 산화막은 950 ℃ 상압에서 질소로 희석시킨 산소(O_2:N_2=0.15 ℓ/min:15.0 ℓ/min)를 사용해서 열산화 하여 성장시켰다. 질화막은 750 ℃에서 SiH_2Cl_2와 NH_3의 혼합가스(SiH_2Cl_2 : NH_3 = 30 sccm : 450 sccm)를 반응시켜 LPCVD 방법으로 터널 산화막 위에 증착하였다. 블로킹 산화막은 950 ℃에서 H_2:O_2=8.0 ℓ/min:5.0 ℓ/min인 혼합가스를 사용해서 습식산화 방법으로 질화막 위에 성장시켰다. 분광 엘립소미터(spectroscopic ellipsometer)와 TEM으로 측정한 ONO 유전막의 두께는 각각 24 Å, 74 Å, 25 Å이었다. 이렇게 제작된 소자의 단면구조는 그림 2와 같다.

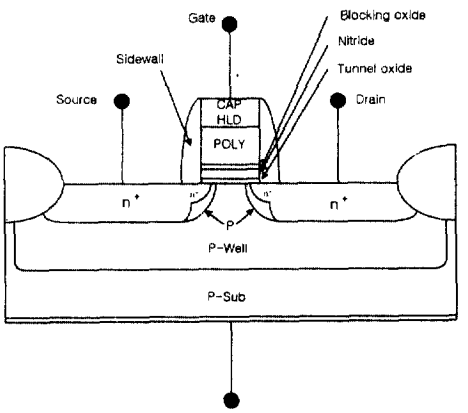


그림 2 n-channel SONOSFET단면도
Fig. 2 n-channel SONOSFET cross section

제작된 SONOSFET 기억소자의 스위칭, 내구성 및 기억유지등의 기억특성을 반도체 파라미터분석기(HP4155B)를 사용하여 측정하였다. 전하펌핑 측정을 위해 펄스발생기(HP81101A)로부터 100 kHz의 펄스를 게이트에 인가한다. 인가된 펄스의 기저준위를 -2 V로 고정하고 최고준위 V_h는 -2 V에서 0.05 V간격으로 증가시키면서 각각의 V_h에 대해 I_{cp} 값을 한 쪽 접합에서 측정하였다. 이 때 다른 쪽은 플로팅 하였다. 내구성 및 열화 특성을 조사하기 위해 스위칭특성으로부터 결정한 프로그램 조건으로 기록/소거를 반복하여 I_{cp}-V_h 곡선을 구하였다.

4. 결과 및 고찰

SONOSFET에 기록/소거를 수행하지 않은 초기상태의 I_{cp}-V_h 곡선을 측정하였으며 그 결과는 그림 3과 같다. 그림에서 ○는 소스접합에서 측정한 것이고 ■는 드레인 접합에서 측정한 I_{cp}-V_h 곡선이다. 두 곡선은 거의 일치된 모양을 보인다. 이는 두 접합이 같은 공정으로 형성된 대칭형태의 LDD구조를 가지고 있기 때문이다. local V_t보다 더 작은 V_h에서는 I_{cp}는 흐르지 않다가 V_h가 증가하여 local V_t보다 커지면 그 영역에 포함된 계면트랩이 I_{cp}에 기여하여 전류가 흐르게 된다. V_h가 채널내의 가장 큰 로칼 V_t에 도달하면 전 영역의 계면 트랩이 I_{cp}에 기여하므로 최대값에 도달하게 되어 포화된다.

그림 3의 I_{cp}-V_h 곡선과 식 (3)을 이용하여 문턱전압 분포 $V_t(x)$를 구하였으며 그 결과는 그림 4 (a)와 같다. 이론적으로 계산한 도핑농도에 따른 문턱전압의 관계[10]를 이용하여 유효 도핑농도분포 N(x)를 구한 결과는 그림 4 (b)와 같다.

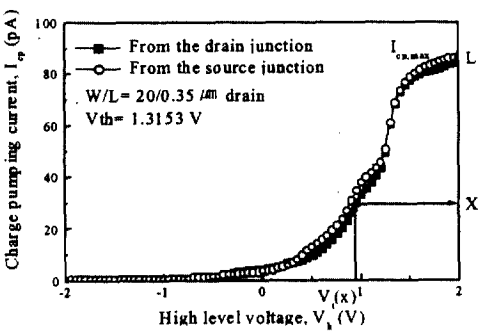


그림 3 드레인과 소스에서 각각 구한 단일접합 전하펌핑 곡선
Fig. 3 Single junction charge pumping curves obtained from source and drain junction

그림에서 알 수 있는바와 같이 거리에 따른 유효도핑농도로부터 소스/드레인 영역과 채널영역을 정확히 구분 할 수 있었다. 소스/드레인 접합은 측면 확산하여

n-type과 p-type 도핑이 균형을 이루는 지점까지 존재한다. 측정으로부터 구한 측면확산깊이는 게이트 가장자리로부터 0.02 ㎛이었으며 유효채널길이 L_{eff}는 0.31 ㎛이었다.

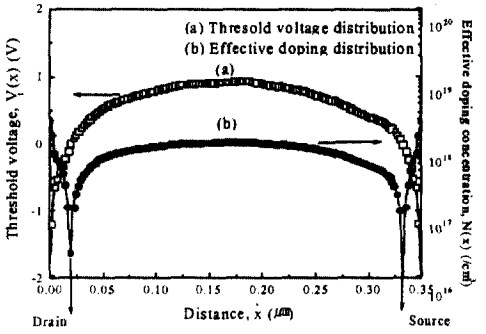


그림 4 문턱 전압 분포 및 유효 도핑 농도

Fig. 4 Local threshold voltage distribution and effective doping concentration

질화막내의 트랩 분포를 조사하기 위하여 게이트에 음의 스트레스 전압 (-8 V, 1 sec)을 인가하여 기억 트랩을 완전히 비운 후 드레인과 소스에서 I_{cp} 전류를 측정하고 다시 양의 스트레스 전압 (9 V, 1 sec)을 인가하여 기억 트랩을 완전히 채운 다음 동일한 조건으로 I_{cp} 전류를 측정하였으며 그 결과는 그림 5와 같다.

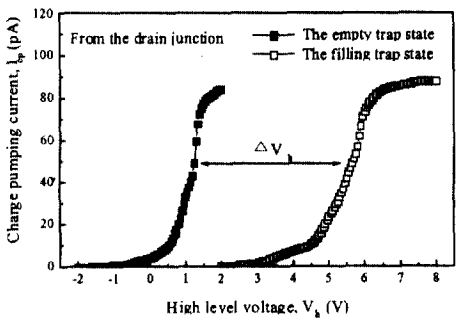


그림 5 프로그램과 소거후의 I_{cp} 곡선

Fig. 5 I_{cp} curves after program and erase

■ 은 트랩을 완전히 비운상태에서 측정한 I_{cp}-V_h 곡선이고 □은 트랩을 완전히 채운 다음 측정한 곡선이다. 측정된 전하펌핑전류의 최대값은 변하지 않았다. 이는 계면 트랩의 변화 없이 질화막내의 기억 트랩된 전하에 의해 I_{cp}-V_h 곡선이 수평 이동하였음을 의미한다.

그림 6 (a)는 I_{cp}-V_h 곡선의 기울기와 문턱전압분포 $V_t(x)$의 기울기로부터 구한 계면트랩밀도의 공간적인 분포 $N_{it}(x)$를 나타낸 것이다. 계면트랩은 채널 전체에 걸쳐 균일하게 분포하였으며 최대값은 7.97 $\times 10^{10}$ /cm^{2}이었다. 소자의 스케일 다운에도 불구하고 계면상태가 우수함을 의미한다.

그림 5의 (a)와 (b)에서 동일한 I_{cp} 값에 대한 V_h의 이동량, △Vh와 식(7)을 이용하여 기억트랩의 공간적 분포를 구한 결과는 그림 6 (b)와 같다. 기억트랩 밀도의 최대값은 1.62×10^{19} /cm^{3}이었다. 채널 중앙을 중심으로 고른 분포를 가지는 것을 볼 수 있어 채널 전면을 통한 프로그램 및 소거가 됨을 알 수 있다.

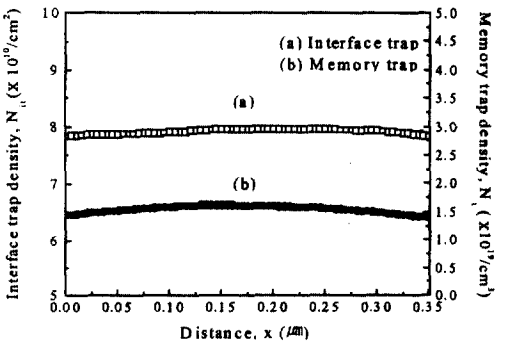


그림 6 계면 트랩 및 기억 트랩 공간 분포

Fig. 6 Interface trap and memory trap distribution

SONOSFET 기억소자의 열화 특성을 조사하기 위하여 소자의 스위칭 특성으로부터 결정한 9 V/50 msec, -8 V/100 msec의 프로그램 조건으로 기록/소거를 반복에 따른 기억창의 변화를 측정하였으며 그 결과는 그림 7과 같다.

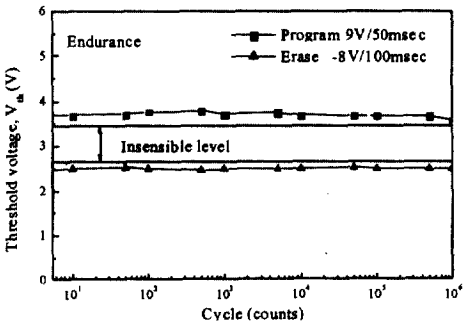


그림 7 SONOSFET소자의 내구성 특성

Fig. 7 Endurance characteristics of SONOSFET

10^6회 이상의 기록/소거 반복에도 불구하고 1 V 이상의 기억 창을 얻을 수 있어 내구성이 우수함을 알 수 있었다. 기록/소거 반복에 따른 계면트랩 및 기억트랩의 변화를 조사하기 위하여 5×10^4, 10^5, 5×10^5회 기록/소거 반복 후 그림 5에서와 동일한 방법으로 I_{cp}-V_h 특성곡선을 측정하고 N_{it}의 분포 및 N_T의 분포를 구한 결과를 각각 그림 8및 9에 나타내었다.

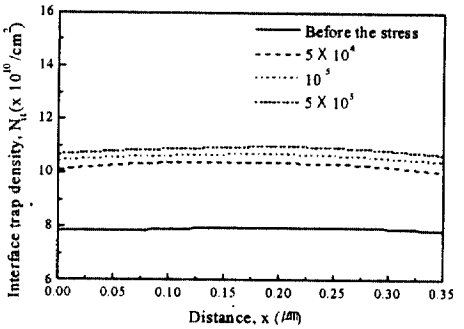


그림 8 기록/소거 반복에 따른 계면 트랩 공간분포
Fig. 8 Interface trap distribution before and after program/erase cycles

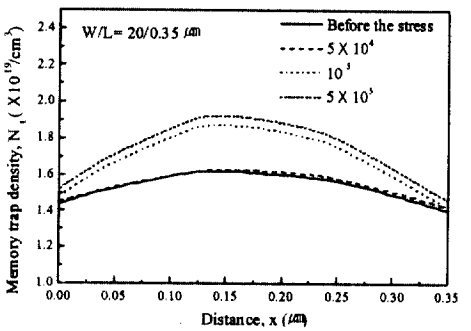


그림 9 기록/소거 반복에 따른 기억 트랩 공간분포
Fig. 9 Memory trap distribution before and after program/erase cycles

그림 8에서 알 수 있는 바와 같이 기록/소거 반복에 따라 계면트랩의 밀도가 채널 전면에서 고른 증가를 보였으며 5×10^5회 이상에서는 포화되었다. 반면 기억트랩은 그림 9에서와 같이 10^5회 이후 급격한 증가를 보이다 포화되는 경향을 보인다.

그림 10은 읽기 동작시 간섭에 따른 기억 전하의 분포를 나타내었다. 기억트랩을 완전히 비운 후 소스와 드레인에서 전하펌핑 전류를 측정하고 스위칭 특성 실험에서 얻은 프로그램 조건(9 V, 50 msec)으로 소자를 쓰기 상태로 프로그램 시킨 후 전하펌핑 전류곡선을 측정하여 프로그램시 주입된 기억전하의 분포를 구하였다. 소스와 기판은 공통접지 시킨 상태에서 게이트에 5 V를 인가하고 드레인에 스트레스 조건인 10 V를 0, 1, 10, 100, 1000 sec 동안 인가하였다. 경과시간에 따른 단일접합 전하펌핑 전류곡선을 소스와 드레인에서 측정하여 기억전하 분포의 변화를 조사하였다.

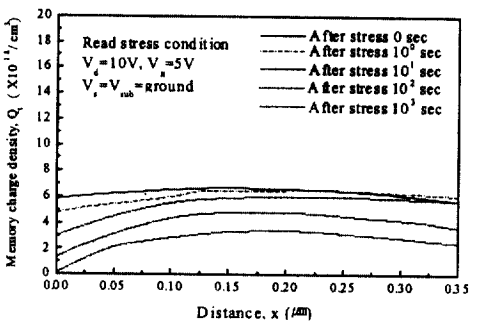


그림 10 읽기 동작시 간섭에 따른 기억 전하의 분포
Fig. 10 Memory charge distribution with read disturb

그림에서 보는 바와 같이 읽기 동작 스트레스가 가해짐에 따라 먼저 드레인쪽에서의 기억 전하 방출이 이루어지고 경과시간이 길어짐에 따라 점차 채널 전면에서 기억전하가 고르게 방출됨을 알 수 있다.

4. 결론

0.35 ㎛ 임베디드 로직공정으로 짧은 채널 SONOSFET NVSM을 제작하고 그 기억특성을 조사하였다. 단일접합 전하펌핑 방법을 이용하여 SONOSFET의 Si-SiO_2의 계면트랩과 기억트랩의 채널길이에 따른 공간 분포를 조사하여 다음과 같은 결론을 얻었다. 초기상태의 SONOSFET의 계면트랩은 채널 전체에 걸쳐 균일하게 분포하였으며 소자의 스케일 다운에도 불구하고 계면상태가 우수하였다. 기억트랩밀도 분포는 채널 중앙을 중심으로 고른 분포를 가지는 것을 볼 수 있어 채널 전면을 통한 프로그램 및 소거가 용이함을 볼 수 있었으며 내구성 실험에서 10^6회 이상의 기록/소거 반복에도 불구하고 1 V 이상의 기억창을 얻을 수 있었다. 기록/소거가 반복됨에 따라 계면트랩 및 기억 트랩의 고른 증가를 볼 수 있었다. 단일접합 전하펌핑 방법으로 복잡한 시뮬레이션이나 수치해석이 없이 측정결과로부터 SONOSFET 기억

소자의 계면트랩 및 기억트랩 분포를 정확히 구할 수 있었으며 기록/소거 반복에 따른 열화특성 조사를 쉽게 할 수 있었다.

단일접합 전하펌핑 방법을 사용하면 대칭이나 비대칭적 구조를 갖는 소자의 유효 도핑농도 및 국부 문턱전압 분포를 구할 수 있으며 다양한 트랩의 공간적 분포뿐만 아니라 국부적인 변화에 관한 정확한 정보를 실험 결과로부터 직접 얻을 수 있어 다양한 형태의 열화 특성 조사를 위한 효과적인 방법으로 소자특성 평가분야에서 폭넓은 응용이 가능하리라 기대된다.

감사의 글

이 논문은 2000년도 광운대학교 교내 학술 연구비에 의하여 연구되었음.

참고 문헌

[1] 서광열, "SONOS EEPROM 소자에 관한 연구", 전기전자재료학회, Vol. 7, No. 2, pp. 123-129, 1994.

[2] 김선주, 김주연, 김병철, 서광열, "NOR 플래시 메모리를 위한 전하트랩형 NVSM 셀의 제작특성", 전기전자재료학회지, Vol. 12, No. 11, pp. 999-1006, 1999.

[3] W. D. Brown, J. E. Brewer, "Nonvolatile Semiconductor Memory Technology", IEEE Press, pp. 309-357, 1998.

[4] C. Chen, T. P. Ma, "Direct Lateral Profiling of Hot-Carrier-Induced Oxide Charge and Interface in thin Gate MOSFET's", IEEE Trans. on Electron Devices, Vol. 40, pp. 1769-1778, 1993.

[5] C. Chen, T. P. Ma, "Analysis of Enhanced Hot-Carrier Effects in Scaled Flash Memory Devices", IEEE Trans. on Electron Devices, Vol. 45, No. 7, pp. 1524-1530, 1998.

[6] N. S. Saks, M. G. Ancona, "Spatial Uniformity of Interface Traps Distribution in MOSFET's", IEEE Trans. on Electron Devices, Vol. 37, No. 4, pp. 1057-1069, 1990.

[7] X. M. Li, M. J. Deen, "Determination of Interface State Density in MOSFET's using the Spatial Profiling Charge Pumping Technique", Solid-State Electronics, Vol. 35, No. 8, pp. 1059-1063, 1992.

[8] W. Chen, T. P. Ma, "Lateral Profiling of Oxide Charge and Interface Traps Near MOSFET Junctions", IEEE Trans. on Electron Devices, Vol. 40, No. 1, pp. 187-195, 1993.

[9] 이상배, 김선주, 서광열, "Charge Pumping 기술을 이용한 SONOSFET 비휘발성 기억소자의 열화 특성에 관한 연구", 응용물리, Vol. 8, No. 3, pp. 262-266, 1995.

[10] S. M. Sze, "VLSI Technology", 2nd Edition, MacGraw-Hill, pp. 490-493, 1988.