

Epitaxial CoSi₂접촉 p+/n접합의 I-V 특성

I-V Characteristics of Epitaxial CoSi₂-contacted p+/n Junctions

구본철 · 김시중 · 김주연 · 배규식
(Bon-Chul Koo, Si-Jung Kim, Ju-Youn Kim, Kyoo-Sik Bae)

Abstract

CoSi₂/p+/n diodes(bilayer diodes) were fabricated by using epitaxial CoSi₂ grown from Co/Ti bilayer as a diffusion source. The I-V characteristics of p+/n diodes were measured and compared with those of diode made from Co monolayer (monolayer diode). Monolayer diodes showed typical p+n junction characteristics with the leakage current of as low as 10⁻¹²A and forward current 6-orders higher than the leakage current, when drive-in annealed at 900°C for 20 sec.. On the other hand, bilayer diodes showed the Schottky-like behaviors with forward currents rather higher than those of monolayer diodes, but with too high leakage currents, when drive-in annealed at 700°C or higher. However, when the annealing temperature was lowered to 700°C and annealing time was increased to 60 sec., the leakage current was reduced to 10⁻¹¹A and thus showed typical diode characteristics. The high leakage currents for diodes annealed at 700°C or higher was attributed to Shannon contacts formed due to unremoved Co-Ti-Si precipitates. But when annealed at 500°C, B ions diffused in the direction of the surface layer, and thus the leakage currents were reduced by removing Shannon contacts.

Key Words : CoSi₂ contact, p+/n junction, Co/Ti bilayer, SADS method, I-V characteristics

1. 서론

반도체 소자의 고집적화를 실현하기 위해서는 직렬 및 기생저항이 낮은 접촉과 매우 얇은 접합의 형성이 요구된다. 이에 따라 저저항 접촉의 형성을 위하여 금속실리사이드의 적용이 널리 연구되고 있다 [1-2]. 특히 WSi₂, TiSi₂, CoSi₂는 소자 미세화에 따른 기생저항을 줄일 수 있고 SALICIDE (Self-Aligned Silicide)공정이 가능하여 가장 많이 적용되고 있다. 그러나 WSi₂는 높은 고유저항(~70 μΩ-cm)으로 인해 초고집적(ULSI)소자에 적용하기 어렵고, TiSi₂는 Ti과 SiO₂와의 반응으로 인한 브리

지현상(bridge)으로 인해 소자의 단락과 소자의 미세화에 따른 선평의 감소로 낮은 고유저항을 갖는 C54 상의 형성이 매우 어렵다[3-4]. 또한 TiSi₂는 Ti-As, Ti-B등의 화합물 형성으로 불순물이 고갈되어 직렬 저항의 증가를 야기한다[5]. 반면 CoSi₂는 비저항(18~25 μΩ-cm)이 낮고, 도판트와 화합물을 형성하지 않으며, Co가 확산 원소이므로 산화막 위로의 브리지 현상이 나타나지 않는 등의 우수한 이점들을 가지고 있다. 그러나, CoSi₂를 접촉으로 사용할 때 실리사이드/실리콘 계면거침성(interface roughness), 열적불안정성 등으로 인해 접합의 누설전류가 증가하는 문제점이 있다. 이는 실리콘 기판위에 Co를 증착하고 열처리하면 기판위에 잔존하는 산화막 때문에 계면이 거친 다결정 CoSi₂가 형성되기 때문이다. 이를 해결하는 한 방안으로 Co/Ti 이중막(Co/Ti bilayer)으로부터 에피성 CoSi₂를 형성하는 bilayer method가 연구되고 있다[6-8]. Co단일막 대신에 Co/Ti이중막을 사용하면, 실리사이드 형성시 중간층인 Ti이 높은 산화력으로 인해 잔존 산화막을 환원

* 수원대학교 전자재료공학과
(경기도 화성군 봉담읍 와우리 산 2-2 수원대학교,
FAX : 031-220-2560
E-mail : ksbae@mail.suwon.ac.kr)
2000년 7월 25일 접수, 2000년 10월 30일 심사완료

시키고 또 Co의 급격한 확산을 제어하여, 기판과의 계면이 평탄한 에피 CoSi₂를 형성하게 한다.

한편, 소자가 미세화됨에 따라 수평적 크기뿐만 아니라 수직적 크기 또한 작아지고 있다. 특히 deep-submicron MOSFET 소자에서는 접합의 깊이가 0.1 μ m이하가 되어야 하는 데, 이는 MOSFET의 소스와 드레인 사이의 punch-through와 문턱전압의 제어의 난이성 등의 SCE(Short Channel Effect)을 해결하기 위해서이다[9]. 이렇게 얇은 접합(shallow junction)을 형성하기 위해서는 매우 낮은 에너지의 이온주입 공정이 이루어져야만 한다. 그러나 매우 낮은 이온주입 에너지를 사용하여 얇은 접합을 만든 후, 그 위에 실리사이드를 형성하면 실리사이드화 반응시 실리콘 소모량이 많아 얇은 접합이 파손된다. 이러한 문제점을 해결하기 위하여 먼저 실리사이드를 형성한 후, 실리사이드를 확산원으로 하여 얇은 접합을 만드는 SADS(Silicide As Diffusion Source)공정이 제시되었다[5][7-9]. SADS법은 이온주입을 실리사이드에 하기 때문에 이온주입에 의한 기판의 손상을 최소화할 수 있으며, 후속열처리 조건을 조절하여 매우얇은접합(ultra-shallow junction)을 형성할 수 있다. 그리고 실리사이드를 형성한 상태에서 접합을 형성하기 때문에 실리사이드 형성시 접합내의 불순물 소모로 인한 직렬저항의 증가를 방지할 수 있다.

본 연구에서는 Co/Ti 이중막(이후 이중막)을 증착하고 급속열처리(RTA, rapid thermal annealing)하여 CoSi₂를 형성하였다. 비교하기 위하여 Co단일막(이후 단일막)으로 부터 다결정 CoSi₂를 형성한 시편도 준비하였다. CoSi₂를 형성한 후 SADS공정으로 p+/n diode를 제작하고 CoSi₂로 접촉한 p+/n접합의 I-V 특성을 측정하였다. 특별히 이온주입후 drive-in anneal 조건(온도와 시간)이 접합의 누설전류에 미치는 영향을 연구하였다.

2. 실험방법

기판으로는 (100) 결정성을 갖는 n형(10~20 Ω ·cm) 4인치 실리콘 웨이퍼를 준비하였다. 이 웨이퍼를 RCA 세척후 LOCOS공정을 거쳐 집축창(100 \times 100 μ m)을 연후, Co(순도=99.99%)/20nm의 단일막과, Ti(순도=99.99%)와 Co를 각각 5nm, 20nm씩 이중막을 전자빔 증착기로 증착하였다. 이 시편을 900 $^{\circ}$ C에서 20초간 Heatpulse 급속열처리 시스템을 이용하여 질

소 분위기에서 열처리하여 약 50nm 두께의 CoSi₂를 형성하였다. 미반용 금속과 이중막의 경우 표면에 막의 역전으로 생성된Co-Ti-Si혼합층[6-8]은 (1 HNO₃ : 1 H₂O)용액과 (2 H₂O₂ : 1 NH₄OH : 1 H₂O)용액으로 각각 10분씩 에칭하여 제거하였다. 이 시편위에 이전의 연구[7]에서 접합 형성에 가장 적합한 것으로 판단된 1 \times 10¹⁵ dose, 30KeV의 조건으로 BF₂⁺를 이온주입하고, RTA를 이용하여 온도(500~1000 $^{\circ}$ C)와 시간(40~200sec.)을 변화시키면서 drive-in 열처

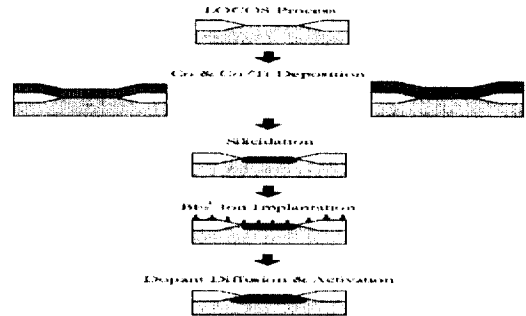


그림 1. 실험 방법 순서도.
Fig. 1. A flowchart of diode fabrication.

리하여 p+/n diode를 제작하였다(그림 1). 시편의 표면은 SEM(Scanning Electron Microscopy), CoSi₂/Si의 계면은 TEM(Transmission Electron Microscopy)으로 관찰하였으며, 시편내의 B 분포는 SIMS(Secondary Ion Mass Spectroscopy)로 분석하고, 접합의 I-V특성은 HP 4156A Parameter Analyzer를 이용하여 측정하였다.

3. 결과 및 고찰

단일막(그림 2(a))을 사용한 경우, 계면이 이중막(그림 2(b))보다 거칠었으며 다결정 실리사이드가 성장되었다. 이는 Si계면에 잔존하고 있던 native-oxide가 영향을 주기 때문이다[3-4]. 이러한 native-oxide는 전기적 특성에도 영향을 준다. 단일막을 이용하고 800~1000 $^{\circ}$ C에서 20초 drive-in 열처리한 다이오드의 전류-전압(I-V)특성은 그림 3과 같다. 800 $^{\circ}$ C의 경우, 누설전류(I_{leak})는 -5V에서 2 \times 10⁻¹²(A)의 매우 낮은 값을 보였고, 5V에서의 순방향 전류(I_{for})는 I_{leak} 보다 약 5 order 이상 높아 전형적인 p+n접합 특성을 나타내었다. 후속열처리 온도가 증가하면 순방향전류도 증가하였다. 이는 CoSi₂

층으로 이온주입된 B이 충분히 실리콘 내로 확산하고 활성화되었기 때문이다. 그런데, 800와 900°C의 경우, 0 ~ -1V에서 비정상적인 bump가 나타나 공핍영역(depletion region) 근방에 defect center가 존재함을 보여준다. 이는 그림 2-(a)에 나타난 바와 같이 단일막을 사용하면 형성된 CoSi₂의 두께가 불균일하고 Si층과의 계면이 거친 것과 관련이 있다고 판단된다. 즉, 두께가 얇은 지역으로 이온주입된 B은 더 깊이 침투하고 후속열처리 후에도 이온주입 손상이 충분히 복원되지 않으며, 또한 계면이 거칠므로 이 경계 주변에 불순물들이 축적되어 접합을 형성할 불순물의 농도가 감소한다[10]. 그러나 1000°C로 열처리하면 이러한 결함이 회복되어 bump는 나타나지 않는다. 한편, 열처리온도가 상승할수록 B이 충분히 확산하고 활성화되어 보다 높은 농도의 접합이 형성되므로 순방향 특성이 향상되는 것을 알 수 있다. 그러나 1000°C에서는 누설전류가 증가하였는데 이는 CoSi₂의 응집현상[9-10]으로 인하여 CoSi₂와 실리콘 계면이 더 거칠게 되어 누설전류 path를 형성하기 때문인 것으로 생각된다.

단일막을 이용한 다이오드의 이상적 다이오드 특성을 조사하기 위하여 이상 계수를 식(1)에 의해 fitting하였다.

$$J_F \sim \exp\left(\frac{qV}{\eta kT}\right) \quad (1)$$

여기서 η 는 이상계수로서 1부터 2의 값을 갖는다. 이상확산 전류가 지배적일 때 $\eta=1$ 이며, 재결합 전류가 지배적일 때는 2에 근사하게 된다. 또한 낮은 전위에서 이상계수는 2에 근사하며, 높은 전위에서는 확산에 의한 전류가 지배적이다. Fitting한 결과

그림 2. 실리콘화 후 TEM 사진. (a) Co 단일막으로부터 형성한 CoSi₂ (b) Co/Ti 이중막으로부터 형성한 CoSi₂.

Fig. 2. TEM photographs after silicidation process. (a) CoSi₂ formed by using Co single layer, and (b) CoSi₂ formed by using Co/Ti bilayer.

0.5V에서의 이상계수가 각 온도에서 1.04, 1.06, .99로 나타나, 이 다이오드는 확산에 의한 전류가 지배적임을 알 수 있다. 이상의 결과로부터 단일막의 경우에는 900°C에서 20초간 drive-in 열처리하는 것이 가장 적절한 열처리조건으로 나타났다. 이중막을 사용한 경우 그림 2(b)에서 보는 바와 같이 (111)facet이 있는 곳을 제외하면 매우 평탄한 접촉 계면을 형성함을 알 수 있다. 이는 CoSi₂형성시 Ti의 높은 산화력으로 Si 기판 계면에 잔존하고 있는 native-oxide를 제거하고 Ti가 Co의 확산속도를 제어하여 비교적 균일한 CoSi₂를 형성하였기 때문이다 [6-8]. 그림 4는 이중막을 이용하여 만든 다이오드를 900°C에서 후속열처리하였을 때의 I-V특성이다. 40초간 열처리하였을 때, 순방향전류는 단일막의 경우보다 높았으나 역방향 전류가 너무 높아 Schottky diode와 같은 특성을 나타내었다. 열처리 시간을 늘리면 순방향전류도 낮아졌다. 후속열처리 온도를 700°C로 낮추어도 그림 4와 유사한 I-V특성을 나타내었다. 그런데, 온도를 500°C로 낮추고 60초간 비교적 길게 열처리하면 순방향 전류는 900°C경우와 같은 값을 나타내나 역방향 전류값은 10⁻¹¹A로 매우 낮아 전형적인 다이오드 특성을 나타내었다(그림 5). 열처리시간을 100초로 늘리면 가장 높은 순방향 전류값을 나타내고 그 이상이 되면 다시 감소하였다. 그런데, 그림 5에서 보듯이 열처리 시간이 길어져도 누설전류는 영향을 받지 않았다. 이중막을 이용하여 500°C에서 p+/n 다이오드의 이상적 다이오드 특성을 알아보기 위하여 식 (1)에 의하여 이상계수를 fitting 하였다. 열처리시간에 따라 1.01, 1.03, 1.00의 이상계수를 나타내어, 다이오드의 전류도 생성과 재결합에 의한 전류라기 보다는 확산에 의한 전류임을 알 수 있고 스위칭특성(on-off characteristic)이 우수함을 알 수 있다.

이중막을 사용하였을 때 열처리온도에 따라 I-V특성이 크게 차이가 나는 원인을 알아보기 위하여 후속열처리 전후의 B의 분포를 SIMS로 분석하여 그림 6에 나타내었다. B농도의 피크값이 CoSi₂층내에 나타나며 CoSi₂/Si 계면농도도 10²⁰cm⁻³로서 매우 높다. 900°C에서 CoSi₂의 B 포화농도가 ~ 2 x 10²⁰cm⁻³인 것[11]을 감안하면 CoSi₂층은 B이 거의 포화되어 있음을 알 수 있다. 반면에 실리콘층내의 B 분포는 시뮬레이션 예상값[7]보다 더 깊이 주입되어 있는 것으로 나타났는데, 이는 CoSi₂이 다결정이 아닌 에피성이고 또 channeling이 일어난 결과이다. 그 결과, B의 농도 10¹⁸cm⁻³을 기준하였을 때 p+층의 깊이는

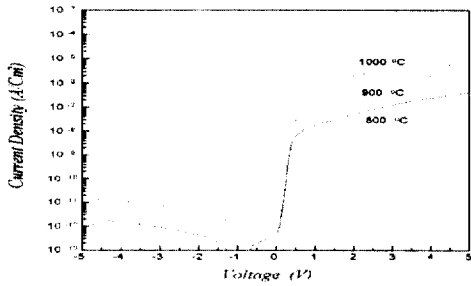


그림 3. Co 단일막으로부터 형성한 다이오드의 drive-in 열처리 온도에 따른 I-V 특성(열처리 시간 : 20초).
 Fig. 3. I-V characteristics of diodes made from Co single layer as a function of drive-in annealing temperature (annealing time was 20 sec.).

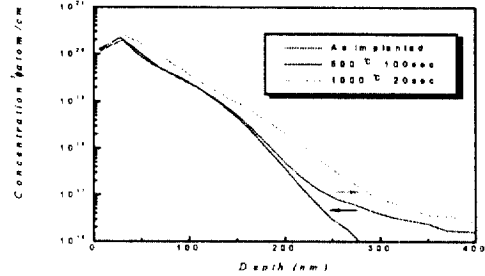


그림 6. Co/Ti 이중막으로부터 형성한 CoSi₂ 접촉 다이오드의 drive-in 열처리 온도와 시간에 따른 Boron의 SIMS 농도분포.
 Fig. 6. Boron SIMS profiles of diodes with CoSi₂ contacts formed from Co/Ti bilayer, as a function of drive-in annealing temperature and time.

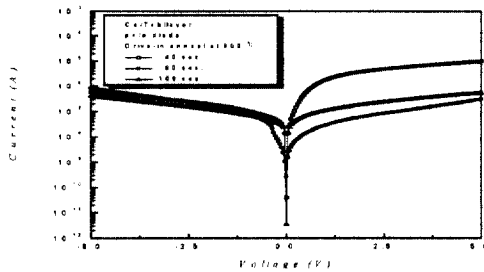


그림 4. Co/Ti 이중막으로부터 형성한 다이오드의 drive-in 열처리 시간에 따른 I-V 특성(열처리 온도 : 900°C).
 Fig. 4. I-V characteristics of diodes made from Co/Ti bilayer and drive-in annealed at 900°C, as a function of annealing time.

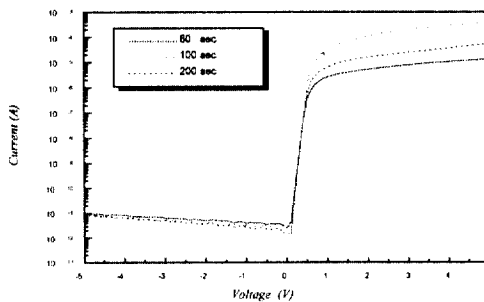


그림 5. Co/Ti 이중막으로부터 형성 후 500°C 에서 drive-in 열처리 한 다이오드의 열처리 시간에 따른 I-V 특성.
 Fig. 5. I-V characteristics of diodes made from Co/Ti bilayer and drive-in annealed at 500°C as a function of annealing time.

이미 약 130nm가 된다. 보다 얇은접합을 만들기 위해서는 이온주입 에너지를 더 낮추어야 할 것으로 판단된다. 그런데, drive-in 열처리를 하면, 1000°C의 경우에는 실리콘층으로의 확산이 일어난 반면, 500°C의 경우에는 실리사이드층으로의 역방향 확산이 일어났다. As'을 비슷한 조건으로 주입한 후 후속 열처리하였을 때는 500°C에서도 실리콘층으로의 확산만이 일어났다[8]. 그러나, B의 경우에 역확산이 일어난 것은 이전의 연구[7]에서 밝혀진 바와 같이 CoSi₂층과 표면의 Ti-Co-Si층이 diffusion sink로 작용하기 때문에 가능하다. 따라서, 500°C에서는 실리콘층으로 깊숙이 이온주입된 B이 CoSi₂층으로 역확산하여 접합의 깊이를 감소시키고 접합내의 B농도를 어느 정도까지는 높여 준다. 그러나 시간이 길어지면 CoSi₂가 포화되고 B은 다시 실리콘층으로 확산하는 것으로 생각되어진다. 그 결과 그림 5에서 나타난 바와 같이 후속열처리 시간이 100초일 때 순방향 전류가 최대값을 나타내고 그 후에는 감소하게 된다. 반면 그림 4의 900°C의 온도에서는 처음부터 실리콘층으로의 확산이 일어나 열처리시간이 길어지면 순방향 전류값은 감소한다.

한편, CoSi₂접촉 다이오드에서 발생하는 누설전류의 원인으로서는 불균일한 CoSi₂/Si 계면[12]과 이에 의한 Fowler-Nordheim tunneling[13], 접합내 손상이나 불순물에 의한 generation current[13], CoSi₂ 열분해에 따른 CoSi spiking[3] 등이 제시되었다. 그러나, 본 실험의 경우 CoSi₂/Si 계면이 평탄하며 700°C의 비교적 낮은 온도에서 장기간 열처리하여도 누설전류가 높은 것으로 보아 이온주입 손상이나 spike 형성이 원인일 가능성은 희박하다. 그런데, 실리사이드

형성후 Ti-Co-Si 표면층은 에칭을 하여도 완전히 제거되지 않고 $CoSi_2$ 내에 precipitates 형태로 남는다 [9]. 그림 7은 다결정 실리콘위에 단일막 및 이중막 으로부터 $CoSi_2$ 를 형성하고 잔존 금속을 에칭한 후의 표면을 비교한 SEM사진이다. 단일막 시편의 표면은 깨끗한 데 비해 이중막 시편에는 precipitates가 grain 형태로 남아 있다. 이 Co-Ti-Si precipitate는 비정질이다. 따라서 이온주입시 포획되는 B이 많아 precipitate 밑으로는 B이 깊이 주입될 수 없다. 따라서 precipitate 아랫부분에는 상대적으로 깊이가 얇고 B농도가 낮은 p영역이 생긴다. 이와 같이 금속접촉 과 n-Si 사이에 얇은 p층이 삽입되어 있는 구조를

Shannon 접촉이 만들어 진 후 그림 6의 $1000^{\circ}C$ 경우와 같이 확산이 실리콘층으로 일어나면 p와 p+층의 깊이와 농도의 차이는 줄어들지 않아 Shannon 접촉은 없어지지 않고(그림 8-(a)), 그 결과 높은 누설전류가 발생한다. 그러나 그림 6의 $500^{\circ}C$ 에서와 같이 역확산이 일어나면 $CoSi_2$ 층은 이미 거의 포화되어 있으므로 B은 Shannon 접촉이 있는 영역으로 확산하여 B분포의 평준화가 일어나 Shannon접촉을 소멸시키고(그림 8-(b)), 그 결과 누설전류가 감소한다. 이 모형으로 그림 4와 5에서 나타난 후속열처리 조건에 따른 누설전류값의 변화를 설명할 수 있다.

그림 7. 미반응 금속 제거 후 $CoSi_2$ 의 표면 SEM 사진(다결정기판). (a) Co 단일막 (b) Co/Ti 이중막.

Fig. 7. Surficial SEM micrographs of $CoSi_2$ formed from (a) Co single layer, and (b) Co/Ti bilayer deposited on poly-Si, and chemically etched to remove unreacted metals.

Shannon접촉이라 하며 누설전류가 흐르는 통로가 되어 Schottky diode 특성을 나타낸다[9]. 이 p층의 깊이와 농도가 조금만 변해도 누설전류값은 큰 차이를 보인다[9]. 이를 그림 8에 도식적으로 나타내었다.

그림 8. Co-Ti-Si 석출물로 인한 Shannon 접촉 형성 모형 (a) $700^{\circ}C$ 이상에서 drive-in 열처리 (b) $500^{\circ}C$ 에서 drive-in 열처리.

Fig. 8. A model for the formation of Shannon contact due to Co-Ti-Si precipitates. drive-in annealed at (a) temperature higher than $700^{\circ}C$, and (b) $500^{\circ}C$.

그러나 이 모형의 타당성을 확인하기 위해서는 더 많은 연구가 요구된다. 이상의 결과에서 이중막을 사용할 경우, 누설전류의 주원인이 되는 Shannon접촉의 형성을 막기 위해서 $500^{\circ}C$ 의 저온에서 100초간 후속 열처리를 하는 것이 가장 바람직한 것으로 나타났다.

4. 결 론

Co/Ti 이중막으로부터 형성한 $CoSi_2$ 를 확산원으로 하여 다이오드를 제작하고 drive-in 열처리 조건에 따른 I-V 특성을 측정하고 Co 단일막을 사용한 경

우와 비교하였다. 단일막의 경우 800~1000°C에서 20초 drive-in 열처리하면 누설전류는 10^{-12} ~ 10^{-11} (A)로 낮고, 순방향 전류는 누설전류 보다 약 5 order 이상 높고 이상계수도 약 1.0으로 전형적인 p+n접합 특성을 나타내었다. 상대적으로 900°C에서 20초간 drive-in 열처리하는 것이 가장 적절한 열처리조건으로 나타났다.

반면, 이중막의 경우 700°C 이상에서 drive-in 열처리하면 순방향전류값은 단일막보다 높으나 누설전류가 너무 높아 Schottky diode 특성을 보였다. 그러나 온도를 500°C로 낮추고 60초간 비교적 길게 열처리하면 순방향 전류는 900°C경우와 같고 역방향 전류값은 10^{-11} A로 매우 낮아 전형적인 다이오드 특성을 나타내었다. 열처리시간을 100초로 늘리면 가장 높은 순방향 전류값을 나타내고 그 이상이 되면 다시 감소하였다. 열처리 시간이 길어져도 누설전류는 영향을 받지 않았다. 따라서 이중막의 경우 500°C의 저온에서 100초간 장시간 drive-in 열처리하는 것이 가장 적절한 열처리조건으로 나타났다. 700°C 이상에서의 높은 누설전류값은 완전히 제거되지 않은 Co-Ti-Si precipitate로 인해 생성된 Shannon접촉 때문이며, 500°C로 drive-in 열처리하면 B의 역확산이 일어나 이 Shannon접촉을 제거하므로 누설전류가 감소하는 것으로 해석되었다.

감사의 글

본 연구는 한국과학재단의 핵심전문연구과제 (과제번호 : 961-0804-030-2)에 의해 수행되었습니다.

참고문헌

- [1] 김영수, 한원열, 박영길, 전기전자재료학회지, **4(4)**, 304 (1991)
- [2] 최도영, 윤석범, 오환술, 전기전자재료학회지, **8(6)**, 737 (1995)
- [3] K. Goto, A. Fushida, J. Watanabe, T. Sukegawa, K. Kawamura, T. Yamajaki and T. Sugii, IEDM-95, 449 (1995)
- [4] H. Kotaki, N. Nakano, S. Hayashida, T. Matsuoka, S. Kakimoto, A. Nakano, K. Uda and Y. Sato, IEDM-95, 457 (1995).
- [5] H. Jiang, C.M. Osburn, P. Smith, Z.G. Xiao,

- D. Griffis, G. McGuire, and G.A. Rozgoniyi, J. Electrochem. Soc., **139(1)**, 196 (1992).
- [6] S.L. Hsia, T.Y. Tan, P. Smith, and G.E. McGuire, J. Appl. Phys., **72(5)**, 1864 (1997)
- [7] K.S. Bae, J.R. Kim, S.Y. Hong, Y.B. Park, Y.S. Cho, Thin Solid Films, **302**, 260 (1997).
- [8] 정연실, 배규식, 전기전자재료학회지, **13(7)**, 557 (2000).
- [9] E.C. Jones and N.W. Cheung, and D.B. Fraser, J. Electron. Mater., **24(7)**, 863, (1995).
- [10] B.S. Chen and M.C. Chen, IEEE Trans. on Elec. Dev. , **43(2)**, 258, (1996).
- [11] V. Probst, H. Schager, A. Miiitwalsky, H. Kabza, L. Van den Hove, and K. Maex, J. Appl. Phys., **70**, 708 (1991)
- [12] L. Van den Hove, K. Maex, L. Hobbs, P. Lippens, R. de Keersmaecker, V. Probst, and H. Shaber, Appl. Surf. Sci., **38**, 430 (1989)
- [13] R. Liu, D.S. Williams, and W.T. Lynch, J. Appl. Phys., **63** (6), 1990 (1988)