Journal of the Korean Institute of Electrical and Electronic Material Engineers. Vol. 13, No. 11, pp. 914~920, 2000.

논 문 13-11-4

플래시메모리를 위한 Scaled SONOSFET NVSM의 프로그래밍 조건과 특성에 관한 연구

A Study on the Characteristics and Programming Conditions of the Scaled SONOSFET NVSM for Flash Memory

박희정, 박승진, 남동우, 김병철, 서광열*
(Hee-jeong Park, Seung-jin Park, Dong-woo Nam, Byung-cheul Kim, Kwang-yell Seo*)

Abstract

When the charge-trap type SONOS(polysilicon-oxide-nitride-oxide-semiconductor) cells are used to flash memory, the tunneling program/erase condition to minimize the generation of interface traps was investigated. SONOSFET NVSM(Nonvolatile Semiconductor Memory) cells were fabricated using 0.35 ㎛ standard memory cell embedded logic process including the ONO cell process, based on retrograde twin-well, single-poly, single metal CMOS(Complementary Metal Oxide Semiconductor) process. The thickness of ONO triple-dielectric for the memory cell is tunnel oxide of 24 Å, nitride of 74 Å, blocking oxide of 25 Å, respectively. The program mode(V_g=7,8,9 V, V_s=V_d=-3 V, V_b=floating) and the erase mode(V_g=-4,-5,-6 V, V_s=V_d=floating, V_b=3 V) by MFN(Modified Fowler-Nordheim) tunneling were used. The proposed programming condition for the flash memory of SONOSFET NVSM cells showed less degradation($\triangle V_{th}$, S, G_m) characteristics than channel MFN tunneling operation. Also, the program inhibit conditions of unselected cell for separated source lines NOR-type flash memory application were investigated. we demonstrated that the phenomenon of the program disturb did not occur at source/drain voltage of 1 V~12 V and gate voltage of -8 V~4 V.

Key Words : SONOSFET NVSM, MFN 터널링, 계면 트랩, 플래시 메모리, 프로그램 금지 조건

1. 서론

비휘발성 반도체 메모리(NVSM)는 부유 게이트형과 전하트랩형인 SONOS 구조로 분류된다.[1] 두 형태의 기본적인 구조적 차이는 전하의 저장 물질과 터널 산화막의 두께이다. CHE(Channel Hot Electron) 주입방식을 이용하는 부유 게이트인 경우 전하가 전도성 폴리 실리콘에 저장되기 때문에 터널 산화막내 핀홀 결함에 영향을 받아 빠져나가기가 쉽다. 그리고 부유 게이트의 게이트 길이는 0.18 ㎛가 축소 가능성의 한계라고 보고하고 있다.[2] 그러나 SONOS 구조의 경우 전하는 적층 ONO 게이트 유전막중 질화막내의 트랩에 포획되기 때문에 핀홀 결함에 대한 영향이 적어 기억유지특성이 우수하다.[3][4] SONOS 구조는 방사선에 강하고[5] 적층 ONO 게이트 유전막을 제외하고는 CMOS 공정과 완전히 호환된다.[6][7] 또한, 0.1 ㎛이하의 축소 가능성이 검증되어서 저전압, 고집적 비휘발성 반도체 메모리를 위한 가장 이상적인 차세대 반도체 메모리로 주목받고 있다.[8] 그러나, SONOS 구조에서 채널 전면을 이용한 MFN 터널링 프로그램/소거 조건

* 광운대학교 전자재료공학과
(서울시 노원구 월계동 광운대학교, Fax: 02-941-6008
E-mail : kyseo@daisy.gwu.ac.kr)
2000년 8월 29일 접수, 2000년 11월 3일 심사완료

은 터널 산화막내 전반에 걸쳐 계면 트랩이 증가되므로 문턱 전압의 이동이 불가피하다. 이는 읽기 동작시 오류가 발생할 우려가 있다.

본 논문에서는 소스와 드레인 영역근처의 터널 산화막을 이용한 프로그램과 채널중앙만을 이용한 소거동작으로 계면 트랩 생성을 최소화함으로서 메모리 창 감소 및 문턱 전압 이동을 방지하여 플래시 메모리 신뢰성을 향상시킬 수 있는 프로그램 조건을 밝힌다. 이를 위해서 각 사이클에서 열화 특성을 조사하였다. 그리고 제안된 조건으로 스케일된 SONOSFET SSL - NOR(Separated Source Line - NOR)형 플래시 메모리 어레이에서 프로그램 방해 특성을 조사하였다.

2. 소자제작

리트로그레이드 트윈 웰, 일층 폴리, 일층 금속배선의 표준 로직공정을 기본으로 ONO 셀 공정을 추가시킨 0.35 ㎛ CMOS 공정을 사용하였다. 게이트 유전막은 실리콘 기판 위에 터널 산화막, 질화막, 그리고 블로킹 산화막을 차례로 형성하여 ONO 적층 구조를 갖도록 하였다. 먼저 터널 산화막은 900 ℃, 상압에서 질소로 희석시킨 산소(O_2 5 %)를 사용해서 열산화시켰으며, 질화막은 770 ℃에서 SiH_2Cl_2와 NH_3의 혼합가스(SiH_2Cl_2:NH_3=30 sccm:330 sccm)를 반응시켜 LPCVD(Low Pressure Chemical Vapor Deposition) 방법으로 터널 산화막 위에 증착하였다. 블로킹 산화막은 950 ℃에서 습식 산화 방법으로 성장시켰다.

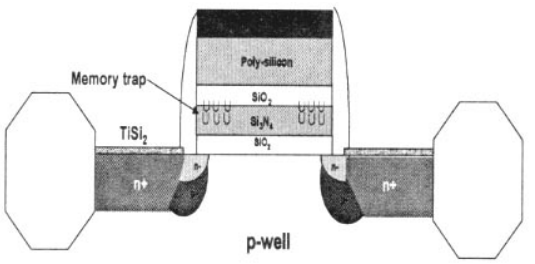


그림 1. n-채널 SONOSFET NVSM 셀의 단면도.
Fig. 1 Cross sectional view of n-channel SONOSFET NVSM cell.

ONO 막의 두께는 분광 엘립소미터(spectroscopic ellipsometer)와 고주파 C-V 방법으로 측정하였으며 터널 산화막은 24 Å, 질화막은 74 Å, 블로킹 산화막은 25 Å이다. 소스와 드레인은 LDD(Light Doped Drain) 구조이고 펀치쓰루 현상을 방지하기 위하여 특히 n-채널 기억소자에 대하여 할로(halo) 이온주입공정을 적용하였다. 제작된 소자의 단면 구조는 그림 1과 같다.

3. 결과 및 고찰

프로그램/소거 반복 후 계면 트랩 생성을 최소화하기 위한 프로그래밍 조건을 조사하기 위해서 표 1에 나타낸 바와 같이 세 가지의 다른 프로그램/소거 방법을 택하고, 각 인가 전압조건에 따른 스위칭 특성을 조사하였으며 그 결과는 그림 2와 같다. MFN 터널링에 의한 프로그램과 소거 모드가 되도록 조건을 설정하였다. 방법 1, 2는 채널전면을 통한 터널링 방법이며 방법 3은 프로그램때는 소스와 드레인 영역근처에서, 소거는 채널 중앙에서만 이루어지도록 제안한 방법이다. 그림 2에서 알 수 있는 바와 같이 어느 경우에도 전기장이 같으면 문턱 전압은 같은 값을 갖는다.

표 1. 프로그램/소거를 위한 세 방법.
Table 1. Three different methods for program/erase.

	V_g	V_s	V_d	V_b	mode
Method 1	9, 10, 11V	0 V	0 V	0 V	program
	-7, -8, -9V	0 V	0 V	0 V	erase
Method 2	3V	-6, -7, -8V	-6, -7, -8V	-6, -7, -8V	program
	-3, -4, -5V	3 V	3 V	3 V	erase
Proposed Method 3	6, 7, 8V	-3 V	-3 V	floating	program
	-4, -5, -6V	floating	floating	3 V	erase

프로그램과 소거를 위한 측정 초기상태의 문턱 전압은 1.2 V와 5 V로 설정하였다. 제안된 방법 3의 각 조건으로 구한 프로그램/소거 특성으로부터 프로그램전압 8 V, 500 ㎲와 소거전압 -5 V, 500 ㎳에서 2.33 V의 메모리 창을 얻었다.

표 2는 세 가지 방법 중에서 프로그램인 경우에 전위차가 11 V, 소거인 경우에 전위차 8 V인 조건들을 비교하여 나타낸 것이다.

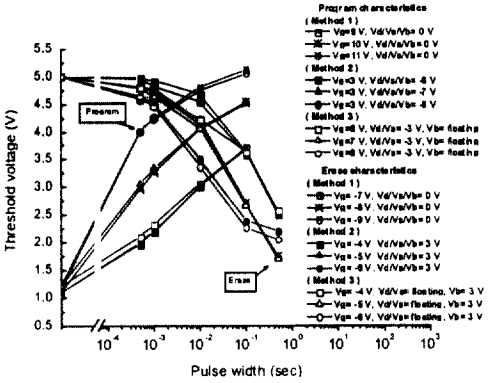


그림 2. W/L=20 ㎛/0.375 ㎛ 인 n-채널 SONOSFET의 프로그래밍 특성.

Fig. 2 Programming characteristics of n-channel SONOSFET NVSM(W/L=20 ㎛/0.375 ㎛).

표 2. 전위차가 프로그램때 11 V, 소거때 8 V 가 되는 세 가지 다른 프로그래밍조건.

Table 2. Three program/erase conditions with the same potential difference of 11 voltage for program and 8 voltage for erase.

	V_g	V_s	V_d	V_b	mode
Condition 1	11 V	0 V	0 V	0 V	program
	-8 V	0 V	0 V	0 V	erase
Condition 2	3 V	-8 V	-8 V	-8 V	program
	-5 V	3 V	3 V	3 V	erase
Proposed Condition 3	8 V	-3 V	-3 V	floating	program
	-5 V	floating	floating	3 V	erase

그림 3은 1×10^5 프로그램/소거를 반복하기 전과 후에, 소거상태에서 측정된 세 가지 프로그래밍 조건에 대한 I_d-V_g 특성곡선을 비교한 것이다. 그림 3에서 알 수 있는 바와 같이 프로그래밍 조건 3인 경우에는 프로그램/소거 반복 전과 후에 프로그램 상태와 소거 상태 모두 드레인 전류의 변화가 없다. 조건 1과 2의 경우 프로그램/소거 반복 후에, 드레인 전류의 변화는 주로 터널 산화막내의 전하 트래핑 때문이며 문턱 전압이 이동하게 되어 읽기 동작 시 오류를 발생할 우려가 있다.

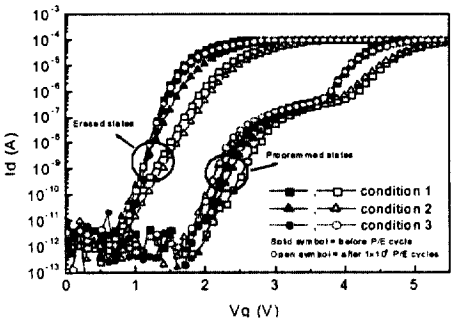
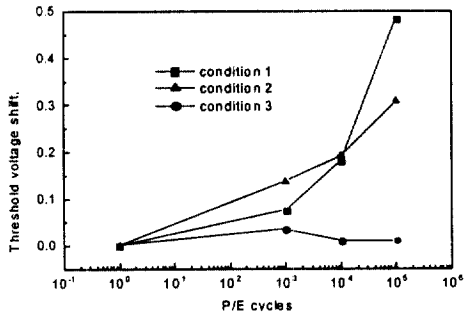


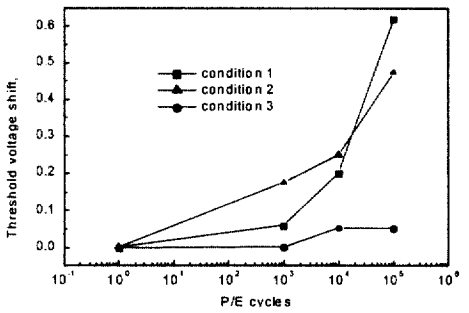
그림 3. 1×10^5 프로그램/소거 반복 전과 후에 소거 상태에서 측정된 세 가지 프로그래밍 조건에 대한 I_d-V_g 특성곡선.

Fig. 3 I_d-V_g characteristic curves of programmed and erased state for three different programming conditions before and after 1×10^5 program/erase cycles.

그림 4는 프로그램/소거 반복에 따른 프로그램 상태와 소거 상태에서 각각 측정된 문턱 전압을 나타내고 있다. 1×10^5 프로그램/소거 반복 후, 소거 상태의 문턱 전압 이동은 프로그래밍 조건 1때는 621.9 ㎷, 조건 2때는 473.1 ㎷, 조건 3때는 51.7 ㎷이다. 프로그램 상태의 문턱 전압 이동은 프로그래밍 조건 1때는 483.6 ㎷, 조건 2때는 308.3 ㎷, 조건 3때는 10.5 ㎷가 된다. 조건 3에 의한 프로그램/소거가 낮은 문턱 전압 이동과 계면 트랩 생성을 최소화시킬 수 있음을 확인하였다.



(a) programmed state



(b) erased state

그림 4. 프로그램/소거 반복에 따른 프로그램 상태 (a) 와 소거 상태(b) 에서 각각 측정된 문턱 전압 이동량.

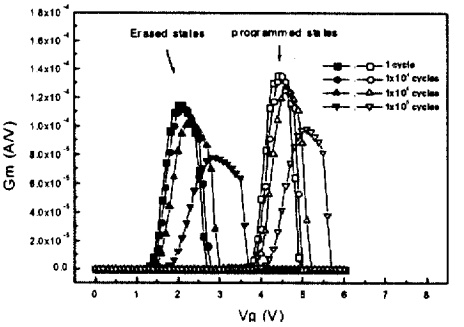
Fig. 4 Threshold voltage shift of programmed state(a) and erased state(b) with program/erase cycles for three different programming conditions.

그림 5는 각각 조건 1, 2, 3에 의해 프로그램/소거 반복 후 트랜스콘덕턴스, G_m의 변화를 측정한 결과이다. 선형 영역에서 G_m은 다음 식으로 정의된다.[9]

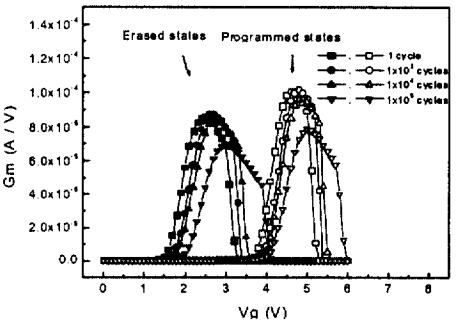
$$G_m = \frac{\partial I_d}{\partial V_g} = \mu_n C_{ox} \frac{W}{L} V_d \quad \text{for } V_d < V_{d,sat} \qquad (1)$$

식 (1)로부터 G_m은 전자의 채널 이동도 μ_n에 비례한다. 그림 5(a)와 5(b)의 경우 G_m의 감소는 터널 산화막 내부와 Si/SiO_2 계면에서의 전하 트래핑으로 인한 캐리어의 채널 이동도가 감소하기 때문이며, G_m 곡선의 이동은 주로 터널 산화막내의 전하 트래핑의 결과로 인한 문턱 전압의 이동과 일치한다. 그러나 그림 5(c)에서 보는 바와 같이, 조건 3에 의한 프로그램/소거 반복 후의 G_m 감소와 이동현상은 현저히 개선되었음을 알 수 있다. 그림 6은 세 가지의 다른 프로그래밍 조건으로 프로그램/소거 반복 후에 소거 상태의 I_d-V_g 특성곡선의 하위 문턱 영역에서 하위 문턱 스윙 계수(subthreshold swing factor), S를 비교한 것이며 프로그램상태의 I_d-V_g 특성곡선도 비슷한 경향을 갖는다. S는 다음과 같이 정의된다.[9]

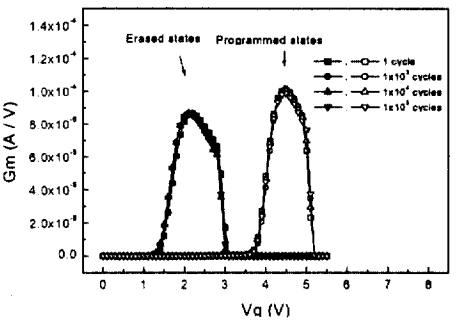
$$S = 2.3\times(kT/q)\times[(1+C_d/C_{ox} + C_{it}/C_{ox})/(1-(C_d/C_{ox})^2] \qquad (2)$$



(a) condition 1



(b) condition 2



(c) condition 3

그림 5. 프로그래밍 조건에 따른 프로그램/소거 반복 후 트랜스 콘덕턴스(G_m)의 비교.

Fig. 5 The comparison of transconductance(G_m) after program/erase cycles by three different programming conditions.

여기서, C_d, C_{ox}, C_{it}, 그리고 C_{fb}는 각각 공핍층, 터널 산화막, 계면 트랩, 그리고 평탄 밴드 캐패시턴스값을 나타낸다. $C_{it}=qD_{it}$,이며 D_{it}는 계면 트랩 밀도이다. 프로그램/소거 반복에 따른 계면 트랩 생성을 고려하면 하위문턱스윙계수 변화, △S는 다음 식과 같이 표현할 수 있다.

$$\triangle S = S(\text{after stress}) - S(\text{before stress})$$
$$= 2.3\times(kT/q)\times[(\triangle C_{it}/C_{ox})/(1-(C_d/C_{fb})^2] \quad (3)$$

여기서, 계면 트랩 변화, $\triangle D_{it}$는 다음과 같은 관계를 갖는다.

$$\triangle D_{it} = C_{ox}\triangle S/2.3kT\times [1-(C_d/C_{fb}^2] \quad (4)$$

하위 문턱 영역의 I_d-V_g 곡선 이동과 그것의 기울기는 프로그램/소거 반복에 따라 열화 되고 이것은 산화막내 전하 트래핑과 Si/SiO_2 계면 전하 트래핑 때문이다.

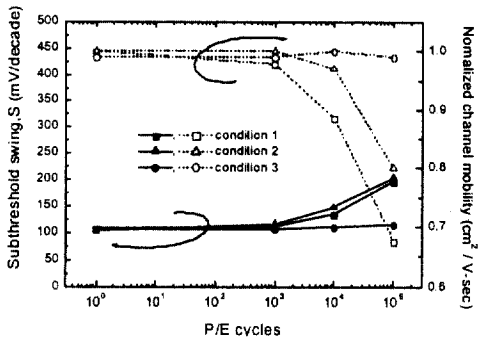


그림 6. 프로그램/소거 반복에 따른 세 가지 프로그래밍 조건에 대한 하위 문턱 스윙과 채널 이동도의 비교.

Fig. 6 The comparison of subthreshold swing and channel mobility with program/erase cycles for three programming conditions.

그림 6으로부터 1×10^5 프로그램/소거 반복 후 △S는 조건 1의 경우 88.7 ㎷/decade, 조건 2는 101 ㎷/decade, 조건 3은 6.3 ㎷/decade로 조건 3에 의한 프로그래밍 조건이 프로그램/소거 반복 후 계면 트랩 생성이 최소화됨을 알 수 있다. 또한 G_m-피이크로부터 계산한 채널 이동도를 비교한 결과 조건 3으로 1×10^5 사이클링한 후에 이동도는 거의 변화가 없었다. 반면, 조건 1과 2의 경우 는 열화 후 계면 트랩이 생성되어 전자의 채널 이동도는 확연히 감소됨을 알 수 있다.

하위 문턱 스윙계수, S 값으로부터 계면 트랩밀도, Dit를 구했으며 프로그램/소거 반복에 대해서 나타낸 결과는 그림7과 같다.

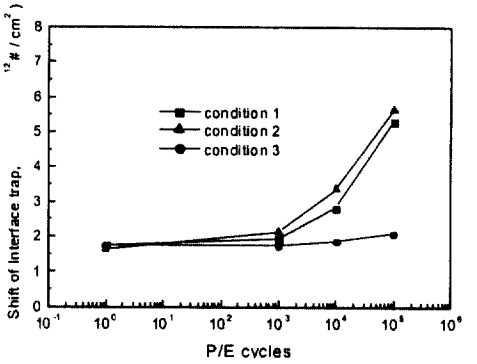


그림 7. 프로그램/소거 반복에 따른 세 가지 프로그래밍 조건에 대한 계면 트랩 밀도(Dit) 비교.

Fig. 7 The comparison of interface trap density (Dit) with program/erase cycles for three programming conditions.

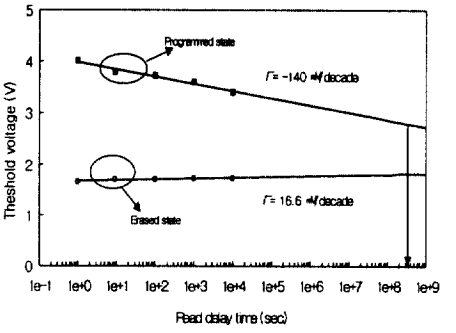


그림 8. 프로그래밍 조건 3에 의한 1×10^5 프로그램/소거 반복 후 기억유지 특성.

Fig. 8 Date retention characteristics after 1×10^5 program/erase cycles for the programming condition 3.

조건 1, 2의 경우 1×10^5 프로그램/소거 반복 후 계면 트랩 변화량, △Dit은 각각 3.55×10^{12} $V^{-1}cm^{-2}$과 4.05×10^{12} $V^{-1}cm^{-2}$이다. 반면 조건 3의 경우 3.46×10^{11} $V^{-1}cm^{-2}$ 으로 계면 트랩 생성율을 감소시킬 수 있음을 확인할 수 있다. 이러한 향상된 열화특성을 갖는 조건 3으로 1×10^5 프로그램/소거 반복 후

기억유지 특성을 조사하였으며 그 결과는 그림 8과 같다. 그림 8에서 보는 바와 같이 프로그램 상태와 소거 상태의 감쇄율은 각각 140 mV/decade, 16.6 mV /decade로 10년 후에도 0.5 V이상의 메모리 창을 유지할 수 있다.

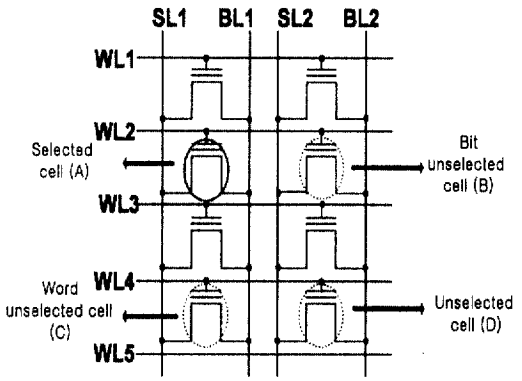


그림 9. SSL-NOR형 메모리 셀 어레이.

Fig. 9 NOR type memory cell array with separated source lines(SSL-NOR).

그림 9는 플래시 메모리 소자 응용시 프로그램에 따른 프로그램 방해특성을 조사하기 위해 사용한 SSL-NOR형 셀 어레이를 나타내고 있다.[10] 프로그램 조건 3으로 셀 A를 프로그램할 경우 비선택 셀 B, C의 프로그램 방해특성을 조사하였으며 그 결과를 그림 10, 11에 나타내었다.

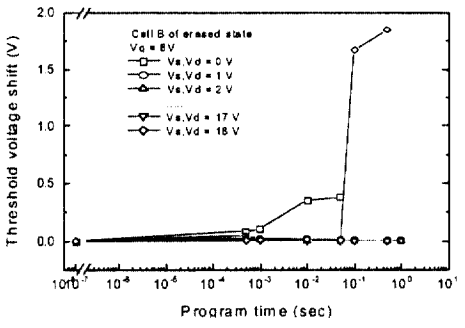


그림 10. V_g=8 V가 인가된 상태에서 소스/드레인 전압에 따른 비선택 셀 B의 문턱 전압 변화.

Fig. 10 The threshold voltage shift of unselected cell B with source/drain voltage for V_g=8 V.

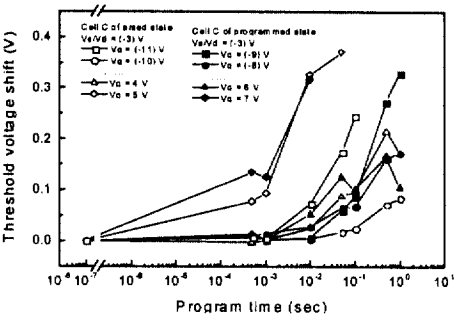


그림 11. V_s=V_d=-3 V가 인가된 상태에서 게이트 전압에 따른 비선택 셀 C의 문턱 전압 변화.

Fig. 11 The threshold voltage shift of unselected cell C with gate voltage for V_s=V_d=-3 V.

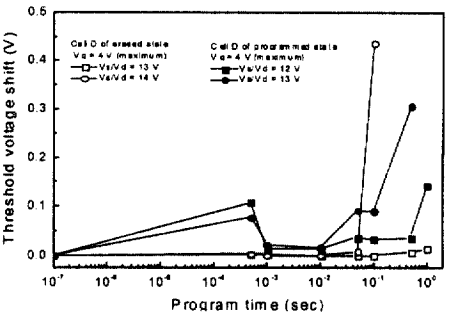


그림 12. V_g=4 V인 경우의 소스/드레인 전압에 따른 비선택 셀 D의 문턱 전압 변화.

Fig. 12 The threshold voltage shift of unselected cell D with source/drain voltage for V_g=4 V.

프로그램으로 인하여 0.2 V이내의 문턱 전압이 이동할 경우 프로그램 금지 조건이 성립된다고 설정할 경우 워드선이 공유된 셀 B의 소스/드레인 금지전압은 1 V~17 V가 가능하고 비트선이 공유된 셀 C의 게이트 금지전압은 -8 V~4 V가 가능함을 알 수 있다. 또한, 워드선과 비트선이 모두 공유되지 않은 셀 D의 경우는 셀 B의 소스/드레인 금지전압과 셀 C의 게이트 금지전압에 의한 프로그램 방해현상이 발생할 우려가 있다. 이를 위해 셀 D의 경우는 게이트의 최고 전압인 4 V를 기준으로 하여 셀 D의 프로그램 금지 조건을 측정하였으며 그 결과는 그림 12와 같

다. 그림에서 보는 바와 같이 게이트 4 V인 경우 소스/드레인 전압이 13 V이상에서는 0.2 V이상의 문턱 전압 이동이 발생함을 알 수 있다. 결국, 비선택 셀 B, C, D의 경우를 종합하면 소스/드레인 금지전압은 1 V~12 V, 게이트 금지전압은 -8 V~4 V가 가능함을 알 수 있다. 또한 저전압과 전위차가 발생하지 않는 범위를 감안하면 최적의 금지 조건은 소스/드레인/게이트 금지전압이 1 V~4 V 범위 내에서 가능하게된다.

4. 결 론

0.35 ㎛ 트윈 웰, 일층 폴리, 일층 금속배선의 CMOS 공정을 사용하여 제작된 n-채널 SONOSFET를 플래시 메모리로 사용할 때 프로그램/소거 반복 후 계면 트랩 생성을 최소화할 수 있는 프로그래밍 조건을 조사하였다. 소스와 드레인 부근에서 프로그램하고, 채널 중앙에서 소거하는 방법을 제안하고 이 방법을 적용하였을 때 프로그램 전압 8 V, 500 ㎲와 소거 전압 -5 V, 500 ㎳에서 2.33 V의 메모리 창을 얻었다. 1×10^5 프로그램/소거를 반복했을 때 채널 전체를 통한 프로그램 방법에 비해서 문턱 전압의 변화가 가장 작았고 트랜스콘덕턴스의 감소와 이동이 현저히 개선되었다. 계면 트랩 생성은 3.46×10^{11} $V^{-1}cm^{-2}$로 최소화시킬 수 있었다.

SONOSFET를 플래시 메모리 소자로 사용하고 제안된 방법으로 프로그램하여 프로그램 방해특성을 조사한 결과 비선택 셀 B와 C의 소스/드레인 전압은 1 V~17 V, 게이트 전압은 -8 V~4 V의 프로그램 금지 조건을 얻을 수 있었고 소스/드레인/게이트 전압이 모두 1 V~4 V이내의 전압으로 최적의 프로그램 금지 조건을 얻을 수 있었다.

참고 문헌

[1] 이상배, 서광열, "EEPROM 기술의 현황과 전망", 전기전자재료학회지, Vol.7, No.2, pp.165-175, 1994.

[2] S. Lai, Advanced LSI & Design Forum 96, Tokyo, 1996.

[3] Yang Yang, Ansha Purwar and Marvin H. White, "Reliability consideration in scaled SONOS nonvolatile memory devices", Solid-State Electronics, Vol.43, No.11, pp.2025-2032, 1999.

[4] 김선주, 김주연, 김병철, 서광열, "NOR 플래시 메모리를 위한 전하트랩형 NVSM 셀의 제작과 특성", 전기전자재료학회지, Vol.12, No.11, pp.999-1006, 1999.

[5] W. D. Brown, R. V. Jones and R. D. Nasby, "The MONOS memory transistor: Application in a radiation-hard nonvolatile RAM", Solid-State Electronics, Vol.28, No.9, pp.877-884, 1985.

[6] William D. Brown and Joe E. Brewer, "Nonvolatile semiconductor memory technology", IEEE PRESS p. 349. 1998.

[7] 서광열, "SONOS EEPROM 소자에 관한 연구", 전기전자재료학회지, Vol.7, No.2, pp.123-129, 1994.

[8] Ichiro Fujiwara, Hiroshi Aozasa, Akihiro Nakamura, Yutaka Hayashi and Toshio Koayashi, "MONOS memory cell scalable to 0.1㎛ and beyond", Non-volatile semiconductor memory workshop 13th-16th, pp.117-118, 2000.

[9] Young-Bog Park and Dieter K. Schroder, "Degradation of Thin Tunnel Gate Oxide Under Constant Fowler-Nordheim Current Stress for a Flash EEPROM", IEEE. Trans. Elect., Vol.84, No.6, pp.1361-1368, 1998.

[10] I. Fujiwara, H. Aozasa, A. Nakamura, Y. Komatsu and Y. Hayashi, "0.13 ㎛ MONOS single transistor memory cell with separated source lines", IEDM 98, pp.995-997, 1998.