

고 에너지 이온 주입된 CMOS 쌍 우물 구조의 레치업 면역성 예측을 위한 TCAD 모의실험 연구

논문
13-2-3

A Study on the TCAD Simulation to Predict the Latchup Immunity of High Energy Ion Implanted CMOS Twin Well Structures

송한정*, 김종민**, 광계달***

(Jongmin Kim*, Han Jung Song**, Kae Dal Kwack***)

Abstract

This study describes how a properly calibrated simulation method could be used to investigate the latchup immunity characteristics among the various high energy ion implanted CMOS twin well (retrograde/BILLI/BL) structures. To obtain the accurate quantitative simulation analysis of retrograde well, a global tuning procedure and a set of grid specifications for simulation accuracy and computational efficiency are carried out. The latchup characteristics of BILLI and BL structures are well predicted by applying a calibrated simulation method for retrograde well. By exploring the potential contours, current flow lines, and electron/hole current densities at the holding condition, we have observed that the holding voltage of BL structure is more sensitive to the well design rule (p+ to well edge space /n+ to well edge space) than to the retrograde well itself.

Key Words(중요용어) : CMOS, Latchup, TCAD, Retrograde well

I. 서 론

최근의 반도체 칩 크기는 층간 절연 막의 평탄화와 다층 배선 기술이 발전하면서, 최소 선 폭으로 결정되는 격리 폭, 게이트 길이, 접촉 단자의 홀 등의 크기 보다는, 상보형 금속 산화 반도체 소자(CMOS : complementary MOS) 내의 이중 소자 간의 격리 간격으로 인한 점유 면적 비율의 상대적인 증가에 의해 영향을 받고 있다. 따라서 CMOS 우물 형성에 있어서 이중 소자간의 격리 간격을 축소 시키면서 편치쓰루나 레치업 등의 특성 열화 없는 새로운 CMOS 우물 기술 개발이 시도되고 있으며, 기존의 확산 방법 대신에 고 에너지 이온 주입 공정을 이용한 우물 형성 기술이 개발되고 있다[1]. 고 에너지 이온 주입을 이용한 대표적인 우물 형태인 역행 우물

공정은 레치업 면역성을 개선시켰으나, 우물 디자인 물이 축소되고 우물 도핑 분포가 변화함에 따라서 이를 예측할 수 있는 해석 방법이 요구되고 있다. 그러나, 레치업 특성 자체에 기인하는 복잡성을 고려해 볼 때, n+/p+ 드레인에서 우물 가장자리까지의 거리와 우물 구조 변화에 따른 바이폴라 기생 특성과 트리거링/홀딩 특성에 관한 정량적이고 물리적 정보를 얻는 것은 쉬운 일이 아니다. 그러므로 레치업 특성에 대한 예측 능력을 향상시켜 더욱 정확한 정량적이고 물리적인 정보를 얻는 것이 중요해지고 있다.

기존의 레치업에 대한 2D 시뮬레이션은 CMOS의 레이아웃 변수[2], BL(buried layer) 또는 CL(connecting layer)의 우물 구조[3], 우물의 에피택셜 층[4~5], trench 격리 구조[6], 그리고 I/O 핀의 형성 구조[7] 등에 따른 레치업 특성을 물리적으로 해석하거나 변수의 의존성을 연구하는 데 대부분의 초점이 주어졌다. 한편 레치업의 예측 가능성을 개선하기 위한 TCAD(technology computer aided design) 툴의 최적화[8]는 band gap narrowing 모델, Shockley-Read-Hall(캐리어 수명 시간), 그리고 Auger 재결합 등의 소자 시뮬레이션

* : 충청대학 전자공학과

** : 현대전자 소자특성 개발팀

*** : 한양대학교 전자공학과

1999년 11월 24일 접수, 2000년 1월 6일 심사완료

과 관련된 모델 및 그 변수들에 한정되어 있다.

본 연구에서는 역행 우물 구조에 대해서 우물 디자인 룰 변화에 따른 기생 바이폴라 이득, 트리거링 및 홀딩 전압 등의 레치업 특성을 정량적으로 구현하기 위하여 공정 및 소자 시뮬레이션과 관련된 모델과 그 변수를 최적화하는 TCAD 시뮬레이션 방법론을 구축하였다. 그리고, 역행 우물 구조에서 최적화된 시뮬레이션 방법과 모델 및 그 변수 값을 이용하여 역행 우물에 매립 층을 적용하여 기판 저항을 낮춘 효과를 갖는 우물 구조인 BILLI(Buried Implanted Layer for Lateral Isolation)와 BL 구조의 레치업 특성을 정량적으로 예측하였다. 또한 우물 디자인 룰(설계규칙) 변화에 따른 홀딩 전압 특성이 우물 구조에 따라서 민감하게 변화하는 정성적인 현상을 시뮬레이션으로 분석하였다. 시뮬레이션은 2차원 공정 시뮬레이터, TSUPREM-4[9]와 2차원 소자 시뮬레이터, MEDICI[10]를 이용하였다.

II. 실험

실험에 사용된 웨이퍼는 비저항이 9~12 Ω-cm 인 p형이며, 소자 격리는 LOCOS 공정을 이용하였다. 역행 우물은, p-우물의 경우에 붕소를 500 keV, $3 \times 10^{13} \text{cm}^{-2}$ 과 180 keV, $4 \times 10^{12} \text{cm}^{-2}$ 으로, n-우물은 인을 800 keV, $3 \times 10^{13} \text{cm}^{-2}$ 과 300 keV, $4 \times 10^{12} \text{cm}^{-2}$ 으로 이온 주입하였다. BILLI 우물은 n-우물 아래쪽 기판 저항을 낮추기 위하여 p-우물 영역에 감광물질로 마스크를 한 후, 붕소를 2 MeV, 1.45 MeV, 그리고

1.1 MeV로 고 에너지 이온 주입을 함으로서 n-우물 영역의 n-우물 층 아래 쪽에 p-우물 층을 형성하고 p-우물 영역 아래쪽은 n-우물 층과 동등한 깊이에 p-우물 층을 형성하는 구조이다. 그리고, BL 우물은 붕소를 1.6 MeV로 마스크 없이 웨이퍼 전면에 이

표 1. 주요한 소자 제작 과정과 공정 특징.

공정 단계	공정 특징
Wafer의 비저항	P형 9~12Ω-cm($1.2 \times 10^{15} \text{cm}^{-3}$)
LOCOS 형성	두께 = 3500 Å
우물 열처리	1000 도 N ₂ 분위기에서 30분
게이트 산화	800 도 두께 = 90 Å
게이트 길이	NMOS : 0.25μm, PMOS : 0.3μm
게이트 재열처리	850 도 20 분 두께 = 68 Å
LDD I/I	NMOS:P 30keV $2 \times 10^{13} \text{cm}^{-2}$, PMOS : BF2 30keV $11 \times 10^{13} \text{cm}^{-2}$
게이트측면산화막	산화막 두께 0.1μm
S/D I/I	NMOS As 30keV $3 \times 10^{15} \text{cm}^{-2}$, PMOS BF2 30keV $1 \times 10^{15} \text{cm}^{-2}$
BPSG 열처리	850 도 30 분

그림 1. 각 우물 구조에 대한 2D 도핑분포 단면도.
Fig. 1. 2D doping profile depicted in the lateral cross section of CMOS for each well structure.

은 주입하여 매립층을 형성하였다. MOSFET 소자의 주요 공정 단계와 조건은 아래의 표 1과 같으며, 제작된 세 종류의 우물 구조에 대한 2D 도평 분포 단면을 그림 1에 나타내었다.

이 때 n-우물 접촉 단자에서 n-우물 내의 p+ 드레인까지의 거리는 10.5 μ m 이고, 소자 폭은 100 μ m 이다. 우물 디자인 룰(설계규칙)에 관련된 주요 변수인 n+/p+ 거리(p+ 드레인에서 n-우물 가장자리까지의 거리/n+ 드레인에서 p-우물 가장자리까지의 거리)는 3.5/4.5 μ m, 2.4/2.4 μ m, 1.8/1.8 μ m, 그리고 1.2/1.2 μ m으로 변화시켜 디자인 룰 감소에 따른 레치업 면역성을 평가할 수 있도록 하였다. 측정은 HP4155로 웨이퍼 상에서 DC를 트리거링 하는 방법을 이용하여, 기생 바이폴라 이득 ($\beta_{npn} = I_c(n\text{-우물}) / I_b(p\text{-우물})$, β_{ppn}) 특성과 p+와 n+ 확산층인 출력단자 전압에서의 undershoot/overshoot에 의한 레치업 트리거링 과 홀딩 특성을 분석하였다.

Undershoot/overshoot에 의한 레치업 특성을 측정할 때, 전류 및 전압 스위치 모두가 가능하며, 전반적으로 동일한 측정 결과를 나타낸다. 그러나 홀딩 점은 pnpn의 낮은 저항성 전류 흐름이 유지되는 최소 전류, 또는 최소 전압의 조건으로 평가될 수 있고 [11], 이러한 두 가지 관점에 따라 홀딩 전류가 민감하게 평가될 수 있다. 일반적으로 레치업 저항성을 평가함에 있어 홀딩 전압(홀딩 전압이 Vc(공급 전압)보다 큰 경우 레치업 면역 조건임)과 트리거링 전류($I_{trig} > 500\mu A/\mu m$ 일때 레치업 면역 조건임)의 특성이 중요한 요소로 평가됨으로 [12], 본 연구에서는 홀딩 점을 평가하는데 있어, voltage sweep의 측정 방법에 의한 최소 전압 조건을 채택했다.

III. 시뮬레이션

레치업 시뮬레이션은 메쉬의 그리드 간격과 둔각의 정도에 매우 민감하므로, 정확하고 안정적인 결과를 얻기 위해서 최적화가 우선적으로 수행 되어야 한다. 둔각은 인접한 두 삼각형의 접한 두 각의 합이 180도를 넘으면 생성된다. 이것은 이웃한 노드를 커풀링하는 매트릭스 계수의 부호를 변화시켜 해를 얻을 수 없게 만든다 [10]. 시뮬레이션의 정확도를 향상시키기 위해서는 시뮬레이션 구조에 할당되는 최대 그리드 수를 요구하고, 컴퓨터 효율 측면에서는 최소의 그리드 수를 요구하는 trade-off 관계가 있다.

그림 2는 고 전계가 인가되는 레치업 시뮬레이션을 효율적으로 수행하기 위해서 주위있게 그리드를 고려해야 할 위치와 고려된 그리드 간격을 나타낸다. 고

전계가 인가되어 전압변화가 크고 애벌랜치 과정이 야기될 뿐만 아니라 트리거링될 때 고 전류 주입이 야기될 수 있는 접합영역의 가장자리와 우물 접합 영역을 고려하였으며, 소오스/드레인과 우물 사이의 접합 영역은 애벌랜치 항복 전압 및 고 전류 주입에 대한 민감도를 분석하기 위하여 50~200A에서, 우물 접합영역은 상대적으로 전계 변화가 크지 않는 영역으로 100~500A에서 시험하였다. 그림 3은 그리드 split조건에 따른 레치업 특성을 split 조건 8 가지의 경우에 대하여 정교화한 값으로 나타낸 것으로, BVDSS, 트리거링 전압 및 전류, 홀딩 전압 및 전류 값, 그리고 컴퓨팅 CPU 시간에 대해서 각각의 그리드 split 에 따른 시뮬레이션 민감도를 분석하였다.

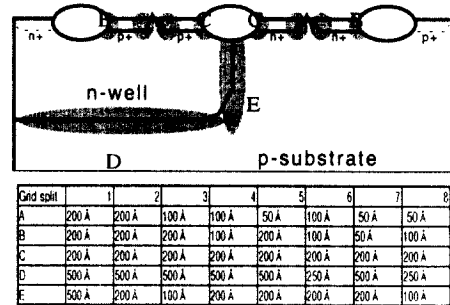


그림 2. 메쉬 그리드 환경 최적화를 위한 latchup 시뮬레이션 구조와 그리드 split.

Fig. 2. Latchup simulation structure of mesh grid optimization and grid split.

사용된 시스템은 IBM의 SP2 machine이며, 그림 3의 (c)와 (d)에서 각 split에 대한 node 수(단위 : K)와 CPU 시간(단위 : 시간(h))을 표현하였다. 여기서 CPU 시간은 여러 구조에 대한 평균적 값을 평가했으며, 트리거링 전압과 전류, 홀딩 전압과 전류의 에러가 5% 이내에서 최적 CPU 시간을 보여주는 그리드 split 2번을 최적 조건으로 평가하였다. 시뮬레이션 분석 결과, 채널 영역, 소오스/드레인 가장자리 영역(A, B, C), 측면 방향의 우물 영역(E)의 측면 그리드 간격은 200A 이 요구되었으며, 우물 깊이 방향의 우물 접합 영역(D)의 수직 그리드 간격은 250~500A 이 요구되었다.

레치업 특성에 대한 측정값과 시뮬레이션이 일치하도록 하기 위해서 주요한 공정 데이터 및 소자 특성을 분석하였다. 먼저 공정 시뮬레이션 측면에서는,

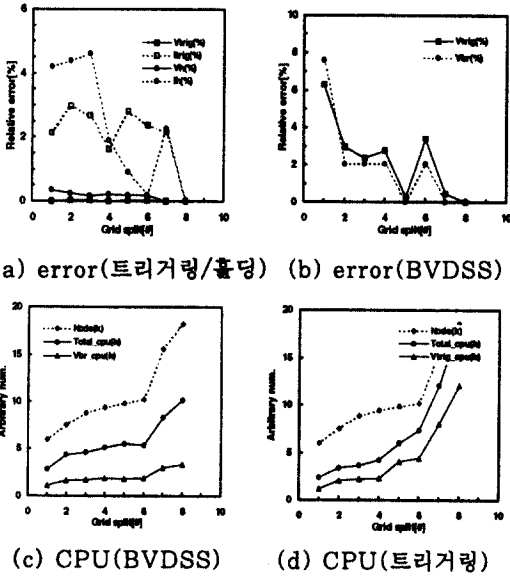


그림 3. 그리드 split별 BVDSS/트리거링/홀딩/CPU 시간 의존성 분석 결과.

Fig. 3. BVDSS/triggering/holding/CPU time simulation results as a function of grid split.

$n+/p+$ 거리가 감소하면서 기생 pnp와 npn의 베이스 폭이 래치업 발생 조건에 중요한 역할을 하므로 정확한 LOCOS 형태의 구현이 요구된다. 따라서, 본 논문에서는 LOCOS 성장에서 stress효과를 고려하기 위하여 viscous 모델을 조율하여 사용하였다. LOCOS 최적화는 SEM에 의해 측정된 oxide encroachment와 birds beak 두께를 oxide viscosity 의존성을 나타내는 활성화량과 oxide와 nitride 각각의 viscosity를 나타내는 변수를 조율하였다[13]. 우물의 도핑 분포는 npn, pnp의 베이스 폭, 베이스 도핑과 우물 저항 특성 등을 결정하므로 고 에너지 이온 주입한 우물의 도핑 분포 이 정확하게 시뮬레이션 되어야 한다. 또한, 소오스/드레인의 활성화 농도가 바이폴라 이득 특성에 영향을 미치므로, 소오스/드레인의 도핑 분포도 정확하게 시뮬레이션 되어야 한다. 우물 및 소오스/드레인 도핑 분포를 정확하게 시뮬레이션 하고 공정변화에 따른 도핑 분포 변화를 예측하기 위하여 고 에너지 이온 주입 momentum table과 OED(Oxidation enhanced diffusion : oxidation 할 때 생성된 interstitial에 의한 enhanced diffusion 효과) 및 TED

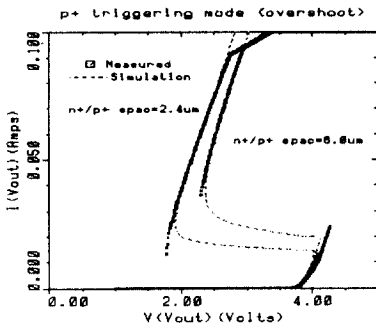
(transient enhanced diffusion : 이온 주입시 생성되는 interstitial에 의한 enhanced diffusion)를 고려할 수 있는 모델 변수들을 조율하여 적용하였다. TED에 의한 소오스/드레인 도핑 분포를 설명하기 위하여 implant 시 생성되는 자유 interstitial의 양을 비정질 영역의 깊이와 주입된 dose량에 대한 배수로 결정하였다. 또한 소오스/드레인 도핑 분포는 활성 농도가 바이폴라의 에미터 농도 역할을 함으로 이를 조율하기 위해 dopant clustering 모델의 dose 의존성 변수 및 transient activation 모델의 activation rate변수를 같이 조율하여 적용하였다.

소자 시뮬레이션 측면에서는, 농도 의존 이동도, 전계 의존 이동도, 소수 캐리어 이동도, 캐리어-캐리어 산란, Shockley-Read-Hall(캐리어 수명 시간)과 Auger 재결합, bandgap narrowing 효과 등에 관한 물리적 모델을 고려하였다. 고 농도 도핑에 기인한 에너지 간극 줄어듦 효과는 도핑 농도가 진성 캐리어 농도에 영향을 미치도록 모델링되어 있다. 이러한 요소는 에미터의 역할을 하는 NMOS와 PMOS의 소오스/드레인 도핑 분포 및 소수 캐리어 이동도 그리고 에너지 간극과 상호 관련이 있다[14]. 소오스/드레인 도핑 분포가 공정 시뮬레이션에서 먼저 조율되므로 홀딩과 트리거링 특성 및 바이폴라 이득 특성에 큰 영향을 미치는 BGN 모델 변수 $V0.BGN$ 및 $N0.BGN$ 과 소수 캐리어 수명 시간을 중요한 조율 변수로 고려하였다.

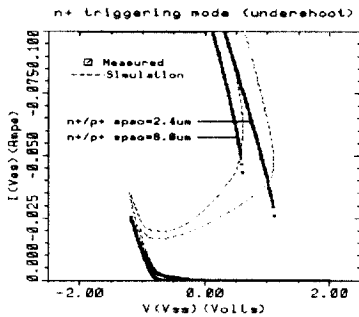
IV. 결과 및 분석

그림 4는 역행 우물 구조에서 $n+/p+$ 거리가 $8\mu m$ 와 $2.4\mu m$ 인 경우, $p+$ 와 $n+$ 트리거링 모드에서 측정된 래치업 특성에 대해서 측정치와 시뮬레이션 결과를 비교한 것이다.

$p+$ 트리거링 모드의 측정치를 살펴보면 $p+$ 소오스/드레인과 $n-$ 우물의 접합 다이오드가 turn on되었지만 $n+$ 소오스/드레인과 $p-$ 우물의 접합 다이오드가 turn on되지 않아 pnpn의 낮은 저항성 전류 흐름이 형성되기 직전의 트리거링 점이 $4\sim 4.23V$ 근처에서 관측되었다. 또한, 트리거링 후 pnpn의 낮은 저항성 전류 흐름을 형성하는 I-V 특성은 $2\sim 3V$ 사이에서 관측되었다. 낮은 저항성 전류 흐름이 유지되는 최소 전압이 홀딩 전압이 된다. 그림 5는 $n+/p+$ 거리가 $8\mu m$ 인 경우, 컬렉터 전류에 대한 기생 바이폴라 이득(β_{nnp} , β_{pnp}) 특성에 대한 측정값과 시뮬레이션 결과를 비교한 것이다. 그림 5에서 낮은 컬렉터 전류 영역의 peak 변화는 누설 전류가 지배하는 영역에서 측정의 오차에 의한 것으로 래치업의



(a) p+ triggering mode



(b) n+ triggering mode

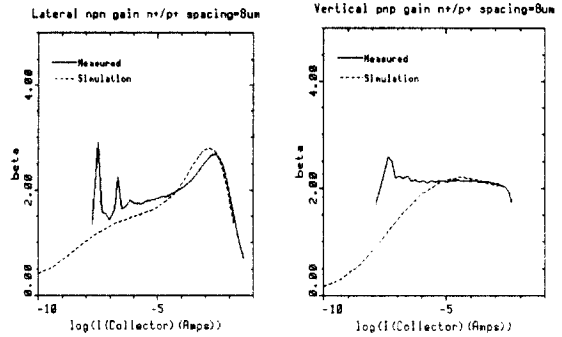
그림 4. 역행 우물의 레치업 특성에 관한 측정값과 시뮬레이션 결과 비교.

Fig. 4. Comparison between measured and simulated latchup I-V characteristics of retrograde well structure.

트리거링 및 홀딩 특성, 그리고 BJT 이득 특성을 분석하는 고 전류 주입 영역에서는 무시될 수 있다. 최적화된 TCAD 시뮬레이션 결과가 측정 결과를 잘 구현하고 있음을 알 수 있다.

그림 6은 우물 구조에 따른 레치업 특성의 예측 가능성을 분석하기 위해서, 역행과 BILLI 및 BL 우물 구조에 대한 n-우물(그림 6의 (a))과 p-우물(그림 6의 (b)) 영역의 우물의 도핑 분포를 비교한 것이다. N-우물의 경우 제작에 사용된 wafer의 바탕 도핑이 p형 비저항 9~12Ω·cm(약 1.2×10¹⁵cm⁻³)으로 역행 우물의 경우 깊이 2μm 정도에서 n-p 접합이 형성되고 아래 쪽은 균일한 도핑을 가졌다.

BILLI 구조는 n-우물 아래 쪽에 1~8×10¹⁷/cm³ 영역의 p형 불순물 층이 주입되어 형성되었고, BL은

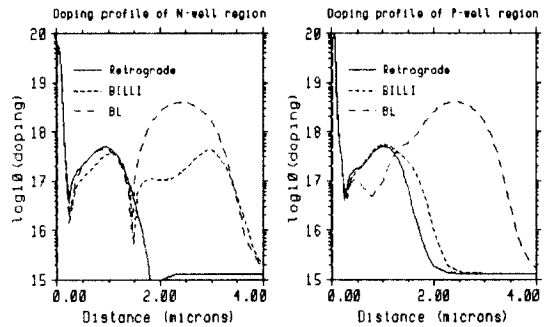


(a) β_{nnpn}

(b) β_{pnp}

그림 5. 역행 우물의 기생 바이폴라 이득 특성에 관한 측정값과 시뮬레이션 결과 비교.

Fig. 5. Comparison between measured and simulated β_{nnpn}, β_{pnp} vs. I(collector) of retrograde well structure.



(a) n-우물

(b) p-우물

그림 6. 우물 구조에 따른 n-우물, p-우물 영역의 도핑 분포 비교.

Fig. 6. Comparison retrograde, BILLI, and BL well profile.

n-우물 뿐만 아니라 p-우물 아래쪽의 전영역에 걸쳐 고 농도로 p형 불순물이 주입되어 형성되었음을 볼 수 있다. 그림 7은 역행 우물 구조에 대해서 최적화된 시뮬레이션 모델을 BILLI와 BL 우물 구조에 대해서 우물 디자인 룰에 따른 기생 바이폴라 이득, n+/p+ injected 트리거링 / 홀딩 전압을 측정치와 시뮬레이션 결과를 비교한 것이다.

Lateral npn 이득 특성을 지배한 요소는, 모든 에미터가 동일한 조건이므로 베이스의 폭과 저항이 되

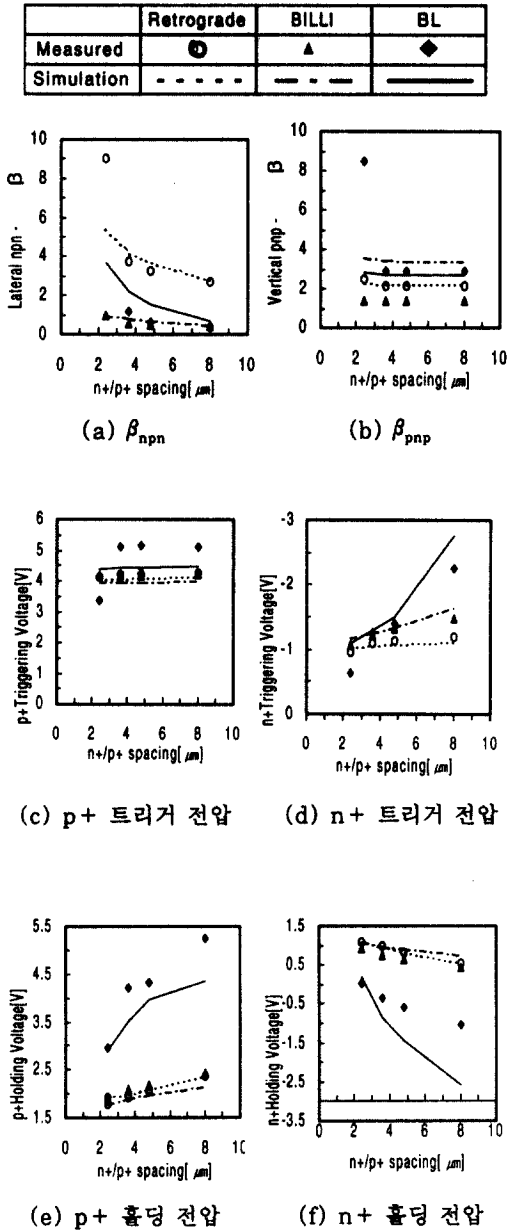


그림 7. 우물 구조별 기생 바이폴라 이득과 레치업 특성의 모의실험 결과와 측정치 비교.
 Fig. 7. The comparison of measured and simulated β_{pnp} , β_{npn} , p+ and n+ injected triggering and holding voltage.

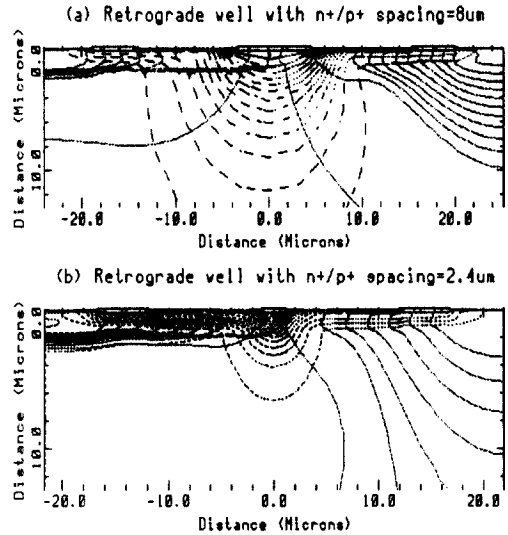


그림 8. 역행 우물 구조의 홀딩 점에서 potential 분포와 전류 flow line 비교.
 Fig. 8. Potential contours (continuous lines) and current flow lines (dashed lines) at holding point for retrograde well.

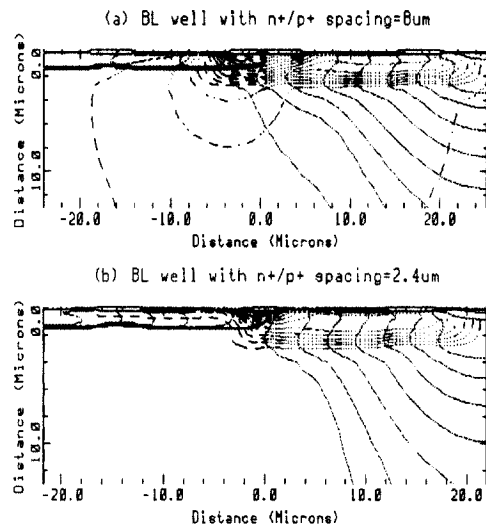
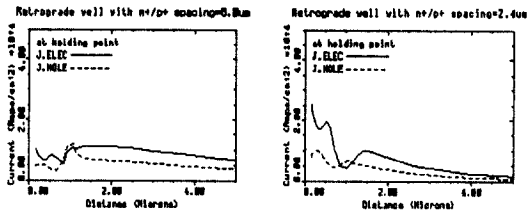


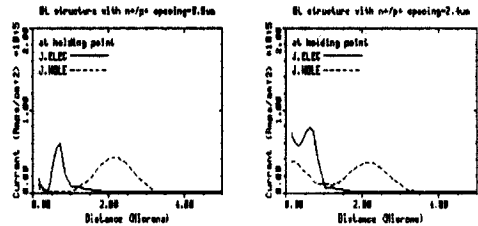
그림 9. BL 우물 구조의 홀딩 점에서 포텐셜 분포와 전류 flow line 비교.
 Fig. 9. Potential contours (continuous lines) and current flow lines (dashed lines) at holding point for BL well.



(a) n+/p+ 거리 8 μ m (b) n+/p+ 거리 2.4 μ m

그림 10. 역행 우물 구조의 홀딩 점에서 전자/정공 전류 밀도 비교.

Fig. 10. Electron and hole current density at holding point for retrograde well.



(a) n+/p+ 거리 8 μ m (b) n+/p+ 거리 2.4 μ m

그림 11. BL 우물 구조의 홀딩 점에서 전자/정공 전류밀도 비교.

Fig. 11. Electron and hole current density at holding point for BL well.

며 역행 우물에 비해 BILLI와 BL의 경우 p-우물에 부가적 p형 층이 베이스 저항을 낮추어 낮은 이득 특성을 보여준다. 역행 우물이 높은 이득을 갖고 낮은 우물 저항 특성(아래 단락에서 그림 8과 9, 10과 11으로 부터 분석된 결과)을 가지므로 BILLI나 BL보다 낮은 트리거링 및 홀딩 전류와 전압을 갖는 것으로 분석되었다. 그림 7로부터 역행 우물 구조에서 최적화된 시뮬레이션 모델이 다른 우물 구조의 래치업 특성을 잘 예측하는데 활용할 수 있음을 알 수 있다. 그림 8과 9는 래치업 특성에 있어서 두드러진 차이를 보여 주는 BL과 역행 우물에 대하여 홀딩 점에서의 전류 흐름과 전압 분포를 각각 비교한 것이고, 그림 10과 11은 n-우물과 p-우물의 접합 영역에서 깊이 방향으로 전자 및 정공의 전류 밀도를 분석한 결과이다.

역행 우물의 경우, n+/p+ 거리가 8 μ m 일 때, 대부분의 전류는 기관의 깊은 영역에 넓게 퍼져 흐르고, n+/p+ 거리가 2.4 μ m 일 때는 field isolation 영역 아래의 표면 근처로 대부분의 전류가 흐름을 보여 준다.

이는 2.4 μ m일 때, 전체적인 전류 이동경로가 짧은 대신, 그 폭이 좁으므로 확산저항(spreading resistance)은 증가하는 반면, 8 μ m의 경우는 전류 이동경로가 길어져 저항이 증가하나, 전류 이동경로의 폭이 넓으므로 확산 저항이 감소한다. 이러한 상반된 두 효과에 의하여 역행 우물의 경우, n+/p+ 거리에 따른 홀딩 전압의 변화는 작다. 그러나 BL 우물 구조는 n+/p+ 거리가 감소할수록 전류가 표면 아래로 집중되는 현상을 보이지만, 전자는 BL에 갇혀 표면 근처에 집중되고, 정공에 의한 전류는 BL 매립 층에 집중되어 전류 이동경로의 폭은 n+/p+ 거리의 변화에 큰 영향을 받지 않으므로 n+/p+에 의한 확산 저항의 효과가 홀딩 전압에 큰 영향을 미친다. 그러

므로 BL 구조의 래치업 특성이 n+/p+ 거리의 변화에 민감함을 알 수 있다.

V. 결 론

본 논문에서는 고 에너지 이온 주입된 역행 우물의 래치업 면역성을 시뮬레이션 하기 위해서 최적화된 TCAD 시뮬레이션 방법론을 제시하였으며, 이것을 BILLI와 BL 우물 구조에 적용하였을 때, 우물 디자인 룰 감소에 따른 래치업 특성을 잘 예측할 수 있는 결과를 얻었다. 최적화된 TCAD 시뮬레이션 방법론은 그리드 특성의 최적화, LOCOS 재현을 위한 산화 모델의 최적화, 불순물의 확산 특성을 예측하기 위한 이온 주입 momentum, 이온 주입에 의한 TED 및 확산 모델의 최적화, 그리고 이득 및 고농도 전류 주입 특성을 해석하기 위한 소자 모델의 최적화로 구성되었다. 또한, 래치업 특성에 있어서 두드러진 차이를 보여 주는 BL과 역행 우물에 대하여 홀딩 점에서의 전류 흐름과 전압 분포, 전자/정공 전류 밀도를 분석함으로써 확산 저항이 역행 우물과 BL 구조의 n+/p+ spacing에 따른 래치업 특성에 중요한 요소임을 물리적으로 해석하였다. 이러한 래치업 모의실험 기술은 래치업 면역성에 대한 공정/소자 window 설정 및 최적화에 이용할 수 있으리라 판단된다.

참 고 문 헌

- [1] J. K. Kim et. al., Latchup characterization of high energy ion implanted new CMOS twin well that comprised the BILLI(Buried Implanted Layer for Lateral Isolation) and

- BL/CL(Buried Layer/Connecting Layer) structures, in *Proc. IRPS*, p. 346, 1997.
- [2] Ramesh Lohia and Akhtar Ali, Parametric fomulation of CMOS latch-up as a function of chip layout parameters, *IEEE Journal of Solid-State Circuits*, Vol. 23, No. 1, p. 245, February 1988.
- [3] W. Morris et al., Buried layer/Connecting layer high energy implantation for improved CMOS latch-up, *SEMICON/Korea 96*, pp. 169~174, 1996.
- [4] D. Takacs et al., Surface induced latch-up in VLSI CMOS circuits, *IEMD tech. Digest*, p. 458, Dec. 1982.
- [5] J. P. Dubuc et al., Technological parameter and experimental set-up influences on latch-up triggering level in bulk CMOS devices, *IEEE Trans. Electron Devices*, Vol. 41, No. 5, p. 425, May, 1994.
- [6] S. Bhattacharya et al., The impact of trench isolation on latch-up immunity in bulk nonepitaxial CMOS, *IEEE Electron Device Letters*, Vol. 12, No. 2, p. 77, Feb. 1991.
- [7] Katsumi Tsuneno et al., TCAD Diagnosis of I/O-pin latchup in scaled-DRAM, *SIS-DAP*, Vol. 7, pp. 153~154, 1996.
- [8] Armin W. Wieder et al., Design model for bulk CMOS scaling enabling accurate latchup prediction, *IEEE Trans. Electron Devices*, Vol. 30, No. 3, p. 240, March 1983.
- [9] TSUREM-4 ver. 6. 4, 2D process simulator, *Technology Modeling Associates, Inc.*, 1996.
- [10] MEDICI ver. 4. 1, 2D device simulator, *Technology Modeling Associates, Inc.*, 1996.
- [11] Ronald R. Troutman, Latchup in CMOS Technology, *KLUWER ACADEMIC PUBLISHERS*, p. 151, 1986.
- [12] Ajith Amerasekera, S. Tamizh Selvam and Richard A. Chapman, Designing latchup robustness in a 0.35 μ m technology, *IEEE/IRPS*, p. 280, 1994.
- [13] Vincent Senez et al., Two-dimensional simulation of local oxidation of silicon : Calibrated viscoelastic flow analysis, *IEEE Trans. Electron Devices*, Vol. 43, No. 5, May, 1996.
- [14] D. B. M. Klaassen, J. W. Slotboom and H. C. De Graaff, Unified apparent bandgap narrowing in n- and p- type silicon, *Solid-State Electronics*, Vol. 35, No. 2, p. 125, 1992.