

## PMD(Pre-Metal Dielectric) 선형 질화막 공정의 최적화에 대한 연구

### Optimization of PMD(Pre-Metal Dielectric) Linear Nitride Process

정소영\*, 김상용\*\*, 서용진\*

(So-Young Jeong\*, Sang-Yong Kim\*\*, Yong-Jin Seo\*)

#### Abstract

In this work, we studied the characteristics of nitride films for the optimization of PMD(pre-metal dielectric) linear nitride process, which can be applied to the recent semiconductor manufacturing process. We split the deposit condition of nitride films into four parts such as PO(protect overcoat) nitride, baseline, low hydrogen and high stress and low hydrogen, respectively. We tried to find out correlation between BPSG deposition and densification. In order to analyze the changes of Si-H and Si-NH-Si bonding density, we used FTIR area method. We also investigated the crack generation on wafer edge after BPSG densification, and the changes of nitride film stress as a function of RF power variation to judge whether the deposited films.

**Key Words** : PMD(pre-metal dielectric), PO(protect coating) nitride, BPSG(boro-phospho silicate glass), densification, Si-H bonding, Si-NH-Si bonding, FTIR(fourier transform infra-red)

#### 1. 서론

반도체 소자의 고집적화 및 고속화에 따라 배선 패턴(pattern)이 미세화되고 다층(multi-level)의 금속 배선(inter-connection) 공정이 요구됨에 따라 배선 층간의 단차(step height)가 심화되어 후속공정을 위한 광역 평탄화(global planarization) 공정이 크게 부각되고 있다[1, 2]. 최근 0.35  $\mu\text{m}$  공정 기술을 위한 PMD (pre-metal dielectric) 층의 광

역 평탄화를 위해 CMP (chemical mechanical polishing) 공정이 도입되었다[3]. 그러나 CMP 공정에 기인하여 생성되는 수분(water related species)이 하층막으로 침투하여 하부 트랜지스터의 유전상수를 증가시키고, 핫 캐리어(hot carrier)에 의한 소자 특성의 열화(degradation) 등의 문제점[2]이 있어 이를 방지하기 위하여 PMD 구조 및 PMD 각 층의 물질을 적절히 선택하는 것이 중요하게 되었다[3, 4]. 종래의 64M DRAM급 공정에서 사용된 PMD TEOS(tetra-ethyl-ortho-silicate) 막은 BPSG(boro-phospho-silicate glass)막과 다결정 실리콘(poly Si) 게이트 사이에 형성되어 보론(boron)의 투과를 방지할 목적으로 사용되어 왔으나, 256M DRAM 이상 공정에서는 보다 더 조밀화된 설계로 인해 식각정지층(etch stop layer)이 필요하게 되어 PE(plasma enhanced)-nitride 막을 PMD 선형(linear) 공정에 적용하게 되었다. 그러나

\* : 대불대학교 전기공학과  
(전남 영암군 삼호면 산호리 대불대학교,  
Fax : 061-469-1265,  
E-mail : syj@mail.daebul.ac.kr)

\*\* : 아남반도체 FAB 사업부  
2001년 5월 31일 접수, 2001년 6월 29일 1차심사완료  
2001년 7월 23일 2차심사완료, 2001년 7월 30일 3차  
심사완료

이미 알려진 바와 같이 PE-TEOS막과 PE-nitride 막은 전기적 특성[3], 스트레스(stress) 및 접착 특성(adhesion), 보론의 투과방지(B blocking) 등 여러 가지 특성에서 상당한 차이를 보이기 때문에 증착된 nitride 박막의 특성을 분석하여 최적의 조건을 찾아내는 것이 매우 중요하게 되었다. 따라서 본 연구에서는 256M DRAM급 이상의 소자에 적용 가능한 PE-nitride 막의 최적 공정 조건을 찾기 위해 4가지 조건으로 PE-nitride막을 증착시킨 후, FTIR(Fourier transform infrared spectroscopy) 면적 분석법을 이용하여 nitride 박막의 특성을 결정하는 중요한 요소인 Si-H 결합과 Si-NH-Si 결합의 농도를 비교 분석하였다. 다음으로 후속공정인 BPSG 증착 및 densification 후의 막 특성 분석을 통해 그 의존성도 비교 고찰하였다. 또한 증착된 막들의 안정성 여부를 판단하기 위하여 웨이퍼 가장자리에서 발생 가능한 균열(crack)을 조사하였다. 마지막으로 RF(radio frequency) 파워(power) 변동에 따른 nitride 막의 스트레스 변화, 질소가스 유속과 압력 변화에 따른 비균일도 및 스트레스를 측정하여 공정 윈도우를 테스트하였다.

2. 실험

표 1은 본 실험에 적용된 4개의 PE-nitride 막의 각 공정별 조건 및 막의 기본 특성을 나타낸 것이다. 표 1에 나타낸 바와 같이 첫 번째와 두 번째의 PO(protect overcoat) nitride 막과 베이스라인(baseline) 공정은 종래에 사용되었던 기본공정이며, 세 번째의 low H<sub>2</sub> 공정은 본 연구에서 제안하는 공정으로 두 번째의 베이스라인 공정보다 낮은 수소 농도와 낮은 스트레스를 갖는 조건이다. 네 번째 공정은 세 번째의 low H<sub>2</sub> 공정에서 제시한 새로운 공정변수의 미세한 변동으로 인한 막의 스트레스 변화가 공정에 미칠 수 있는 영향을 예측하기 위해 RF 파워의 LF/HF 비율 변화시킨 공정이다. 그림 1은 본 실험의 막 특성 분석을 위한 개략적인 공정 흐름도로 표 1에서 제시한 4개의 공정 조건별로 PE-nitride 막을 각각 증착시킨 후 바로 nitride 박막의 특성에 중요한 인자인 Si-H와 Si-NH-Si 결합의 농도를 FTIR을 이용하여 측정하였다. 그리고 나서 후속공정인 BPSG 막 증착 및 densification 후의 농도 변화를 비교하여 그 의존성을 고찰하였다. 마지막으로 BPSG 증착 및 densification 후에 웨이퍼 가장자리에서 발생할 수 있는 균열의 정도를 검사하였고, N<sub>2</sub> 가스의 유속과

압력의 변화에 따른 스트레스 및 비균일도를 측정하여 공정 윈도우를 테스트하였다.

표 1. 공정 조건 및 막 특성.

Table 1. Process conditions and film characteristics.

	1) PO Nitride	2) Baseline	3) Low H <sub>2</sub>	4) Low H <sub>2</sub> , High stress
SiH <sub>4</sub>	690 sccm	370 sccm	110 sccm	110 sccm
NH <sub>3</sub>	3900 sccm	2800 sccm	3750 sccm	3750 sccm
N <sub>2</sub>	1300 sccm	3000 sccm	3750 sccm	3750 sccm
HF RF	600 W	500 W	440 W	410 W
LF RF	400 W	170 W	110 W	140 W
Pressure	2.3 Torr	1.7 Torr	1.8 Torr	1.8 Torr
Temp.	400 °C	400 °C	400 °C	400 °C
Thickness	4000 Å	4000 Å	4000 Å	4000 Å
Stress	-200 Mpa	-230 Mpa	-10 Mpa	-365 Mpa
R.I.	2.10	2.00	1.88	1.88

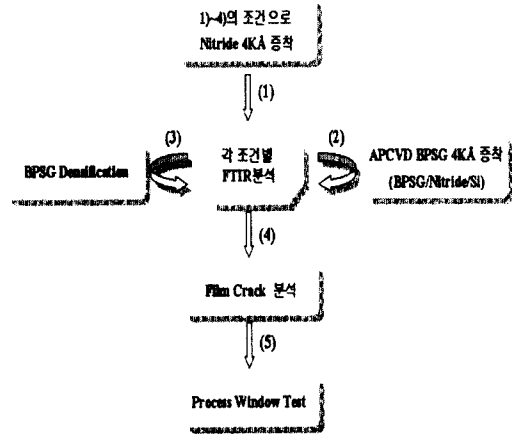


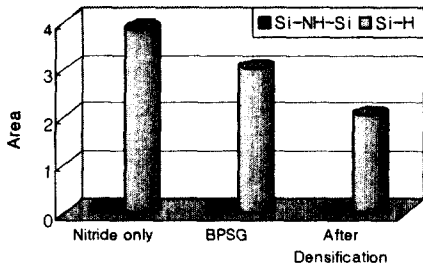
그림 1. PMD 선형 질화막의 특성 분석을 위한 공정 흐름도.

Fig. 1. Process flowchart for analysis of PMD linear nitride film.

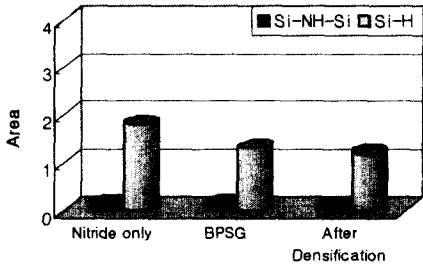
3. 실험결과 및 고찰

3.1 Si-H와 Si-NH-Si 결합 농도

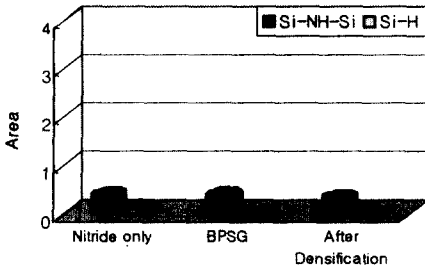
표 1에 보인 각 공정 조건별 FTIR 데이터를 면적(area)법을 이용하여 분석한 결과를 그림 2의 (a), (b), (c), (d)에 각각 나타내었다. 여기서 Si-H



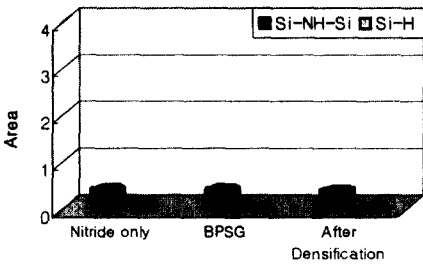
(a) PO Nitride



(b) Baseline



(c) Low H<sub>2</sub>



(d) Low H<sub>2</sub>, High stress

그림 2. PMD 선형 질화막의 각 조건별 FTIR 면적 분석 결과.

Fig. 2. FTIR area analysis of PMD linear nitride film.

결합은  $3320 \sim 3400 \text{ cm}^{-1}$ , Si-NH-Si 결합은  $2029 \sim 2280 \text{ cm}^{-1}$ 의 파장 영역 내에서 그래프가 피크 (peak)가 되면 Si-H와 Si-NH-Si가 결합된 것으로 정의하고 면적을 분석하였다.

각 공정 조건에 따른 nitride 박막의 특성이 커다란 차이를 보였으며 Si-NH-Si 결합의 농도는 (c) low H<sub>2</sub> ≥ (d) low H<sub>2</sub>, high Stress > (b) baseline ≥ (a) PO-nitride 막의 순서로, Si-H 결합의 농도는 (a) PO-nitride >> (b) baseline >> (d) low H<sub>2</sub>, high stress ≥ (c) low H<sub>2</sub>의 순서로 나타났는데 이는 표 1에 보인 공정 조건상의 SiH<sub>4</sub>/NH<sub>3</sub>의 비에 기인한 것이다. H와의 결합 농도는 low H<sub>2</sub> 공정 조건을 적용하였을 때가 가장 낮은 것으로 보아 보론의 투과현상 감소에 상당한 효과가 있을 것으로 생각된다. 이는 최근에 보고된 결과[3, 4]와 상당히 일치하는 것으로 PMOSFET에서 보론의 투과를 감소시킬 수 있음을 의미하는 것이다. 그리고 4개의 nitride 박막 모두 BPSG 증착, BPSG densification 후의 결합 농도는 모두 감소하였는데, Si-NH-Si 결합보다는 Si-H 결합에서 더 현저하게 감소함을 알 수 있다. 그림 3은 BPSG densification 전과 후의 결합농도의 변화를 고찰하기 위해 각 결합별 FTIR 면적의 변화분을 나타낸 것이다. BPSG densification 후에 소모된 H 결합의 농도 및 남아있는 H 결합 농도도 (a) PO-nitride >> (b) baseline >> (d) low H<sub>2</sub>, high stress ≥ (c) low H<sub>2</sub>의 순서로 나타났으며, 생성된 H<sub>2</sub> 들은 다결정 실리콘 층으로 확산되거나 BPSG 막내의 입자들과 다른 결합을 이루었을 것으로 추정된다.

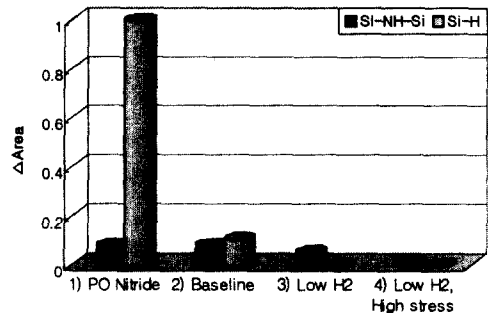
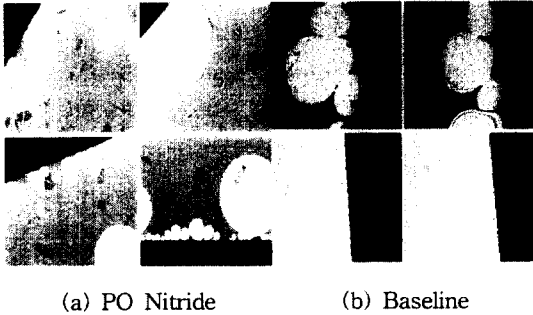


그림 3. BPSG densification 전, 후의 각 결합별 FTIR 면적의 변화분.

Fig. 3. Change amount of FTIR area before and after BPSG densification.

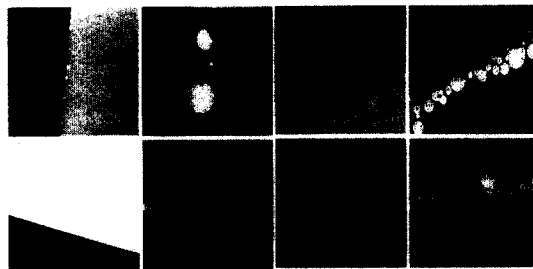
### 3.2 균열 검사 및 공정 윈도우 테스트

본 실험에서 특이할 만한 사실은 증착된 nitride 막에서 BPSG 증착 및 densification을 진행한 후, 웨이퍼 가장자리에서 박막의 균열을 발견할 수 있었다는 것이다. 이에 대한 원인으로서는 개별 공정 조건에서  $\text{SiH}_4/\text{NH}_3$  비 등 박막의 화학적 조성에 관련된 요소들뿐만 아니라 막의 스트레스 역시 중요한 요소임을 예측할 수 있다[5].



(a) PO Nitride

(b) Baseline



(c) Low H<sub>2</sub>

(d) Low H<sub>2</sub>, High stress

그림 4. BPSG densification 후 웨이퍼 가장자리에서의 균열 발생.

Fig. 4. Crack generation of wafer edge after BPSG densification.

그림 4는 각 공정 조건별로 BPSG 증착 및 densification 후 웨이퍼 가장자리의 균열의 발생 정도를 나타낸 사진으로 (a), (b), (d), (c)의 순서로 균열 발생이 감소하였다. 수소농도와 스트레스가 비교적 낮은 (c) low H<sub>2</sub>의 경우가 막의 손상 정도가 가장 작게 나타났으며, 동일한 low H<sub>2</sub> 농도에서는 스트레스가 더 높은 (d)의 경우가 (c)보다 균열 정도가 더 심함을 알 수 있다. 이에 대한 원인으로서는 첫째, Si-H 농도가 감소하면서 소모되는 H<sub>2</sub>가 막 접착 특성에 영향을 미쳤을 가능성과 들

째, nitride 막이 PE-TEOS 박막보다 Si과의 접착력이 상대적으로 떨어지므로 BPSG densification 동안 급격한 스트레스의 변화(+120 Mpa ~ -50 Mpa)로 막의 균열이 발생할 것으로 보인다[3]. 따라서 nitride 막의 경우 compressive 보다는 tensile 스트레스 경향을 가져야만 BPSG 막의 스트레스 변화에 따른 보상 효과로 막의 균열이 더 적어질 것으로 생각된다. 물론 집적회로 제조 공정 시 PMD 선형 질화막의 실제 적용 두께는 300 Å 이므로 본 실험에서의 4000 Å과는 상당한 차이가 있지만 이러한 접착특성 문제에 의한 생산성의 문제가 발생할 확률에 대해서는 완전히 배제할 수 없을 것으로 예측되어진다[6]. 그림 5는 이상의 예측을 확인하기 위해 RF 파워의 LF/HF 비를 60/490 [W] ~ 140/410 [W]까지 변화를 주면서 측정된 스트레스[Mpa]의 변화를 나타낸 것이다. 여기서 중요한 점은 앞에서 예측했던 것과 같이 미세한 RF 변화에 대한 스트레스의 변동폭이 상당히 크다는 점이며 이는 공정 관리상의 어려움을 의미하는 것이다.

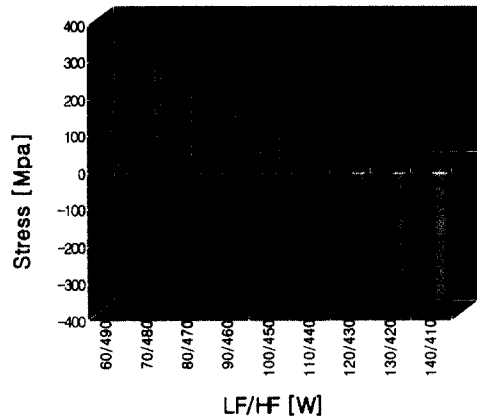


그림 5. LF/HF RF 파워 변화에 따른 Low H<sub>2</sub> 질화막의 스트레스 변화.

Fig. 5. Stress change of low H<sub>2</sub> nitride film as a function of LF/HF RF power.

그림 6은 low H<sub>2</sub> 조건에서 N<sub>2</sub> 가스의 유속 및 압력에 따른 (a) 스트레스의 변화 및 (b) 비균일도를 나타낸 것으로 Response Surface 방식에 의하여 산출한 공정 윈도우이다. N<sub>2</sub>가스의 유속과 압력의 변화에 따라 질화막의 스트레스와 두께의 비균일도가 상당한 변화를 보이므로 적합한 공정 윈도우

4. 결론

PMD 선형 질화막 공정의 최적화를 위해 256M DRAM 이상의 반도체 소자에 적용 가능한 PE-nitride 막을 4가지 공정조건을 적용하여 증착하였고, 특성을 비교 고찰하였다. 후속 공정인 BPSG 증착 및 densification과의 의존성을 파악하기 위해 Si-H 결합과 Si-NH-Si 결합의 농도 변화를 분석하여 얻은 결과는 다음과 같다.

- 1) Si-NH-Si 결합의 농도는 low H<sub>2</sub> ≥ low H<sub>2</sub>, high Stress > baseline ≥ PO-nitride 막의 순서로, Si-H 결합의 농도는 PO nitride >> baseline >> low H<sub>2</sub>, high stress ≥ low H<sub>2</sub>의 순서로 나타났다. 이는 공정 조건상의 SiH<sub>4</sub>/NH<sub>3</sub>의 비에 기인한 것으로 low H<sub>2</sub> 공정 조건을 적용하였을 때 보른의 투과현상 감소에 상당한 효과가 있을 것으로 추정된다.
- 2) BPSG densification 후 Si-H 결합의 감소는 일부 H<sub>2</sub>가 하부층으로 침투되었을 확률을 배제할 수는 없으나, 거의 대부분은 상부층인 BPSG 막 내에서 다른 결합을 이루었을 것으로 추정된다.
- 3) Nitride 박막 증착 조건상의 SiH<sub>4</sub>/NH<sub>3</sub> 비 및 막 스트레스 변화가 막의 집착특성에 영향을 미치는 것으로 판단된다.

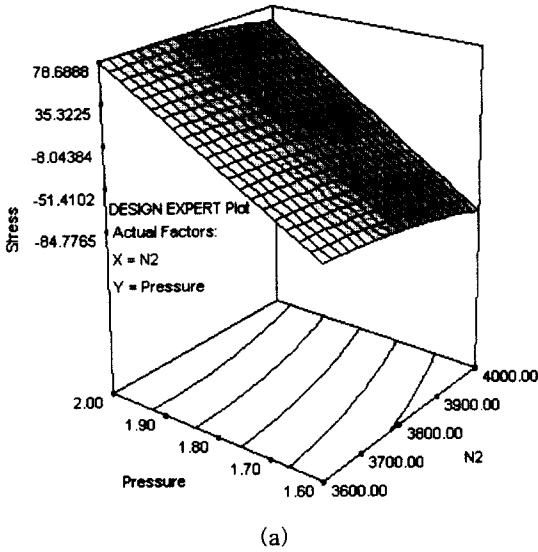
이상과 같이 본 연구에서는 low H<sub>2</sub> 공정 조건을 갖는 PMD 질화막이 가장 우수한 특성을 나타내어 최적의 PMD 선형 질화막으로 기대된다.

감사의 글

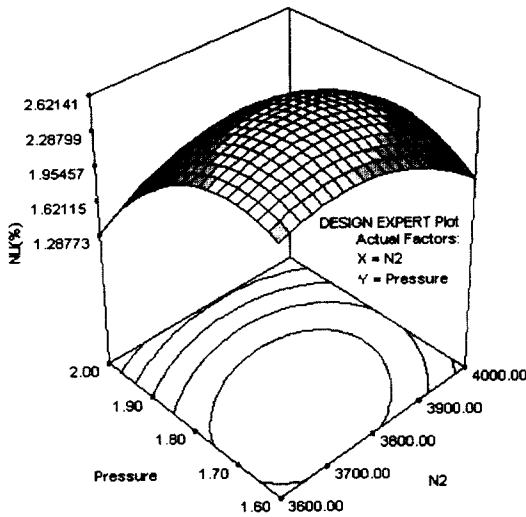
본 논문은 2001년 정보통신부에서 지원하는 대학기초연구지원사업(과제번호:2001-185-3)으로 수행된 결과의 일부이며, 이에 감사드립니다.

참고 문헌

[1] 김상용, 서용진, 김태형, 이우선, 김창일, 장의구, "Chemical mechanical polishing(CMP) 공정을 이용한 multilevel metal 구조의 광역평탄화에 관한 연구", 전기전자재료학회논문지, 11



(a)



(b)

그림 6. 공정 윈도우 테스트, (a) 압력과 N<sub>2</sub> 가스 유속에 따른 스트레스 (b) 압력과 N<sub>2</sub> 가스 유속에 따른 비균일도.

Fig. 6. Process window test, (a) stress vs. pressure and N<sub>2</sub> gas, (b) non-uniformity vs. pressure and N<sub>2</sub> gas.

우 결정을 위해 이들 공정변수가 신중히 고려되어야 함을 알 수 있다.

- 권 12호, pp. 1084-1090, 1998.
- [2] M. Galiano, E. Yieh, S. Robles, and B. C. Nguyen, "Stress-temperature behavior of oxide films used for inter-metal dielectric applications", Proc. VMIC, pp. 100-106, 1992.
- [3] 서용진, 김상용, 김태형, 김창일, 이우선, 장의구, "CMP 공정에 기인하는 소자특성의 열화를 방지하기 위한 PMD 구조에 대한 연구", 전기전자재료학회논문지, 12권 2호, pp. 111-117, 1999.
- [4] Y. J. Seo, W. S. Choi, S. Y. Kim, C. I. Kim, E. G. Chang, and W. S. Lee, "The hot carrier degradation and device characteristics with variation of pre-metal dielectric materials", Mat. Res. Soc. Symp. Proc., Vol. 544, pp. 179-184, 1999.
- [5] 서용진, 김상용, 김창일, 장의구, 정현상, 이우선, "ARC를 위한 PECVD SiO<sub>x</sub>N<sub>y</sub> 공정에서 N<sub>2</sub>O 처리 및 Cap 산화막의 영향", 한국전기전자재료학회 춘계학술대회 논문집, pp. 39-42, 2000.
- [6] C. A. Paszkiet and M. A. Korhonen "X-ray stress studies of passivated and unpassivated narrow aluminum metallizations", Mat. Res. Soc. Symp. Proc., Vol. 188, pp. 153-158, 1990.