

## CMP 공정에서 마이크로 스크래치 감소를 위한 슬러리 필터의 특성

### Characteristics of Slurry Filter for Reduction of CMP Slurry-induced Micro-scratch

김철복\*, 김상용\*\*, 서용진\*

(Chul-Bok Kim\*, Sang-Yong Kim\*\*, Yong-Jin Seo\*)

#### Abstract

Chemical mechanical polishing (CMP) process has been widely used to planarize dielectric layers, which can be applied to the integrated circuits for sub-micron technology. Despite the increased use of CMP process, it is difficult to accomplish the global planarization of in the defect-free inter-level dielectrics (ILD). Especially, defects such as micro-scratch lead to severe circuit failure which affect yield. CMP slurries can contain particles exceeding  $1 \mu\text{m}$  in size, which could cause micro-scratch on the wafer surface. The large particles in these slurries may be caused by particle agglomeration in slurry supply line. To reduce these defects, slurry filtration method has been recommended in oxide CMP. In this work, we have studied the effects of filtration and the defect trend as a function of polished wafer count using various filters in inter-metal dielectrics (IMD)-CMP process. The filter installation in CMP polisher could reduce defects after IMD-CMP process. As a result of micro-scratch formation, it is shown that slurry filter plays an important role in determining consumable pad lifetime. The filter lifetime is dominated by the defects. We have concluded that slurry filter lifetime is fixed by the degree of generating defects.

**Key Words** : Chemical mechanical polishing (CMP), inter-level dielectrics (ILD), inter-metal dielectrics(IMD), slurry filter, POU(poin to fuse), microscratch

#### 1. 서 론

최근 반도체 소자의 고속화 및 고집적화에 따라 배선층수의 증가와 배선 패턴(pattern)의 미세화에 대한 요구가 갈수록 높아져 다층 배선(multi-layer

interconnection) 기술이 서브 마이크로론(sub-micron) 공정에서 중요한 과제로 대두되었다[1]. 특히  $0.35 \mu\text{m}$  이하의 공정 기술에서는 미세 패턴 형성을 위한 노광 장치의 초점심도(depth of focus ; DOF)에 대한 공정 여유(process margin)가 줄어들어 따라 충분한 초점심도를 확보하기 위해 광역 평탄화(global planarization)가 필요하게 되어 chemical mechanical polishing (CMP) 기술이 필수적인 공정으로 널리 사용되고 있다[2, 3]. 이러한 CMP 기술이 반도체 칩의 제조에 필수적인 공정으로 매우 유망한 기술임에는 틀림없으나, 금속간의 절연막(inter-metal dielectric ; IMD)에서 결합이 되는 CMP 공정 후 생성된 질화막

\* : 대불대학교 전기공학과

(전라남도 영암군 삼호면 산호리 대불대학교)

Fax : 061-469-1265

E-mail : kcb@mail.daebul.ac.kr)

\*\* : 아남반도체 FAB사업부

2001년 4월 23일 접수, 2001년 5월 14일 1차심사완료

2001년 5월 23일 2차심사완료, 2001년 5월 31일 3차

심사완료

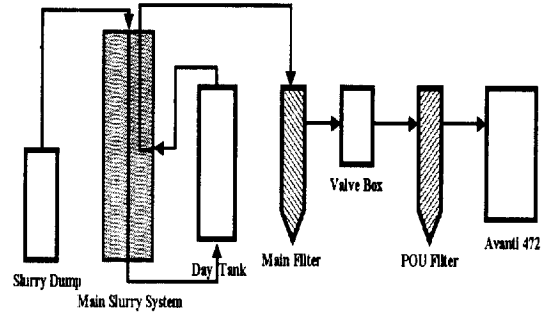
잔류물(nitride residue)[4], 산화막의 균열(torn oxide)[5], post-CMP 세정 공정 후 생성된 이동성 이온(mobile ions) 등과 같은 오염원의 생성[6] 등 무 결점의 광역 평탄화를 위해서는 아직도 해결해야 할 문제점이 많다. 특히 CMP 공정에서 마이크로 스크래치(micro-scratch)에 의한 소자 불량, 수율(yield) 저하 등이 반도체 제조공정에 심각하게 영향을 미치고 있다.[7] 이는 CMP 공정에서 연마제로 사용하는 슬러리(slurry) 내에 함유되어있는 파티클(particle) 크기가 보통 1  $\mu\text{m}$  이상이어서 CMP 공정 시 웨이퍼 표면에 마이크로 스크래치들을 다량으로 발생시키기 때문이다. 또한 이 파티클들이 슬러리 공급라인(line) 내에서 쉽게 응고되어 매우 큰 덩어리 파티클들을 형성하여 소자에 심각한 영향을 주기도 한다. 따라서 이러한 문제점을 해결하고자 산화막 CMP 공정에서 슬러리 필터(filter)를 설치하여 개선하거나, 슬러리가 공급되는 파이프에서 슬러리가 응고되는 것을 방지하기 위하여 주기적으로 화학 처리하는 line flushing 방법이 시도되었다[8].

본 연구에서는 IMD-CMP 공정에서 마이크로 스크래치를 줄이기 위해 연마장치의 슬러리 공급 라인에 POU(point of use) 슬러리 필터를 설치하여 필터 크기에 따른 결함 밀도(defect density), 연마된 웨이퍼 개수와 슬러리 필터 사용 후 경과된 날짜에 따른 결함밀도. 등의 분석을 통해 슬러리 필터의 장점을 제시하였다.

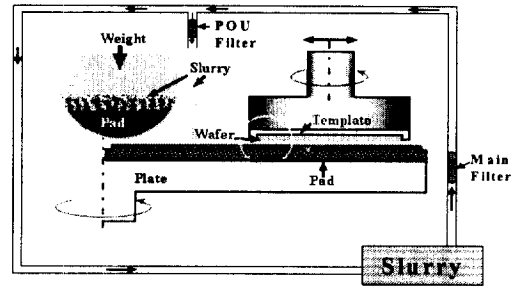
## 2. 실험

그림 1의 (a)는 본 실험에서 사용된 CMP 공정 시스템을 개략적으로 보인 것으로 크게 나누어 CMP 연마장치, 주(main) 슬러리 공급 시스템, 슬러리 덤프(dump), 그리고 본 실험에서 연구하고자 하는 POU 필터로 구성되어 있다. 그림 1(b)는 IPEC사의 Avanti 472 CMP 연마기를 개략적으로 보인 것으로 CMP 장비의 바로 앞쪽에 있는 슬러리 공급부에 depth type의 POU 필터를 설치하였다. 그림 1(c)는 필터 모양을 개략적으로 보인 것으로 필터의 슬러리 도입(inlet) 부분에서는 사이즈가 큰 연마 파티클들이 제거되게 하였고, 이 필터를 계속 통과할 수록 작은 사이즈가 제거되어 최 끝단에서는 0.5  $\mu\text{m}$ 의 파티클만 통과되도록 설계하였다. 연마 패드는 RODEL사의 IC1000/Suba-IV을 사용하였으며 슬러리는 CABOT사의 KOH 계열의 산화 연마제를 사용하였다. 테스트 웨이퍼의 제조는 금속막 위에

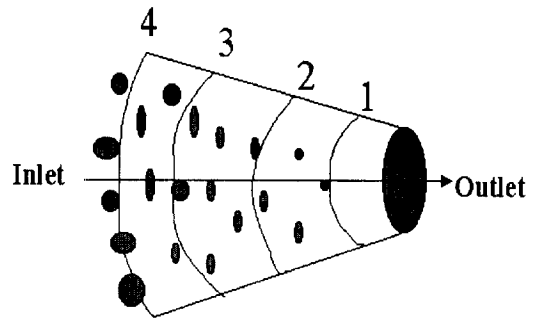
TEOS/SOG/TEOS 구조의 산화막을 증착하여 실험하였고, 슬러리 파티클의 크기 분석은 Accusizer 780 시스템을 이용하였다. 마이크로 스크래치를 분석하



(a) CMP 공정개략도



(b) 필터를 사용한 CMP장비의 개략도



(c) POU 필터의 개략도

그림 1. IPEC Avanti 472 CMP 공정 시스템의 개략도. (a) CMP 공정 개략도, (b) 필터를 사용한 CMP 장비의 개략도, (c) Depth-type POU 필터

Fig. 1. Schematic diagram of IPEC Avanti 472 CMP processing system. (a) Schematic diagram of CMP processing, (b) CMP polisher using filter, (c) Depth-type POU filter.

기 위해 KLA 2135와 AIT(Advanced Inspection Tool)을 사용하였다.

### 3. 결과 및 고찰

그림 2는 CMP 공정 후 KLA 2135 장비를 통해 관찰한 웨이퍼 표면의 결함 분포를 나타낸 것이다. 여기서 검게 보이는 부분은 결함이 없는 셀(cell) 영역을 나타내며, 하얀 점으로 보이는 부분은 결함이 생성된 곳을 나타낸다.

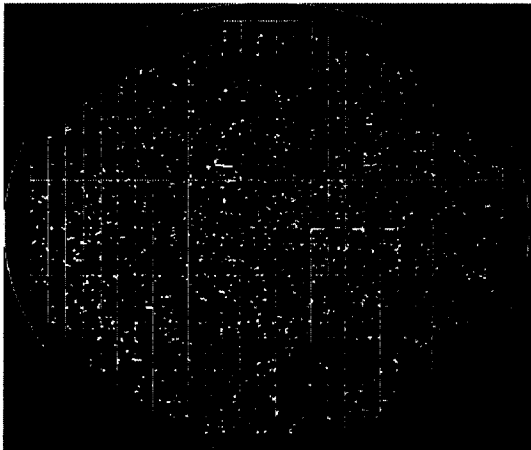


그림 2. KLA 2135 시스템으로 관찰한 웨이퍼 표면의 맵.

Fig. 2. Map of wafer surface observed by KLA 2135 system.

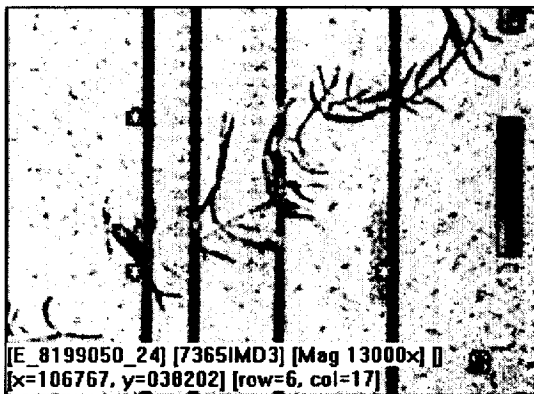


그림 3. AIT 현미경을 사용하여 확대한 웨이퍼 표면의 마이크로 스크래치 사진.

Fig. 3. Micro-scratch photograph of wafer surface expanded using AIT microscope.

결함이 생성된 곳을 조사하기 위해 AIT 현미경으로 확대한 웨이퍼 표면의 사진을 그림 3에 나타내었다. 생선뼈(fish-bone)모양의 마이크로 스크래치가 4개의 금속 배선에 걸쳐 형성되어 있음을 볼 수 있다. 이는 앞서 설명한 것처럼 슬러리 공급 시 공급 파이프 속에서 슬러리의 응고에 의해 형성된 비교적 큰 슬러리 파티클들이 연마되는 동안 웨이퍼 표면에 손상을 주는 대표적인 마이크로 스크래치에 의한 결함으로서 웨이퍼 표면의 산화막에 매우 많은 결함들을 유발시킬 것이다. 이러한 결함은  $\text{cm}^2$  당 약 2 ~ 5 개정도 발생하였다. 이들 결함을 개선하고자 IPEC Avanti 472 CMP 장비의 앞단과 슬러리 장치 후단에 각각 여과 장치인 POU 필터를 장착하였다.

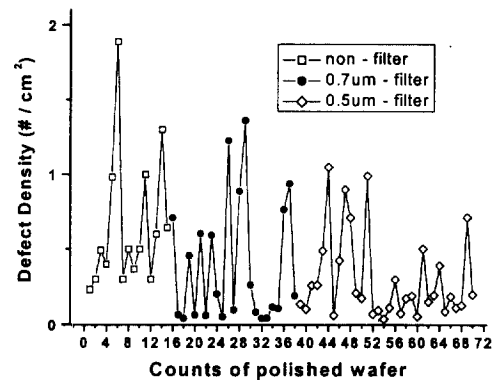


그림 4. 필터 크기에 따른 결함밀도.

Fig. 4. Defect density as a function of filter size.

그림 4는 각각  $0.7 \mu\text{m}$ 와  $0.5 \mu\text{m}$ 의 크기를 갖는 필터를 사용한 경우와 필터를 사용하지 않았을 때의 결함밀도를 비교한 것이다. 처음 15장을 연마할 때는 필터를 사용하지 않았고, 38 번째의 웨이퍼 연마까지는  $0.7 \mu\text{m}$  필터를, 마지막 70 번째까지의 웨이퍼의 연마에는  $0.5 \mu\text{m}$  필터를 사용하였다. 그림에서 볼 수 있듯이 필터 크기가 작을수록 결함밀도가 현저히 감소하였으며,  $0.5 \mu\text{m}$  필터의 경우  $\text{cm}^2$  당 거의 1개 이하의 가장 작은 결함밀도를 나타내었다. 그림 5는 연마가 진행된 웨이퍼 개수에 따른 결함밀도를 결함의 발생원인인 마이크로 스크래치와 스크래치 형성으로 나누어 비교한 것이다. 그림 5(a)는 필터 여과장치가 없는 경우이고, (b)와 (c)는 각각  $0.7 \mu\text{m}$ ,  $0.5 \mu\text{m}$ 의 필터를 사용한 경우이다. 여과 필터가 없는 경우에는 연마 패드 위의 웨이퍼 사용수가 대략 304 번째 웨이퍼에서부터 1 ~ 3개의 마이크로 스크래치에 의한

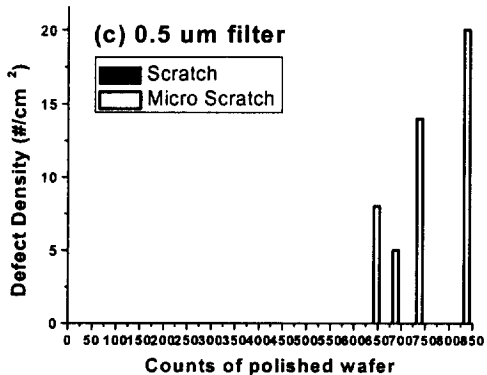
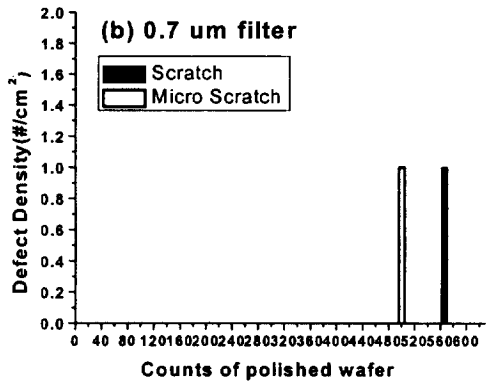
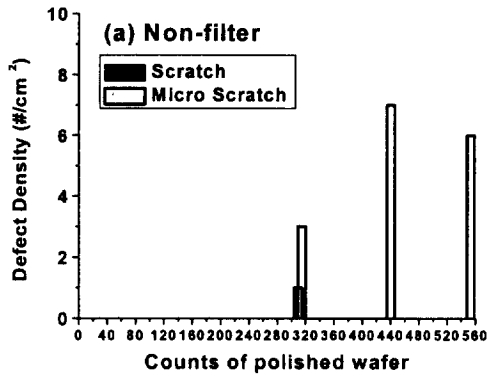


그림 5. 연마된 웨이퍼 수에 따른 결함밀도. (a)필터를 사용하지 않은 경우, (b) 0.7  $\mu\text{m}$  필터, (c) 0.5 $\mu\text{m}$  필터.

Fig. 5. Defect density as a function of polished wafer counts. (a) Non-filter, (b) 0.7  $\mu\text{m}$  filter, (c) 0.5  $\mu\text{m}$  filter.

결함밀도를 보이기 시작하여 연마가 더 진행될수록 6 ~ 7개 정도의 결함 밀도를 보였다. 그리고 0.7 $\mu\text{m}$  필터를 사용한 경우에는 500 번째 연마된 웨이퍼에서부터 결함밀도가 나타나기 시작하지만 대략 1개 정도의 낮은 결함 밀도를 보였고, 560번째의 웨이퍼에서는 마이크로미터 ( $\mu\text{m}$ )크기가 아닌 비교적 큰 스크래치가 생성되었다. 마지막으로 0.5  $\mu\text{m}$ 의 여과 필터가 장착되었을 때는 각각 650 번째 웨이퍼에서부터 740 번째의 웨이퍼까지 비교적 많은 7개에서 15개 정도의 결함밀도가 현저하게 나타남을 볼 수 있다. 그러나 840 번째의 웨이퍼에서부터는 거의 20개 정도의 큰 결함밀도를 보이는 것으로 이는 슬러리 필터의 수명에 따른 여과 능력의 감소도 있겠지만 주된 원인은 많은 수의 웨이퍼 연마를 진행한 결과

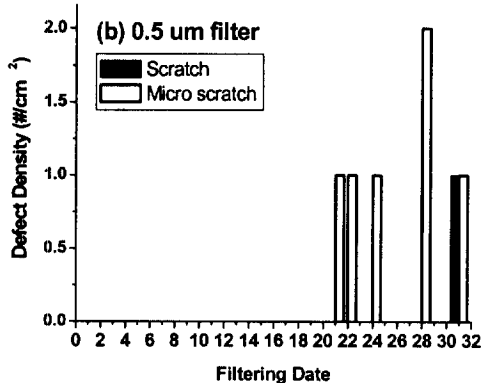
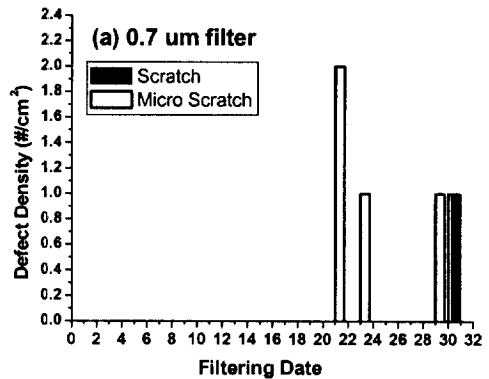


그림 6. 필터 설치 후 경과된 날짜에 따른 결함밀도 (a) 0.7  $\mu\text{m}$  필터, (b) 0.5  $\mu\text{m}$  필터.

Fig. 6. Defect density as a function of passed date after filter installation. (a) 0.7  $\mu\text{m}$  filter, (b) 0.5  $\mu\text{m}$  filter.

소모품인 연마 패드가 수명을 다했음을 의미하는 것이다.

이 결과를 종합하여 보면 필터 여과 장치를 사용할 경우 결함 밀도를 현저히 감소시켜 수율 향상을 기대할 수 있을 뿐만 아니라 연마 패드의 사용 수명도 동시에 증가시킬 수 있다. 이는 다시 말해서 0.5  $\mu\text{m}$ 의 여과 필터를 사용하였을 때 연마 패드(pad)의 수명은 대략 600장의 웨이퍼를 연마시킬 수 있음을 의미하는 것으로 즉, 연마 패드의 수명을 2배로 증가시킬 수 있었다. 그림 6은 슬러리 필터의 교환주기를 알아보기 위해 필터 설치 후 경과된 날짜에 따른 결함밀도를 나타낸 것이다. 0.7  $\mu\text{m}$ 와 0.5  $\mu\text{m}$ 의 여과 필터 설치 후 21일 후부터 마이크로 스크래치에 의한 결함들이 나타났는데 0.5  $\mu\text{m}$ 의 필터를 사용한 경우가 약간 낮은 결함밀도를 나타내었다. 또한 31일 후에는 스크래치에 의한 결함들도 나타나고 있음을 볼 수 있다. 그러나 여과 필터 크기에 따른 현저한 차이는 보이지 않았다. 이는 연마 패드의 교환 주기를 그림 5에서 설명했던 것처럼 여과 장치의 필터 크기에 상관없이 연마 패드의 교환 주기를 일정하게 조절할 수 있음을 의미한다. 슬러리 필터가 설치된 후 산화막 연마율에 영향을 주지 않으면서 31일 동안 매우 안정되게 슬러리가 여과되었으며 이를 통해 슬러리 필터의 수명이 한달 정도임을 예측할 수 있었다.

#### 4. 결 론

마이크로 스크래치는 CMP 공정 중 발생하는 대표적인 결함 중의 하나로서 이 결함들은 산화막 CMP 공정에서 슬러리의 응고에 의해 주로 발생되었다. 산화막 CMP 공정에서 마이크로 스크래치를 웨이퍼 표면에서 제거하기 위하여 슬러리 필터 장치를 연마 장비 전단과 슬러리 공급 장치 후단에 각각 설치함에 따라 결함들을 현저히 줄이고 공정 균일도를 향상시킴과 동시에 소자 수율(yield)도 증가시킬 수 있었다. 또한 여과 필터의 크기는 본 연구에서는 0.5  $\mu\text{m}$ 의 경우가 가장 우수한 효과를 나타내었으며, 연마 소모품(consumable)인 패드의 사용 수명을 증가시킴으로서 제조 단가를 낮출 수가 있었다. 이상과 같은 결과를 바탕으로 deep 서브마이크론 반도체 집적회로 제조에서도 CMP 공정을 통해 균일한 산화막 평탄화를 기대할 수 있다.

#### 감사의 글

이 논문은 2001년도 대불대학교 교내연구비 지원에 의하여 쓰여진 것임.

#### 참고 문헌

- [1] Sivaram, H. Bath, R. Legegett, A. Maury, K. Monning, and R. Tolles, "Planarizing Interlevel Dielectrics by Chemical Mechanical Polishing", Solid State Tech. p. 87-91, May 1992.
- [2] Woo-Sun Lee, Sang-Yong Kim, Yong-Jin Seo, and Jong-Kook Lee, "An Optimization of Tungsten Plug Chemical Mechanical Polishing (CMP) using Different Consumables, Journal of Materials Science : Materials in Electronics, Kluwer Academic Publishers, Vol. 12, pp. 63-68. 2001.
- [3] 김상용, 서용진, 김태형, 이우선, 김창일, 장의구, "Chemical Mechanical Polishing(CMP) 공정을 이용한 Multilevel Metal 구조의 광역 평탄화에 관한 연구", 전기전자재료학회논문지, Vol.11, No.12, pp.1084-1090, 1998.
- [4] S. Y. Kim, C. I. Kim, E. G. Chang, Y. J. Seo, T. H. Kim, W. S. Lee, "An Optimized Nitride Residue Phenomena of Shallow Trench Isolation(STI) Process by Chemical Mechanical Polishing(CMP)," 4th International Conference on Electronic Materials(IUMRS-ICEM-98), Abstract book, p. 106, August 24-27, 1998, Cheju, Korea.
- [5] 서용진, 정현상, 김상용, 이우선, 이강현, 장의구, "STI-CMP 공정에서 Torn oxide 결함 해결에 관한 연구", 전기전자재료학회논문지, Vol. 14, No. 1, pp. 1-5, 2001.
- [6] 김상용, 서용진, 이우선, 장의구, "실리콘 웨이퍼 위에 증착된 실리콘 산화막의 CMP 슬러리 오염 특성", 전기전자재료학회논문지, Vol. 13, No.2, pp. 131 -136, 2000.
- [7] M. Lin, C. Y. Chang, D. C. Liao, B. Wang, and A. Henderson, "Improved STI CMP Technology for micro-scratch issue", CMP-MIC, Proceeding, p. 322-326, Feb 1999.
- [8] Z. Lin, J. Zahkaok, and G. Vasilopoulos, "Filtration of CMP Slurries in Chemical Delivery Systems, Proceedings of Workshop on Contamination in Liquid Chemical Distribution Systems", SEMICON West 97, July 13, 1997.