

15-10-1

## 플래시 및 바이트 소거형 EEPROM을 위한 고집적 저전압 Scaled SONOS 비휘발성 기억소자

### High Density and Low Voltage Programmable Scaled SONOS Nonvolatile Memory for the Byte and Flash-Erased Type EEPROMs

김병철\*, 서광열\*\*

(Byungcheul Kim\* and Kwang-Yell Seo\*\*)

#### Abstract

Scaled SONOS transistors have been fabricated by 0.35  $\mu\text{m}$  CMOS standard logic process. The thickness of stacked ONO(blocking oxide, memory nitride, tunnel oxide) gate insulators measured by TEM are 2.5 nm, 4.0 nm and 2.4 nm, respectively. The SONOS memories have shown low programming voltages of  $\pm 8.5$  V and long-term retention of 10-year. Even after  $2 \times 10^5$  program/erase cycles, the leakage current of unselected transistor in the erased state was low enough that there was no error in read operation and we could distinguish the programmed state from the erased states precisely. The tight distribution of the threshold voltages in the programmed and the erased states could remove complex verifying process caused by over-erase in floating gate flash memory, which is one of the main advantages of the charge-trap type devices. A single power supply operation of 3 V and a high endurance of  $1 \times 10^6$  cycles can be realized by the programming method for a flash-erased type EEPROM.

**Key Words** : SONOS, Charge trap type, Byte-erased type EEPROM, Flash-erased type EEPROM, 3 V single power supply

#### 1. 서 론

전기적으로 데이터의 프로그램과 소거가 가능한 EEPROM(electrically erasable programmable read-only memory) 비휘발성 반도체 기억소자는 바이트 단위로 고쳐 쓸 수 있는 바이트 소거형과 일괄 소거하는 플래시형으로 크게 구분할 수 있다. 바이트 소거형 EEPROM은 선택적으로 바이트 단위의 소거 및 프로그램을 할 수 있기 때문에 사용하기

쉽고 응용 면에서 유리하다. 이에 비해 일괄 소거형 플래시 EEPROM은 비트마다 프로그램이 가능하지만 소거는 일괄 또는 블록단위로 하기 때문에 1 비트를 1 트랜지스터로 구성할 수 있어 자외선 소거형 EPROM(electrically programmable read-only memory)과 같은 정도의 셀 면적을 실현할 수 있다. EEPROM을 위한 소자기술은 부유 게이트형과 전하 트랩형(floating-gate & charge-trap)의 두 가지 소자구조로 구분할 수 있다. 부유 게이트형 적층게이트(stacked gate) 구조는 플래시 메모리에 현재 적용되고 있는 소자구조로서 프로그램을 위해 CHE(channel hot electron) 주입방식을 이용하기 때문에 주입효율이 낮고, 소비전류가 커서 고쳐 쓰기를 자주 하는 EEPROM에는 사용되지 않으며, 높은 프로그램전압, 과도소거특성 등 해결

\* : 진주산업대학교 전자공학과  
(경남 진주시 칠암동 150,  
Fax: 055-751-3339,  
E-mail : bckim@jinju.ac.kr)

\*\* : 광운대학교 반도체 및 신소재공학과  
2002년 4월 8일 접수, 2002년 6월 12일 1차 심사완료  
2002년 6월 24일 최종 심사완료

해야 될 많은 문제를 갖고 있다. 전하 트랩형 SONOS(polysilicon-oxide-nitride-oxide-semiconductor)구조는 플로팅산화막-질화막-터널링산화막의 게이트 3중 절연막을 제외하면 기존의 MOS 구조와 동일하므로 지금까지 셀 당 2 트랜지스터 구조로 바이트 프로그램/소거가 가능한 EEPROM 응용에 관심이 집중되었지만, 고집적, 저비용의 요구에 따라 1 트랜지스터(ITC)만을 이용하여 일괄소거가 가능하도록 한 플래시메모리의 응용도 제안되고 있다[1-4]. SONOS 소자기술은 질화막의 스케일링이 가능할 뿐 만 아니라 프로그램/소거를 위해 MFN(modified Fowler-Nordheim) 터널링 방식을 사용하기 때문에 프로그래밍전압을 저 전압화 할 수 있으며, 최근 0.1  $\mu\text{m}$  이하의 스케일링이 검증되었기 때문에 고집적화에 유리하다 [5].

본 논문은 플래시 및 바이트 소거형 EEPROM을 위한 고집적, 저 전압 프로그래밍이 가능한 SONOS 비휘발성 기억소자를 실현하는데 목적을 두고 있다. 이를 위하여 0.35  $\mu\text{m}$  CMOS 표준논리 공정기술을 사용하여 플로팅산화막 및 터널링산화막의 두께는 각각 2.5 nm, 2.4 nm이고 질화막의 두께가 4.0 nm로 스케일링된 SONOS 트랜지스터를 제작하였다. 먼저, 바이트 소거형 및 일괄 소거형 플래시 EEPROM 응용을 위한 SONOS 트랜지스터의 프로그램 특성과 소거 특성을 조사하였다. 두 번째로 SONOS 트랜지스터의 기억유지특성을 조사하였다. 세 번째로 SONOS 트랜지스터가 열화되더라도 과도소거로 인하여 선택된 트랜지스터와 선택되지 않은 트랜지스터를 구분 할 수 있는지, 또 프로그램과 소거 상태를 구분할 수 있는지를 조사하였다. 네 번째로 부유 게이트형 소자구조에서 문제가 되고있는 과도소거현상이 전하 트랩형 소자구조에서는 발생하는지를 알아보기 위하여 프로그램과 소거상태에서 200 mm 웨이퍼의 각 위치에 따른 문턱전압 분포를 조사하였다. 마지막으로 바이트 소거형 EEPROM과 일괄 소거형 플래시 EEPROM의 응용을 위한 각각의 프로그래밍 조건을 적용하여 전기적 내구성을 조사하였다.

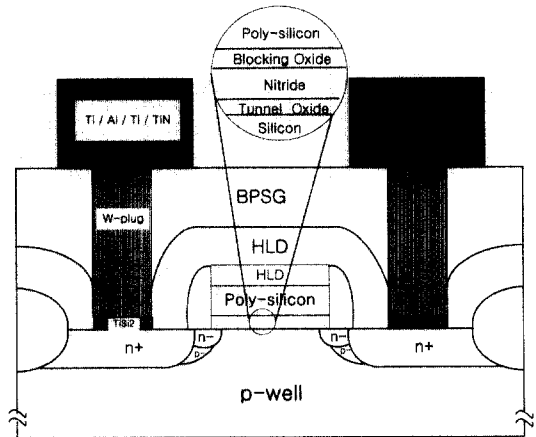
## 2. Scaled SONOS 트랜지스터의 제작공정

질화막이 스케일링된 SONOS 비휘발성 기억소자는 11개의 마스크와 13번의 사진식각 공정이 적용되는 0.35  $\mu\text{m}$  리트로그레이트 트윈 웰 CMOS 공정기술을 사용하여 제작하였다. 웨이퍼는 9~12

$\Omega \cdot \text{cm}$ 의 저항율과 (100) 방향을 갖는 200 mm의 p형 실리콘을 사용하였다. 소자격리를 위해 1050  $^{\circ}\text{C}$ 에서 습식산화 방법으로 4000  $\text{\AA}$ 의 필드 산화막을 성장하였다. 850  $^{\circ}\text{C}$ 에서 습식산화 방법으로 100  $\text{\AA}$ 의 표면 산화막을 성장시킨 후 n 웰과 p 웰을 형성하기 위하여 각각 31P<sup>-</sup>와 11B<sup>-</sup> 이온을 주입에너지와 주입량을 다르게 하여 3번 이온주입 후 1000  $^{\circ}\text{C}$ 에서 열처리하여 리트로그레이트 트윈 웰을 형성하였다. 게이트 절연막은 실리콘 기판 위에 터널링산화막, 질화막, 그리고 플로팅산화막을 차례로 적층하였다. 먼저, 터널링산화막은 900  $^{\circ}\text{C}$ 에서 질소로 희석시킨 산소(O<sub>2</sub> 5%)를 사용하여 상압에서 건



(a)



(b)

그림 1. 질화막이 스케일링된 SONOS 트랜지스터의 (a) FIB 사진과 (b) 단면구조.

Fig. 1. (a) FIB image and (b) cross-sectional view of a SONOS transistor with scaled nitride layer.

식 산화하였다. 성장된 터널링산화막의 두께는 분광 엘립소미터(spectroscopic ellipsometer)로 측정하였으며, 200 nm 웨이퍼의 상, 중, 하, 좌, 우의 위치에서 측정된 두께는 각각 2.4 nm, 2.5 nm, 2.4 nm, 2.3 nm, 2.3 nm이었다. 질화막은 770°C에서 SiH<sub>2</sub>Cl<sub>2</sub>와 NH<sub>3</sub>의 혼합 가스(SiH<sub>2</sub>Cl<sub>2</sub>:NH<sub>3</sub>=30 sccm:330 sccm)를 반응시켜 55 Pa의 감압로에서 터널링산화막 위에 증착하였으며, 증착율은 11.6 Å/min.이다. 실리콘 기판 위에 질화막만이 증착된 시료로부터 분광 엘립소미터를 사용하여 두께를 측정한 결과 89.6 Å이었다. 블로킹 산화막은 950°C, 상압에서 H<sub>2</sub>O<sub>2</sub>=5 L/min.:10 L/min.인 혼합가스를 사용해서 습식 산화방법으로 질화막 위에 성장시켰다. 블로킹 산화막의 두께와 블로킹 산화막 성장후의 최종 질화막 두께를 정확히 결정하기 위하여 XTEM (cross sectional transmission electron microscopy) 분석을 실시하였으며, 블로킹산화막과 질화막의 두께는 각각 2.5 nm와 4.0 nm로 확인되었다. 소오스와 드레인은 LDD 구조이며, n 채널 소자의 경우 펀치스루우(punch-through) 현상을 방지하기 위하여 n- S/D 이온주입 전에 11B를 사용한 halo 이온주입공정을 적용하였다.

그림 1에 0.35 μm 설계규칙을 적용하여 제작한 SONOS 트랜지스터의 FIB(focused ion beam) 사진과 단면구조를 나타내었다.

### 3. 결과 및 고찰

바이트 소거형 EEPROM은 메모리 어레이에서 프로그램 방해현상을 최소화하기 위하여 선택 트랜지스터를 사용하기 때문에 메모리 트랜지스터의 게이트에만 프로그램 전압을 인가하는 방법을 사용한다. 이에 비해 일괄 소거형 플래시메모리는 메모리 트랜지스터만을 사용하여 메모리 어레이를 구성하기 때문에 선택된 메모리 트랜지스터에 프로그램을 할 경우 선택되지 않은 메모리 트랜지스터는 프로그램이 되지 않는 조건을 사용해야 한다. 이전의 연구 결과로부터 프로그램은 기판을 플로팅하고 소오스와 드레인에 순방향 전압을 인가한 상태에서 게이트에 프로그램 전압을 인가하는 방법을 사용한다 [6]. 바이트 소거형 EEPROM과 일괄 소거형 플래시 EEPROM의 프로그램 전압조건을 적용하여 프로그램 전압의 크기와 시간에 따른 소자의 문턱전압을 측정하였으며, 그림 2에 SONOS 트랜지스터의 프로그램 특성을 나타내었다. 프로그램 특성은

-7 V의 전압을 20 sec 동안 게이트에 인가하여 소거상태가 되도록 항상 측정 초기상태의 문턱전압을 1.0~1.1 V로 조절한 상태에서 프로그램 전압을 인가하였다. 그림 2에서 점선은 소자제작공정에서 조절된 문턱전압을 나타내는 것으로 2.0 V 이었으며, 이 값 이상의 문턱전압과 이하의 문턱전압은 각각 프로그램과 소거상태를 의미한다.

그림 2에서 보는 바와 같이 프로그램 전압과 시간이 증가할수록 문턱전압이 증가함을 알 수 있으며, 3 ms의 프로그램시간에서 V<sub>G</sub>=+8.5 V의 낮은 프로그램 전압으로도 소거상태로부터 프로그램상태로 스위칭 할 수 있음을 알 수 있다. 일괄 소거형 플래시 EEPROM을 위한 프로그램 전압조건은 게이트에 +3 V, 기판은 플로팅, 소오스와 드레인은 V<sub>D</sub>=V<sub>S</sub>=-5.5 V를 인가함으로써 게이트와 드레인, 게이트와 소오스 사이에는 +8.5 V의 전압이 인가된다. 이것은 소오스와 드레인 영역으로부터 전자가 MFN(modified Fowler-Nordheim) 터널링에 의해 터널링산화막을 통과하여 질화막내의 트랩으로 주입되게 한다. 따라서 일괄 소거형 플래시 EEPROM을 위한 SONOS 트랜지스터의 프로그램 특성은 바이트 소거형을 위한 프로그램 특성과 동일하게 나타났다.

바이트 소거형 EEPROM은 선택적으로 바이트 단위의 소거를 하기 때문에 프로그램과 동일하게 메모리 트랜지스터의 게이트에 소거전압을 인가하는 방법을 사용한다. 이에 비해 일괄 소거형 플래시 EEPROM은 일괄 또는 블록 단위로 소거하기 때문에 소거 전압 조건은 바이트 소거형 EEPROM

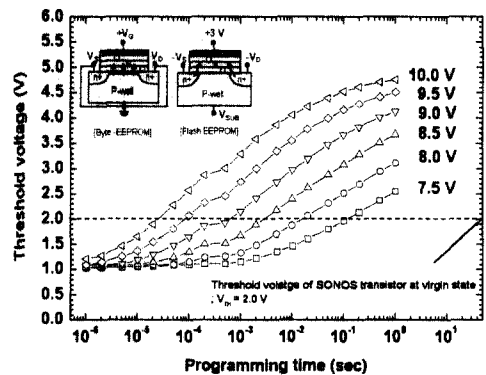


그림 2. SONOS 트랜지스터의 프로그램 특성.  
Fig. 2. The programming characteristics of SONOS transistor.

의 소거 전압 조건을 사용할 수도 있고, 이전의 연구 결과로부터 확인된 일괄 소거형 플래시 EEPROM의 소거 전압 조건을 사용할 수도 있다 [6]. 그림 3에 SONOS 트랜지스터의 소거 특성을 나타내었다.

소거 특성은 +8 V의 전압을 10 sec 동안 게이트에 인가하여 프로그램상태가 되도록 항상 측정 초기상태의 문턱전압을 4.0~4.1 V로 조절한 후 소거전압을 인가하였다. 그림 3에서 나타낸 바와 같이 소거 전압과 시간이 증가할수록 문턱전압은 음(-)의 값으로 증가함을 알 수 있으며, 프로그램상태에서 소거상태로 스위칭하기 위하여  $V_G = -8.5$  V의 소거전압에서 300 ms의 소거시간이 필요함을 알 수 있다. 이러한 SONOS 트랜지스터의 소거 특성은 바이트 소거형 EEPROM보다는 일괄소거형 플래시메모리에 응용하는 것이 더 바람직하다는 것을 의미한다. 일괄 소거형 플래시 EEPROM을 위한 소거 전압조건은 게이트에  $V_G' = -5.5$  V, 소오스와 드레인인 플로팅, 기판은 +3 V가 인가되며, 게이트와 기판 사이에는 결과적으로 -8.5 V가 인가됨으로서 소자의 채널로부터 터널링산화막을 직접 터널링하여 질화막내의 트랩으로 홀이 주입되게 된다. 따라서 일괄 소거형 플래시 EEPROM을 위한 SONOS 트랜지스터의 소거 특성은 바이트 소거형 EEPROM을 위한 소거 특성과 동일하게 나타났다. 그리고 -8.5 V이상의 소거전압에서는 소거시간이 증가할수록 문턱전압이 음(-)의 값으로 증가하지 않고 포화되었다. 이것은 블로킹산화막이 얇아 게이트로부터 전자가 주입되게 되므로 더 이상 문턱전압이 감소되지 않기 때문이다[7].

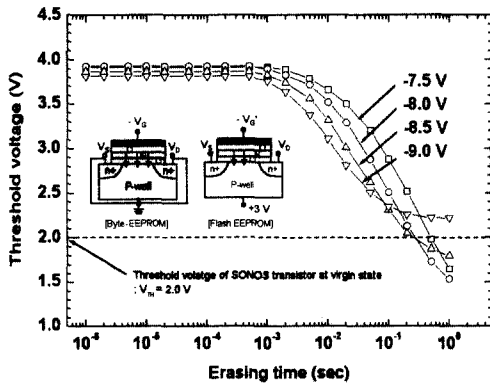


그림 3. SONOS 트랜지스터의 소거 특성.  
Fig. 3. The erasing characteristics of SONOS transistor.

그림 4는 프로그램 및 소거상태에서 SONOS 트랜지스터의 기억유지특성을 조사한 결과이다. 각각 다른 프로그램과 소거전압으로 프로그래밍하여 임의의 값을 갖도록 소자의 문턱전압을 조절한 후 경과 시간에 따른 문턱전압을 측정하였다. 프로그램 시간은 50 ms, 소거시간은 1000 ms로 동일하게 하였다.

그림 4에서 실선으로 나타낸 직선들은 문턱전압의 감쇠율(decay rate)을 구하기 위하여 측정값으로부터 최소자승법을 사용하여 구한 것이고,  $10^4$  sec 이후는 이 직선들로부터 예상되는 경향을 나타낸 것이다. 그림 4에서 표시한 두 개의 점선은 감지불능준위(insensible level)를 나타낸 것이며 [8] EEPROM으로 응용할 때 기억상태를 판독하기 위한 감지중복기가 프로그램 및 소거상태를 정확하게 구분할 수 없는 영역으로서 0.4 V로 결정하였다[9]. 감지불능준위의 기준은 오랜 기억유지 시간을 얻기 위하여 전기적 스트레스를 전혀 인가한 적이 없는, 즉 소자제작공정에서 조정된 문턱전압으로 결정하였다. 그림 4에서 보는바와 같이 프로그램 상태의 문턱전압은 경과시간에 따라서 선형적으로 감소하며, 감쇠율은 문턱전압에 크게 의존하지 않음을 알 수 있다. 소거상태의 감쇠율은 시간이 경과함에 따라서 거의 일정하였다. 따라서 프로그램상태보다 소거상태에서의 감쇠율이 낮다. 이것은 블로킹산화막과 질화막 사이의 포텐셜 장벽 차이가 전자(1.05 eV)보다 홀 (1.85 eV)의 경우가 더 큼으로 블로킹산화막은 홀에 대해서 더 큰 블로킹 효과를 갖기 때문이다[10,11]. 두 번째 이유는 전자트랩밀도( $7 \times 10^{18} \text{ cm}^{-3}$ )보다 홀트랩밀도( $1.2 \times 10^{20} \text{ cm}^{-3}$ )가 더 많으므로 축적된 홀이 질화막 내

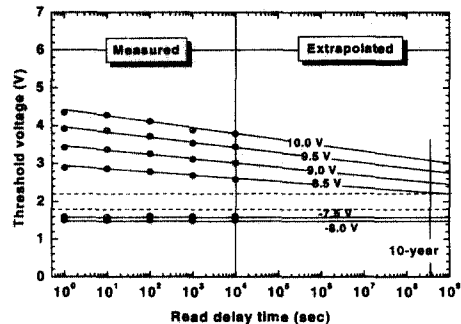


그림 4. SONOS 트랜지스터의 기억유지특성.  
Fig. 4. The retention characteristics of SONOS transistor.

로 더 깊이 분포하여, 더 적은 수의 홀이 기판으로 후방터널링(back-tunneling)하기 때문이다[12]. 그림 4로부터 SONOS 트랜지스터의 질화막을 4.0 nm로 스케일링하더라도 10년 이상의 기억유지가 가능함을 알 수 있다.

일괄 소거형 플래시 EEPROM으로 응용 될 경우 SONOS 트랜지스터가 과도소거로 인하여 소거상태의 문턱전압이 감소되면 읽기 과정에서 선택되지 않은 트랜지스터의 누설전류가 커져 선택된 트랜지스터와 구분할 수 없는 경우가 발생할 수도 있다. 따라서 선택된 트랜지스터와 선택되지 않은 트랜지스터가 모두 소거상태에 있을 때  $2 \times 10^5$  프로그램/소거 반복 후 드레인 전압에 따라 측정된 드레인 전류를 비교한 결과를 그림 5에 나타내었다.

프로그램 조건은 10 V, 500  $\mu$ s이고, 소거 조건은 -8 V, 500 ms이다.  $2 \times 10^5$  프로그램/소거 반복 후 SONOS 트랜지스터의 소거상태의 문턱전압은 2.297 V 이었다. 그림 5에 나타난 바와 같이 선택되지 않은 트랜지스터의 누설전류는 약 400 pA 이었으며, 선택된 트랜지스터의 드레인 전류에 비해 6 오더( $10^6$ ) 더 작은 값을 나타내었다. 이것은 SONOS 트랜지스터가 고쳐 쓰기를 많이 하더라도 누설전류가 작기 때문에 읽기 오동작의 문제가 없음을 의미한다.

그림 6은  $2 \times 10^5$  프로그램/소거 반복전과 후 소

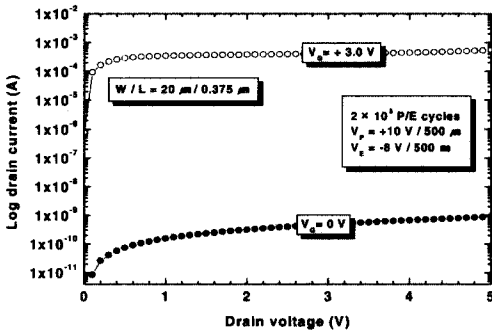


그림 5.  $2 \times 10^5$  프로그램/소거 반복 후 선택 트랜지스터와 선택되지 않은 트랜지스터가 소거 상태에 있을 때 드레인 전압에 따른 드레인 전류.

Fig. 5. Drain current as a function of drain voltage in the erased state of the selected ( $V_G=+3$  V) and the unselected ( $V_G=0$  V) transistor.

거상태와 프로그램상태의 읽기 전류를 각각 나타내고 있다.

읽기 동작에서 +3 V의 전압이 게이트에 인가되고 드레인에는 1.5 V의 일정한 전압이 인가되며 소오스와 기판은 접지된다.  $2 \times 10^5$  프로그램/소거 반복 후에도 프로그램/소거 반복 전과 같이 프로그램상태보다 소거상태의 드레인 전류가 2 오더( $10^2$ ) 큰 값을 나타내었다. 이것은 SONOS 트랜지스터가 열화 되더라도 두 상태를 정확히 판단할 수 있다는 것을 의미한다. 또한 기판의 바이어스가 증가할수록 두 전류간의 차이는 감소함을 알 수 있다.

프로그램과 소거상태에서 측정된 SONOS 트랜지스터들의 문턱전압분포를 그림 7에 나타내었다.

200 mm 웨이퍼의 각 위치에 따른 프로그램과 소거상태에서의 문턱전압을 정확히 조사하기 위하여 69개의 SONOS 트랜지스터를 모두 측정하였다. 먼저, 소자의 게이트에 20 sec 동안 -7 V의 전압을 인가하여 소거상태가 되도록 측정 초기상태의 문턱전압을 1.0~1.1 V로 조절된 상태에서 +8.5 V, 10 ms의 프로그램 전압을 인가하여 프로그램상태의 문턱전압을 측정하였다. 그런 다음, 프로그램상태에 있는 소자의 게이트에 -8.5 V, 300 ms의 전압을 인가하여 소거상태로 스위칭 한 후 소자의 문턱전압을 측정하였다. 그림 7에서 보는바와 같이 프로그램과 소거상태에서 측정된 SONOS 트랜지스터의 문턱전압 폭은 최대값과 최소값의 차이 ( $\Delta V_{TH}$ )가 각각 0.19 V와 0.15 V로 아주 작으며, 타이트한 문턱전압분포를 나타내었다. 이러한 특성

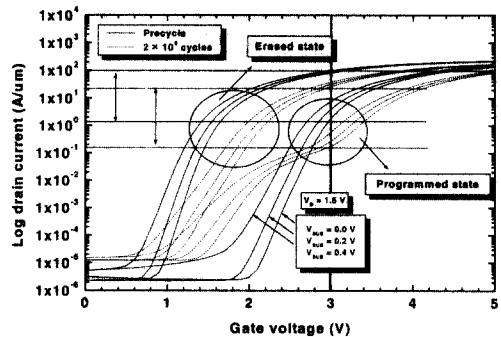


그림 6.  $2 \times 10^5$  프로그램/소거 반복 전과 후의 프로그램과 소거상태에서 측정된 읽기 전류.

Fig. 6. Read sensing currents measured at programmed and erased states before and after  $2 \times 10^5$  P/E cycles. Current is normalized by the gate width.

은 전하트랩형 소자가 갖고 있는 큰 장점 중의 하나로서 부유 게이트 플래시 메모리에서 특히 문제가 되고 있는 소거상태의 폭 넓은 문턱전압 분포를 감소시키기 위한 공정 최적화와 과도소거로 인한 복잡한 베리파이(verify) 과정이 제거될 수 있다는 것을 의미한다.

그림 8은 바이트 소거형 EEPROM과 일괄 소거형 플래시 EEPROM의 응용을 위한 각각의 프로그

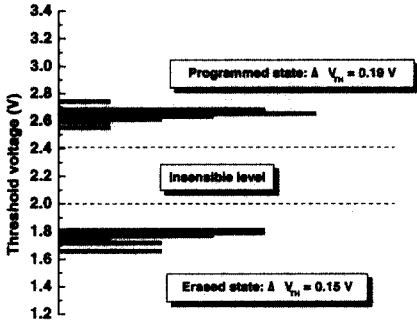


그림 7. 200 mm 웨이퍼에서 측정된 SONOS 트랜지스터의 프로그램과 소거상태에서의 문턱 전압분포.

Fig. 7. Threshold voltage distribution of the programmed and erased state for SONOS transistors measured in 200 mm wafer.

래밍 조건을 적용하여 프로그램/소거 반복에 따른 문턱전압의 변화를 측정된 결과이다. 바이트 소거형 EEPROM을 위한 프로그래밍은 기판에 대하여 소자의 게이트에  $V_G=10$  V의 프로그램 전압을 인가하였고, 소거전압은  $V_G=-8$  V를 인가하였다. 이에 비해 일괄 소거형 플래시 EEPROM을 위한 프로그래밍 방법은 프로그램 동작에서는 게이트에  $V_G=+3$  V, 기판은 플로팅, 소오스와 드레인은  $V_D=V_S=-7$  V를 인가함으로써 게이트와 드레인, 게이트와 소오스 사이에는 +10 V의 전압이 인가되게 하였다. 반대로 소거동작에서는 게이트에  $V_G'=-5$  V, 소오스와 드레인은 플로팅, 기판에 +3 V를 인가함으로써 게이트와 기판 사이에는 -8 V가 인가되게 하였다. 바이트 소거형과 일괄 소거형 플래시 EEPROM을 위한 프로그램과 소거 시간은 500  $\mu$ s와 500 ms로 동일하게 설정하였다. 일괄 소거형 플래시 EEPROM을 위한 프로그래밍방법은 게이트에 인가되는 프로그래밍 전압을 감소시켜 3 V 저전압 단일전원이 가능하게 할 수 있다는 장점이 있다.

그림 8에 나타낸바와 같이 바이트 소거형 EEPROM을 위한 프로그래밍 조건에서는  $1 \times 10^4$  프로그램/소거 반복 후부터 SONOS 트랜지스터의 프로그램과 소거상태에서의 문턱전압이 모두 증가하였으며, 일괄 소거형 플래시 EEPROM의 응용을 위한 프로그래밍 조건에서는  $1 \times 10^6$  프로그램/소거 반복 후에도 SONOS 트랜지스터의 문턱전압 변화가 거의 없음을 알 수 있다. 이것은 바이트 소거형 EEPROM을 위한 프로그래밍 조건에서는 프로그램과 소거동작이 모두 채널영역을 통하여 이루어지는 반면, 일괄 소거형 플래시 EEPROM을 위한 프로그래밍 조건에서는 소오스와 드레인 영역만을 이용하여 프로그래밍하고, 소거 할 때는 채널영역만을 이용하기 때문에 열화현상이 감소되기 때문으로 해석할 수 있다.

#### 4. 결론

0.35  $\mu$ m CMOS 표준논리공정기술을 사용하여 제작된 SONOS 트랜지스터는  $\pm 8.5$  V의 낮은 프로그래밍 전압과 10년의 기억유지능력을 나타내었으며, 고쳐 쓰기를 많이 하더라도 누설전류가 작기 때문에 과도소거로 인한 읽기 오동작의 문제가 없으며, 프로그램과 소거상태를 정확히 판독할 수 있었다. 프로그램과 소거상태에서 측정된 SONOS 트랜지스터의 문턱전압 분포는 폭이 좁게 나타났으며, 부유 게이트형 소자구조에서 문제가 되고 있는

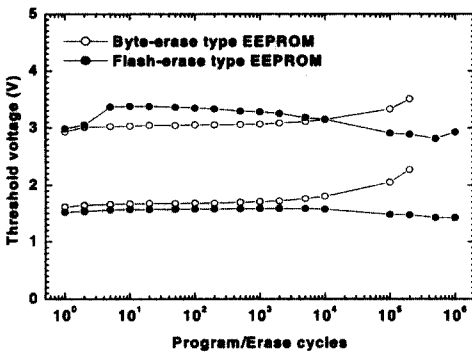


그림 8. 바이트 소거형 EEPROM과 일괄 소거형 EEPROM의 프로그래밍 방법에 따른 전 기적 내구특성.

Fig. 8. The endurance characteristics with programming method of byte-erased and flash-erased EEPROM.

과도소거현상이 전하 트랩형 소자구조에서는 발생하지 않음을 알 수 있었다. 바이트 소거형 EEPROM을 위한 프로그래밍 조건에서는 프로그램과 소거동작이 모두 채널영역을 통하여 이루어지는 반면, 일괄 소거형 플래시 EEPROM을 위한 프로그래밍 조건에서는 소오스와 드레인 영역만을 이용하여 프로그래밍하고, 소거 할 때는 채널영역만을 이용하기 때문에 열화현상이 감소되었으며, 게이트에 인가되는 프로그래밍 전압을 감소시켜 3 V 저전압 단일전원을 실현 할 수 있었다.

### 참고 문헌

- [1] Y. Kamigaki, S. Minami, T. Hagiwara, K. Furusawa, T. Furuno, K. Uchida, M. Terasawa, and K. Yamazaki, "Yield and reliability of MNOS EEPROM products", *IEEE J. Solid-State Circuits*, Vol. 24, p. 1714, 1989.
- [2] 서광열, "SONOS EEPROM 소자에 관한 연구", *전기전자재료학회논문지*, 7권, 2호, p. 123, 1994.
- [3] M. H. White, Y. Yang, A. Purwar, and M. French, "A low voltage SONOS nonvolatile semiconductor memory technology", *IEEE Trans. Comp. Pack. Manu. Tech. A* 20, No. 2, p. 190, 1997.
- [4] 김선주, 김주연, 김병철, 서광열, "NOR 플래시 메모리를 위한 전하트랩형 NVSM 셀의 제작 과 특성", *전기전자재료학회논문지*, 12권, 11호, p. 999, 1999.
- [5] I. Fujiwara, H. Aozasa, A. Nakamura, Y. Hayashi, and T. Koayashi, "MONOS memory cell scalable to 0.1 $\mu$ m and beyond", *IEEE Nonvolatile Semiconductor Memory Workshop*, p. 117, 2000.
- [6] 박희정, 박승진, 남동우, 김병철, 서광열, "플래시 메모리를 위한 Scaled SONOSFET NVSM의 프로그래밍 조건과 특성에 관한 연구", *전기전자재료학회논문지*, 13권, 11호, p. 914, 2000.
- [7] H. Reisinger, M. Franosch, B. Hasler, and T. Bohm, "A novel SONOS structure for non-volatile memories with improved data retention", *Symposium on VLSI Technology Digest of Technical Papers*, p. 113, 1997.
- [8] S. Minami and Y. Kamigaki, "Tunnel oxide thickness optimization for high-performance MNOS nonvolatile memory devices", *IEICE Trans.*, Vol. E74, No. 4, p. 875, 1991.
- [9] M. French, H. Sathianathan, and M. White, "A SONOS nonvolatile memory cell for semiconductor disk application", *Proceedings 1993, Nonvolatile Memory Technolog Review*, p. 70, 1993.
- [10] F. R. Libsch, A. Roy, and M. H. White, "Charge transport and storage of low programming voltage SONOS/MONOS memory devices", *Solid-State Electronics*, Vol. 33, No. 1, p. 105, 1990.
- [11] J. A. Topich and E. T. Yon, "The effects of high temperature annealing on MNOS devices", *J. Electrochem. Soc.*, Vol. 123, No. 4, p. 535, 1976.
- [12] S. Minami and Y. Kamigaki, "New scaling guidelines for MNOS nonvolatile memory devices", *IEEE Trans. Electron Devices*, Vol. 38, No. 11, p. 2519, 1991.