

다양한 기울기를 갖는 TEOS 필드 산화막의 경사식각

Tapered Etching of Field Oxide with Various Angle using TEOS

김삼기*, 박일용, 구진근, 김종대
(Sang Gi Kim*, Il Yong Park, Jin Gun Koo, and Jong Dae Kim)

Abstract

Linearly graded profiles on the field area oxide are frequently used in power integrated circuits to reduce the surface electric field when power devices are operated in forward or reverse blocking modes. It is shown here that tapered windows can be made using the difference of etch rates between the bottom and the top layer of TEOS film. Annealed TEOS films are etched at a lower rate than the TEOS film without annealing process. The fast etching layer results in window walls having slopes in the range of $25^\circ \sim 80^\circ$ with respect to the wafer surface. Taper etching technique by annealing the TEOS film applies to high voltage LDMOS, which is compatible with CMOS process, due to the minimum changes in both of design rules and thermal budget.

Key Words : Etch rate, Tapered etch, TEOS oxide, Lateral devices, SEM

1. 서론

실리콘 산화막(SiO_2)은 반도체 공정에서 매우 중요한 박막중의 하나이며 일반적으로 산화막은 절연층이나 커패시터 등의 용도로 사용하고 있다 [1-3]. 공정방법에 따라 고온 산화막과 저온 산화막이 있으며 고온 산화막으로는 LOCOS(LOCAL Oxidation On Silicon)를 이용한 필드(field) 산화막으로 주로 900°C 이상의 고온에서 성장시킨다. 이렇게 성장된 산화막은 기판인 실리콘과 반응하여 기판(Si)을 소모한다[1]. 그러나 저온 산화막은 기판 위에 화학적으로 증착되므로 기판에 손상을 주지 않고 산화막을 얻을 수 있으나 박막의 특성이 고온 산화막에 비하여 구조가 치밀하지 못하여 전기적 특성이 나쁘기 때문에 소자의 전기적 특성을 저하시킬 수 있다[2].

산화막을 성장시킨 후 반드시 식각공정을 하게

되는데 식각 모양에서 수직적 식각 특성과 식각비가 높은 이방성(anisotropic) 때문에 건식식각(dry etch)이 VLSI 공정에 주로 사용된다. 그에 반하여 습식식각은 수직 및 수평적 식각이 동시에 이루어지는 등방성(isotropic)이기 때문에 VLSI 공정에 적합하지 않다[3-7].

산화막은 소자에 따라 식각의 종류, 식각 후의 산화막 각도 등이 다르게 적용된다. 고전압 소자 제작에 있어서 산화막의 식각 후 모양을 비스듬히 경사지게 원할 경우가 있다. 이러한 연구를 위해 Takayuki[8]는 PSG/ SiO_2 이중 박막을 사용하여 식각 비를 다르게 하여 산화막을 경사지게 만들었으며, Janes[9]은 SiO_2 막에 이온주입의 농도를 조정하여 농도에 따른 식각율을 사용하여 산화막을 경사지게 식각하였다. 그리고 고전압 소자에서 문턱전압을 높이기 위해 실리콘 기판 위에 SiO_2 와 SOG 막을 증착하여 경사지게 식각한 후에 다시 p^+ 이온주입을 하여 p-n 다이오드를 만들고 주입된 이온을 이중 확산시켜 항복전압을 140V까지 높였다[10]. 이렇게 산화막을 경사지게 식각할 때 빗면의 경사각을 조정하거나 낮은 각도를 요구하는 식각은 종래의 습식식각이나 건식식각으로 60° 이

한국전자통신연구원 집적회로연구부
(대전시 유성구 가정동 161)
Fax: 042-860-6836
E-mail : sgkim@etri.re.kr
2002년 5월 10일 접수, 2002년 6월 24일 1차 심사완료,
2002년 7월 12일 2차 심사완료, 2002년 7월 30일 최종 심사완료

하의 낮은 빗면 경사가 이루어진 공정을 구현하기가 어렵다.

특히 고전압 전력소자에 사용되고 있는 고온 필드 산화막 형성을 경사지게 식각하여 드레인 전극에서 발생하는 전계를 약화시켜주어 고전압에서 동작이 가능하게 만들어 줄 수 있으므로 경사식각이 가능한 산화막에 대한 연구가 필수적이다 [8-11]. 따라서 본 연구에서는 TEOS(Tetra-Ethyle-Ortho-Silicate)를 이용한 저온 산화막의 등방성 식각특성을 이용한 경사식각에 관하여 연구하였다. 그 결과 경사각이 약 25° ~ 80° 이내로 낮은 선형성을 갖는 빗면 경사각을 얻을 수 있었다.

2. 실험

TEOS 산화막 선형성 경사식각 기술을 위해 5인치, p-type (100) 실리콘 기판을 사용하였다. 산화막 증착은 TEOS를 사용했으며, 산화막 두께는 필드 산화막 공정에서 요구하는 조건인 약 1 μ m 이내로 증착하였다. 산화막은 1~3회로 나누어 다층으로 증착하였다. TEOS 산화막 증착후 각 층마다 850 $^{\circ}$ C 혹은 950 $^{\circ}$ C에서 30분간 후속 열처리를 하였다. 그림 1은 경사식각을 위한 다층 산화막 공정 순서를 나타낸 것이다. 실리콘 기판 위에 제 1, 제 2 TEOS 산화막을 증착한 다음 증착된 박막을 각각 열처리한 다음 제 3 TEOS 산화막을 다시 증착한 후 감광막을 사용하여 패턴을 형성하였다. 감광막으로 패터닝된 TEOS 산화막은 6:1 BHF(Buffered HF) 용액에서 습식식각을 하였다. 이때 다층으로 성장된 산화막은 후속 열처리에 의해 각 층마다 산화막의 화학적 식각비가 다르게 된다. 이렇게 식각비가 다른 것을 이용하여 경사식각을 구현하였다. 식각된 단면을 관찰하기 위하여 SEM (Secondary Electron Microscope)으로 분석하였고 TEOS 산화막의 두께는 나노스펙으로 측정하였다.

3. 결과 및 고찰

3.1 TEOS 산화막의 식각특성

실리콘 기판 위에 약 1 μ m 두께의 제1 TEOS 산화막을 증착하고 질소 분위기에서 950 $^{\circ}$ C에서 30분간 열처리하여 기준 시료를 형성하였다. 식각 조율 측정하기 위하여 기준시료에 감광막을 도포하

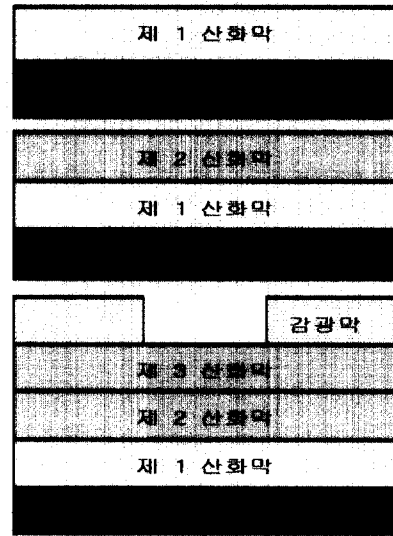


그림 1. 경사식각을 위한 다층 산화막 구조.

Fig. 1. Structure of multi oxide for taper etching.

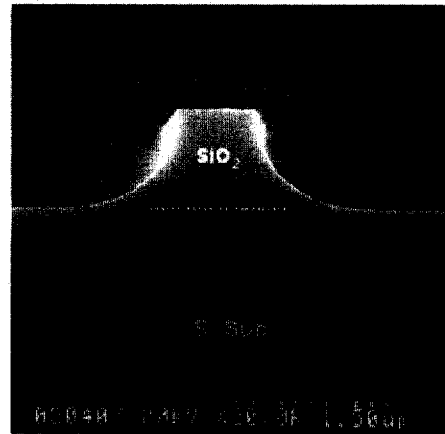


그림 2. 1 μ m 두께를 갖는 TEOS 산화막의 습식식각 단면도.

Fig. 2. Cross section of wet etching profile with 1 μ m TEOS oxide.

고 필요한 패턴을 형성한 후 습식식각을 한 결과를 그림 2에 나타내었다. 사용된 산화막 식각 용액은 6:1 BHF를 사용하였으며 습식식각시 일반적으로 등방성 식각 특성을 갖는다.

열처리한 TEOS 산화막의 식각율은 160 ~ 220nm/min. 이었다. 반면 열처리하지 않은 TEOS

산화막은 350~400nm/min 으로 약 2배 정도 식각 차이를 보여 주었다. 그림 2에서 보는 바와 같이 일반적인 산화막의 습식식각 형태는 등방성이며, 식각 후 경사각은 습식식각시 화학 약품의 농도나 조성비에 따라 다소 식각 모양의 차이는 있으나 본 실험에서는 약 70° 정도이고 기판에 근접한 바닥면이 포물선 형태를 이루면서 꼭대기 부분은 가파른 경사를 이루고 있음을 알 수 있었다. 이러한 포물선 형태의 등방성 식각은 일반적인 습식식각에서 나타나는 경향으로 볼 수 있다.

그림 3에서 사각형 표시는 초기 증착된 TEOS 산화막을 열처리 조건에 대한 두께 변화를 나타낸 것이다. 그림에서와 같이 TEOS 산화막을 초기에 증착했을 때의 두께가 523nm인 것이 850°C에서 30분간 열처리 했을 때는 TEOS 산화막 두께가 494nm로 초기 증착 두께보다 약 6% 감소하였고, 초기 증착된 TEOS 산화막을 950°C에서 30분간 열처리 했을 때는 TEOS 산화막 두께가 488nm로 초기 증착 두께보다 약 7% 감소하였다. 이는 TEOS 산화막이 후속 열처리에 의해 박막이 수축되었음을 알 수 있다. 따라서 초기 증착된 TEOS 산화막이 950°C에서 30분간 열처리 했을 때는 초기 산화막 두께보다 약 35nm 감소함을 알 수 있었다. 또한 증착된 TEOS 산화막의 열처리 조건에 따른 식각 특성에 대해 열처리 전과 후에 6:1 BHF 용액에서 식각을 했을 때 산화막의 식각율을 나타낸 것이 원형 표시이다. 초기 증착된 TEOS 산화막은

384nm/min.가 식각 되었고, TEOS 산화막 증착후 850°C에서 30분간 열처리한 후의 식각율은 220nm/min.으로 초기 증착 산화막보다 약 43% 식각율이 감소하였다.

TEOS 산화막 증착후 950°C에서 30분간 열처리한 후의 식각율은 166nm/min.이었으며 초기 산화막에 비해 식각율이 약 57% 로 크게 감소하였다. 이와 같이 TEOS 산화막 증착후 열처리 온도가 높을수록 식각율이 크게 감소함을 알 수 있었다. 이는 TEOS 산화막이 후속 열처리에 의해 초기 증착시 열적 에너지보다 높은 에너지로 TEOS 산화막 열처리 함으로써 초기 증착된 산화막의 밀도가 증가되면서 TEOS 산화막이 수축되었음을 알 수 있었고, 이에 따른 TEOS 산화막의 화학적 반응 속도가 둔화되어 습식식각의 반응이 느려 습식시간이 많이 걸림을 알 수 있다.

3.2 경사면 제어 및 고찰

산화막을 경사로 식각하는 기술은 습식식각이나 건식식각을 많이 사용한다. 그러나 산화막이 두꺼우면 건식식각으로 낮은 경사각을 얻기가 매우 어렵다. 본 실험에서는 그림 1과 같이 TEOS 산화막을 형성한 후 형성된 산화막을 자기 다른 조건에서 열처리 하여 식각율에 대한 식각비를 이용하였다. TEOS 산화막 식각 후 단면의 경사 각도를 약 70° 이하로 낮게 하는 식각기술을 개발하였다. 일반적인 식각에서 벗어나 식각 기울기를 조정 함으로서 수평형 고전압 전력용 LDMOS 소자에 있어서 드레인과 유동(drift) 영역의 전계를 기울기에 수직인 방향으로 입사시키므로 전송자의 이동방향에 대하여 전계가 굽어져서 전계강도를 낮출 수 있기 때문에 경사식각의 기울기 조정이 중요한 변수가 된다. 빗면 식각을 위한 패턴을 형성한 후 약 20~80° 이내의 낮은 식각 기울기를 얻을 수 있으므로 고전압 전력소자의 p-LDMOSFET용 두꺼운 게이트 산화막으로 많이 활용된다[8-12].

캐패시터 양단에 고전압을 인가할 때 직각으로 형성된 산화막은 빗면으로 식각된 산화막보다 전계가 가해지는 각도가 크므로 끝부분에 전계가 몰려서 상대적으로 직각으로 형성된 산화막의 모퉁이 부분이 쉽게 파괴된다. 그러나 빗면으로 경사된 산화막은 고전압을 인가할 때 빗면의 끝이 직각보다 큰 둔각이 되므로 전계 밀도가 낮아서 고전압에도 캐패시터 부분이 쉽게 파괴되지 않는 이점이 있으므로 경사식각이 고전압 소자에서는 필수적이

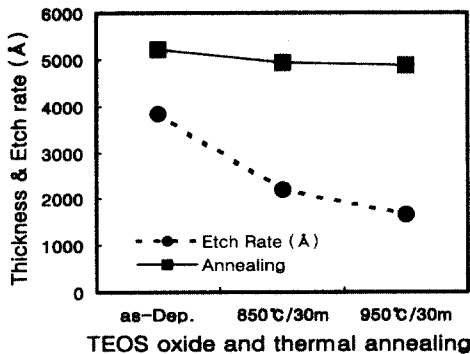


그림 3. 열처리에 따른 TEOS 산화막의 식각율 및 두께 변화.

Fig. 3. The variation of TEOS etch rate and thickness as a function of thermal treatment conditions.

다. 식각 조건이 다른 여러 층의 산화막 경사각에서 각 층의 식각 속도를 조절함으로써 기울기의 조절이 가능한데 이때 식각 속도가 상대적으로 낮고 반응이 균일한 습식식각이 건식식각보다 각도 조절이 용이했다. 습식식각은 약 25~80° 까지 넓은 범위에서 조절이 가능하였다. 이러한 결과를 이용하여 고전압 전력소자의 p-LDMOSFET 소자에 적용하기 위한 공정실험을 수행하였다.

그림 4는 800nm의 제1 TEOS 산화막을 증착하고 난 후 850°C에서 30분간 열처리 하고 다시 200nm의 제2 TEOS 산화막을 도포한 다음 습식

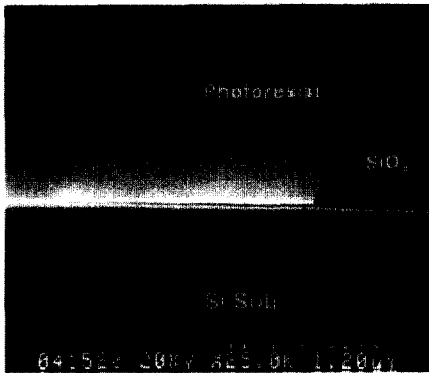


그림 4. TEOS 산화막을 850C, 30분 열처리한 후 습식식각한 단면.

Fig. 4. Cross section of TEOS oxide wet etching profile annealed at 850C, 30min.

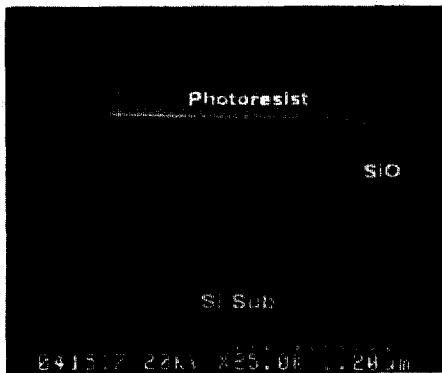
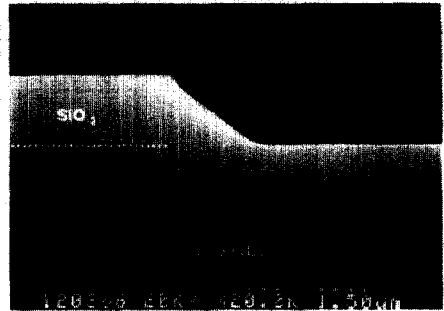


그림 5. TEOS 산화막을 950C, 30분 열처리한 후 습식식각한 단면.

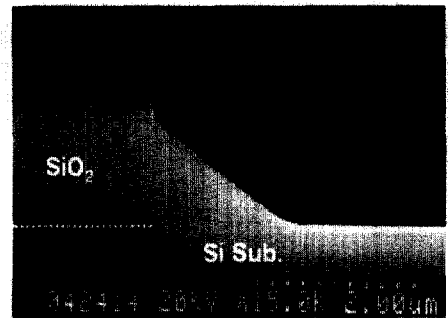
Fig. 5. Cross section of TEOS oxide wet etching profile annealed at 950C, 30min.

식각 했을 때 사진이다. 사진에서와 같이 약 75° 정도의 기울기를 가졌으며 이는 실제 p-LDMOSFET 소자에 사용하기 어려운 큰 각도이다. 따라서 소자에서는 40° 이하의 각도가 바람직하나 공정의 양립성과 소자의 면적과 같은 설계변수를 변경시키지 않는 범위인 50° 내외가 공정에 적합할 것으로 사료된다.

그림 5는 800nm의 제1 TEOS 산화막을 증착한 후 증착된 것을 950°C에서 30분간 열처리 하고 제2 TEOS 산화막을 200nm의 증착한 다음 감광막 패턴을 형성하여 습식식각을 390초 동안 했을 때 약 60° 정도의 기울기를 가지는 것을 알 수 있었다. 실험에서와 같이 그림 4와 5는 제2 층을 식각율이 높은 TEOS 산화막을 사용하고 제1 층을 식각율이 낮은 산화막을 사용하는 완충층(buffered layer) 식각에서 두 층 간의 식각 속도가 많이 차



(a) 경사각 40도



(b) 경사각 28도

그림 6. 습식식각으로 낮은 기울기를 갖는 TEOS 산화막 단면도.

Fig. 6. Cross section of TEOS oxide wet etching profile with low angle.

이 날수록 기술기가 낮아지는 것을 알 수 있다.

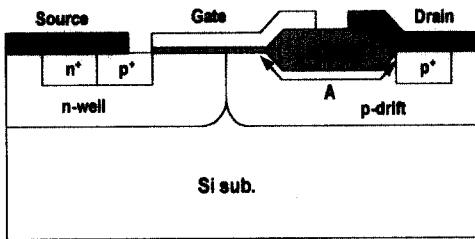
그림 6은 실리콘 위에 제1, 제2, 제3의 TEOS 산화막을 증착한 후 증착된 TEOS 산화막을 각각 용도에 맞게 열처리하여 서로 다른 TEOS 산화막의 식각율을 이용하여 산화막을 낮은 각도로 경사지게 식각하였다. 식각은 6:1 BHF 용액을 사용하였으며 식각 시간은 약 6~8 분간이다. 그림 6의 (a)는 제1 TEOS 산화막을 500nm 증착한 후 950°C에서 30분간 열처리하고 제2 TEOS 산화막을 500nm 증착한 후, 다시 950°C에서 30분간 열처리한 다음 제3 TEOS 산화막을 200nm 증착한 후 850°C에서 30분간 열처리하고 난후 BHF 용액에서 390초 식각하였다. 그 결과 경사각은 약 40° 를 나타내었고, (b)는 제1 TEOS 산화막을 500nm 증착한 후 950°C에서 30분간 열처리한 후, 다시 제2 TEOS 산화막을 500nm 증착한 후 950°C에서 30분간 열처리한 후 다시 제3 TEOS 산화막을 200nm 증착한 후 BHF 용액에서 390초 동안 식각한 후의 빗면 경사도이다. 그림에서와 같이 경사각도가 약

28° 로 매우 낮게 선형적으로 형성되었다. 이와 같이 TEOS 산화막을 열처리하여 열처리된 산화막의 서로 다른 식각율을 이용한 결과 낮은 선형적 경사각을 얻을 수 있었다. 이러한 기술 이용하면 TEOS 산화막의 빗면 각도를 쉽게 제어할 수 있어 낮은 경사각을 갖는 소자 제작에 많은 활용이 기대된다.

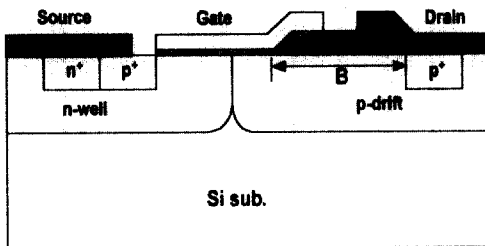
그림 7의 (a)는 전통적인 LDMOS의 구조를 나타낸 것이다. LOCOS 방법을 이용한 전통적인 필드 산화막을 사용한 소자 구조에서는 LOCOS의 하단 부분 A로 전류가 흐르기 때문에 전류 패스가 길어져 온-저항이 증가한다[13]. 그러나 TEOS 산화막을 사용하면 그림 (b)와 같이 전류 패스 B가 그림 (a)의 A보다 짧아져 온-저항이 감소한다. 뿐만 아니라 LOCOS 산화막 하단에서 발생하는 보론(boron)의 불순물 재분포 현상을 감소시켜 온-저항을 더욱 감소시킬 수 있다.

그림 8은 제1 TEOS 산화막을 1 μ m 증착한 후 950°C에서 30분간 열처리하고 제2 TEOS 산화막을 200nm 증착한 후 BHF 용액에서 460초 식각한 후 감광막을 제거하고 난 후 다시 표면을 dip 에칭하여 상층부분의 산화막을 선형적으로 하였다. 그 결과 경사각은 약 50° 를 나타내었고 이러한 기술을 사용하여 p-LDMOSFET의 소자의 필드 영역을 TEOS 산화막을 사용하여 제작하였다.

LDMOSFET의 드리프트 영역의 보론 농도는 매



(a) LOCOS 필드 산화막



(b) Tapered 필드 산화막

그림 7. LDMOSFET에 있어서 (a) LOCOS 필드 산화막과, (b) Tapered 필드 산화막 단면도.

Fig. 7. Cross section of p-channel LDMOSFET with (a) LOCOS field oxide, (b) a tapered field oxide.

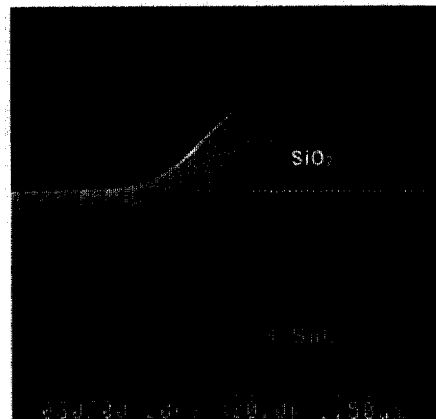


그림 8. 경사각 50° 를 갖는 TEOS 산화막 단면도.

Fig. 8. Cross section of TEOS oxide wet etching profile with 50° tapered angle.

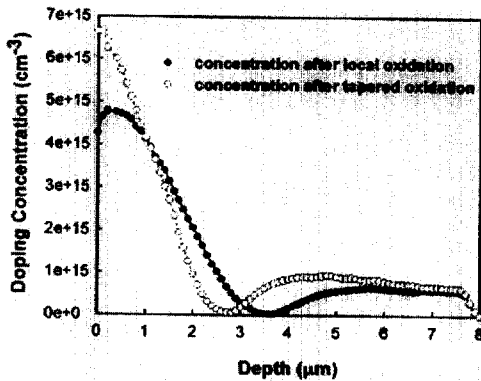


그림 9. LDMOS 소자의 드리프트 영역에서의 전통적인 방법 및 tapered 방법에 의한 보론 농도분포도.

Fig. 9. Distribution of boron impurity in the drift region of LDMOS devices with conventional and tapered field oxide.

우 중요하다. 필드 열산화막(thermal oxidation) 성장시 보론의 재분포 현상은 표면의 농도를 감소시켜 온-저항이 증가하는 중요한 요인이다.

그림 9는 전통적인(conventional) LOCOS 사용한 필드 산화막과 tapered TEOS 산화막 기술을 사용한 후의 보론의 농도 분포를 나타낸 것이다. p-드리프트 영역의 보론 이온 주입을 $5.0 \times 10^{12} \text{cm}^{-2}$ 으로 했을 때 두가지 방법으로 필드 산화막을 형성하였다. 하나는 전통적인 local oxidation 방법으로 산화막을 성장했으며, 표면 농도는 $4.2 \times 10^{15} \text{cm}^{-3}$ 으로 분석 되었다. 이는 보론이 필드 산화막 내부로 많이 확산이 된 것으로 추정된다.

그러나 tapered TEOS 필드 산화막 방법에 의해 필드 산화막을 형성하고 난 후 드리프트 영역의 보론 농도는 $6.7 \times 10^{15} \text{cm}^{-3}$ 으로 분석 되었으며, 전통적인 방법보다는 보론 농도가 높은 것으로 보아 보론의 확산이 매우 적게 이루어졌음을 알 수 있다.

4. 결론

본 연구에서는 산화막 식각시 측면의 경사 각도를 임의로 조정 함으로서 원하는 형태의 산화막 빔면 경사각을 얻을 수 있었다. TEOS 산화막을 증착한 후 증착된 TEOS 산화막을 서로 다른 온도에서 열처리하여 TEOS 산화막의 밀도를 다르게

하여 습식식각 및 건식식각 때 식각율을 이용하는 기술이다. 여러 층의 TEOS 산화막을 형성하여 형성된 각 층마다 산화막 초기 증착온도를 기준으로 하여 제2, 제3의 TEOS 산화막을 추가로 증착한 후 증착된 TEOS 산화막을 초기 증착 온도보다 높은 온도로 열처리할 때 증착된 TEOS 산화막의 화학적 식각비를 다르게 하여 특정한 경사각을 갖는 식각을 하였다. 특히 p-LDMOSFET의 트랜지스터나 전력소자에 적용이 가능한 TEOS 산화막을 이용하여 소자를 개발하였다. 경사각은 TEOS 산화막 증착 조건과 층간의 열처리 조건에 따라 다르며 경사각은 약 $25 \sim 80^\circ$ 까지 조정이 가능하였다. 이렇게 개발한 TEOS 산화막을 이용하여 고전압 p-LDMOS 소자의 필드 산화막으로 사용한 결과 tapered TEOS 필드 산화막 방법을 사용했을 때 표면에서 보론 이온의 외부 확산이 전통적인 LOCOS 사용한 필드 산화막보다 약 37% 감소하였다.

감사의 글

본 연구는 정보통신부의 지원에 의해 의하여 연구되었습니다.

참고 문헌

- [1] W. R. Runyan and K. E. Bean, "Semiconductor Integrated Circuit Processing Technology", Addison-Wesley publishing Company, p. 140, 1990.
- [2] S. M. Sze, "VLSI Technology", McGraw-Hill, 1996.
- [3] S. Wolf, "Silicon Processing for the VLSI Era", Lattice, 1996.
- [4] S. K. Kwon, K. H. Kwon, B. W. Kim, J. M. Park, S. W. Yoo, K. S. Park, Y. K. Bae, and B. W. Kim, "Characterization of via etch in CHF_3/CF_4 magnetically enhanced relative ion etching using neural networks", ETRI Journal, Vol. 24, No. 3, p 57, 2002.
- [5] 박종문, 권성구, 박건식, 유성욱, 배운규, 김변환, 권광호, "Via Contact 형성을 위한 산화막 식각 공정의 신경망 모델", 전기전자재료학회

논문지, 15권, 1호, p. 7, 2002.

- [6] 민병준, 김창일, 장의구, "유도결합 플라즈마를 이용한 $YMnO_3$ 박막의 건식식각 특성 연구", 전기전자재료학회논문지, 16권, 2호, p 93, 2001.
- [7] 송정균, 정두찬, 신무환, "단결정 6H-SiC 광전화학 습식식각에 대한 연구", 전기전자재료학회논문지, 14권, 2호, p. 117, 2001.
- [8] Takayuki Yanagawa and Isao Takekoshi, "Failure analysis of evaporated metal interconnections at contact window", IEEE Trans. on ED, Vol. 17, No. 11, p. 964, 1970.
- [9] Janes C. North, Thomas E. McGahph, D. W. Rice, and A. C. Adams, "Tapered windows in phosphorus-doped SiO_2 by ion implantation", IEEE Trans. on ED, Vol. 25, No. 7, p. 809, 1978.
- [10] H. S. Kim, S. D. Kim, M. K. Han, S. K. Yoon, and Y. I. Choi, "Breakdown voltage enhancement of the p-n junction by self-aligned double diffusion process through a tapered SiO_2 implant mask" EDL, Vol. 16, No. 9, p. 405, 1995.
- [11] J. Kim, T. M. Rho, S. G. Kim, Q. S. Song, D. W. Lee, J. G. Koo, and K. I. Cho, "High-voltage power integrated circuit technology using SOI for driving plasma display panels", IEEE Trans. on ED, Vol. 48, No. 6, p. 1256, 2001.
- [12] Jongdae Kim, Sang-Gi Kim, Q. Sang Yong Lee, Jin Gun Koo, and Dong Sung Ma, "Improvement on p-channel SOI LDMOS transistor by adapting a new tapered oxide technique", IEEE Trans. on ED, Vol. 46, No. 9, p 1890, 1999.
- [13] T. Kato and Y. Nishi, "Redistribution of diffused boron in silicon by thermal oxidation". Jpn. J. Appl. Phys., Vol. 3, No. 7, p. 377, 1964.