

수직형 Feed-through 갖는 RF-MEMS 소자의 웨이퍼 레벨 패키징

Wafer Level Packaging of RF-MEMS Devices with Vertical Feed-through

박윤권^{***}, 이덕중^{*}, 박홍우^{**}, 김 훈^{*}, 이윤희^{*}, 김철주^{***}, 주병권^{*}
(Yun-Kwon Park^{***}, Duck-Jung Lee^{*}, Heung-Woo Park^{**}, Hoon Kim^{*}
Yun-Hi Lee^{*}, Chul-Ju Kim^{***}, and Byeong-Kwon Ju^{*})

Abstract

Wafer level packaging is gain more momentum as a low cost, high performance solution for RF-MEMS devices. In this work, the flip-chip method was used for the wafer level packaging of RF-MEMS devices on the quartz substrate with low losses. For analyzing the EM (electromagnetic) characteristic of proposed packaging structure, we got the 3D structure simulation using FEM (finite element method). The electric field distribution of CPW and hole feed-through at 3 GHz were concentrated on the hole and the CPW. The reflection loss of the package was totally below 23 dB and the insertion loss that presents the signal transmission characteristic is above 0.06 dB. The 4-inch Pyrex glass was used as a package substrate and it was punched with air-blast with 250 μm diameter holes. We made the vertical feed-throughs to reduce the electric path length and parasitic parameters. The vias were filled with plating gold. The package substrate was bonded with the silicon substrate with the B-stage epoxy. The loss of the overall package structure was tested with a network analyzer and was within 0.05 dB. This structure can be used for wafer level packaging of not only the RF-MEMS devices but also the MEMS devices.

Key Words : Flip-chip, Wafer level package, RF-MEMS, Bump

1. 서 론

최근 통신기술의 발달은 GHz의 고주파, 광대역 주파수 범위의 사용 증가를 요구하고 있다. 마이크로머시닝을 이용한 실리콘 기판 또는 석영 기판에

MEMS 소자를 제작하여 이용하는 것은 칩 크기, 무게, 비용 절감과 집적화에 있어 많은 잠재적인 능력을 가지고 있다[1]. 특히 핸드폰과 같은 무선 통신 시장의 확대에 의한 800MHz - 2.5GHz의 높은 주파수 범위의 사용이 증가되고 있으며, 소자의 집적화를 이루기 위하여 스위치, 공진기, LC, 필터 등 RF 소자에 대한 MEMS 기술을 도입하는 연구가 증가되고 있다[1,2]. 따라서 RF-MEMS 소자의 이용과 집적화를 위하여 패키지 기술의 필요성이 증가하고 있다[3]. 패키지 기술은 소자의 제작비용의 절반이상을 차지하고 있으며, 전체 소자의 크기 및 무게를 증가시키고, 또한 집적화를 이루는데 해

* : 한국과학기술연구원 마이크로시스템센터
(서울시 성북구 하월곡동 39-1,
Fax: 02-958-5692
E-mail : ykp@kist.re.kr)

** : 한국전자통신연구원 광통신소자연구부

*** : 서울시립대학교 전자전기공학부

2002년 5월 25일 접수, 2002년 6월 24일 1차 심사완료

2002년 7월 25일 2차 심사완료, 2002년 8월 2일 최종 심사완료

결핵으로 중요성이 더욱 부각되고 있다. 따라서 웨이퍼 레벨 칩 사이즈의 패키지에 대한 연구가 진행되고 있다. 웨이퍼 레벨 칩사이즈 패키지를 함으로써 비용, 집적화, 경량화와 소자의 특성 향상을 이룰 수 있다[4]. 하지만 현재까지 RF-MEMS 소자의 패키지에 대한 연구결과가 부족한 상태이다. 따라서 본 연구에서는 RF-MEMS 소자의 적용을 위한 패키지 방법에 대하여 연구를 하였으며, 특히 소자의 성능을 제한하지 않는 저 손실, 저 비용, 칩크기의 웨이퍼 레벨 패키지 방법을 제안하였다. RF-MEMS 소자의 패키지는 DC 또는 저주파 대역에서 동작하는 기존의 MEMS 소자와는 달리 주파수가 높아짐에 따라 무시되었던 기생성분, 신호 상호간의 간섭, 재질에 따른 유전손실, 기판과 소자 상호간의 영향에 따른 자체 공진 등이 고려되어야 한다[5]. 따라서 RF-MEMS 패키징은 패키지 후 소자의 출력 특성이 패키지에 의해 저하되지 않고, 빠른 신호 전달과 기생용량이 작아지도록 짧은 feed-through가 형성되어야 하며, 습기와 외부 충격에 보호되도록 설계되어야 한다[6-8]. 또한 소자의 집적화를 위한 패키지 영역의 최소화 및 적은 비용의 패키지가 이루어 져야 한다. 일반적으로 사용되는 MEMS 소자의 패키지 방식은 전기적인 연결을 위하여, 와이어 본딩을 한 후 금속 캡 등을 이용하는 방식이 사용되고 있다. 그러나 RF와 같이 GHz 이상의 고주파 대역에서 사용하는 경우 와이어 본딩 시 파장에 비하여 전기적 길이가 증가함으로써 기생용량이 증가하는 문제점을 가지고 있다[9]. 또한 패키지를 함으로써 크기의 증가를 가지고 오는 문제점이 발생되고 있다.

본 연구에서는 RF-MEMS 소자를 패키지 하기 위하여, via를 형성한 후 패키징 기판에 bump를 형성함으로써 flip-chip 방식의 패키징을 제안하였다. Feed-through를 수직으로 짧게 연결함으로써 기존에 문제가 되던 기생용량의 저하와 기생 인덕터의 값을 작게 하여 삽입손실을 줄이고자 하였다. 또한 유전 손실이 낮은 유리기판을 패키징기판으로 사용함으로써 기판 유전율에 따른 손실을 최소화 하고자 하였으며, via를 통한 수직형 feed-through를 형성하여 웨이퍼 레벨 칩 크기 패키지가 가능한 구조를 제안 하였다. 웨이퍼 레벨 칩 사이즈 패키징 방식은 제안된 구조는 Ansoft 사의 HFSS를 사용하여 3D-EM 시뮬레이션을 하였으며, 패키징 손실을 측정 위하여 석영(quartz) 기판에 CPW(co-planar waveguide)를 형성한 후, 이를 패키지 한 후 network analyzer(HP 8753D)를 사

용하여 S 파라미터를 측정하였다. 본 구조는 RF-MEMS 패키지 뿐만 아니라 기존의 MEMS 소자에도 그대로 적용할 수 있다.

2. RF-MEMS 패키지 구조 및 시뮬레이션

2.1 RF-MEMS 패키지 구조

그림 1은 본 연구에서 제안한 패키지 구조로써 air blast를 사용하여 via hole을 형성한 후, 전기도 금법을 사용하여 via filling 및 bump를 형성한 후, 상/하부 기판을 접합한 모식도를 보여주고 있다. 패키징 기판으로 pyrex 유리 기판을 사용하였으며, via hole을 통하여 소자의 입/출력 신호 및 그라운드와 DC 신호라인을 형성하였다. 패키지 기판에 cavity를 형성함으로써 소자의 영역으로 사용하였고, 또한 패키지 기판과 소자간의 자체 공진이 일어나지 않도록 하였다. Via filling과 bump를 gold로 사용함으로써 소자 패드의 gold와 직접 접합을 통하여 접촉 저항을 최소화 하고자 하였다. 본 연구에서 패키지 하고자 하는 RF-MEMS 소자는 무선통신 시스템에 들어갈 스위치로써 사용 중심 주파수가 1.8 GHz 와 2.4 GHz 범위내 이다. 따라서 패키지 후 손실이 없는 신호 전달특성에 초점을 맞추었고, 또한 소자의 보호를 위한 외부로부터의 습기 방지에 초점을 맞추어 설계하였다.

2.2 RF-MEMS 패키지 시뮬레이션

제안된 구조의 EM 특성을 확인하기 위하여 유한요소법(FEM: finite element method)을 사용하여

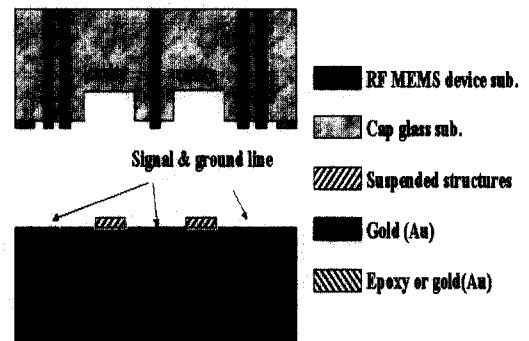


그림 1. 제안된 패키지 구조의 개략도.

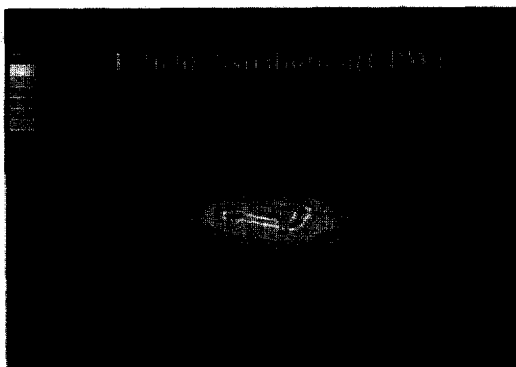
Fig. 1. Schematic diagram of the proposed package structure.

3차원 구조 시뮬레이션을 하였다. 시뮬레이션 툴은 RF 설계시 널리 사용되고 있는 Ansoft 사의 HFSS를 사용하였으며, 기판은 직경이 4인치인 Pyrex 유리기판을 사용하였고 두께는 300 μ m, via hole의 지름은 250 μ m, feedthrough와 범프는 금을 사용하였다. 신호전송을 위한 전송 선로인 CPW는 임피던스를 50 Ω 에 맞추어 설계하였으며, 주파수 측정 영역은 0-3GHz까지 하였다.

그림 2는 RF 신호 전달시 전달 특성 및 간섭특성을 살펴보기 위하여 신호라인과 feed-through의 전계 분포를 3GHz에서 분석한 그림이다. 그림2(a)에는 수직형 전기신호의 통로로 사용되는 via hole을 통한 전계분포를 나타내었고, 그림2(b)에는 기판



(a) Via hole에서의 전계 분포도
(a) Electric field distribution at the via holes



(b) CPW 라인에서의 전계 분포도
(b) Electric field distribution at the CPW line

그림 2. Via holes와 CPW 라인에서의 전계 분포도.
Fig. 2. Electric field distribution at via hole(a) and CPW(b).

과 CPW에서의 전계분포를 나타내었다. 그림에서 보듯이 전계분포가 via hole에 집중되어 있으며, 또한 CPW 라인과 입/출력 라인에 집중되어 있음을 알 수 있다. 이는 RF 신호가 분산과 간섭에 의한 손실이 매우 작다는 것을 의미한다. 즉 전계 분포의 분석을 통하여 신호전달이 via hole과 CPW을 통하여 전송이 이루어지고 있음을 알 수 있다.

그림 3은 패키지 구조의 시뮬레이션을 통한 s-파라미터의 결과를 나타내고 있다. S₁₁은 반사손실을 나타내며, S₂₁은 구조체의 삽입손실을 나타낸다. S₁₁은 1.5GHz에서 23.4dB, 2GHz에서 21.1dB를 나타내고 있으며, 즉 입력으로 반사되는 손실이 거의 없고, 임피던스 매칭이 이루어졌음을 알 수 있다. 삽입손실을 나타내는 S₂₁은 1.5GHz에서 0.048dB, 2GHz에서 0.065dB로써 손실이 매우 작음을 알 수 있다.



(a) 시뮬레이션 된 S₁₁(반사손실) 결과
(a) Simulated S₁₁(Reflection loss) result



(b) 시뮬레이션 된 S₂₁(삽입손실) 결과
(b) Simulated S₂₁(Insertion loss) result

그림 3. 제안된 패키징 구조의 시뮬레이션 된 S 파라미터.

Fig. 3. S-parameter simulation of the proposed package structure.

3. 패키징 구조의 제작

패키징 기판으로는 500 μm 두께의 4인치 7740 pyrex 유리기판을 사용하였다. RF-MEMS 소자의 동작을 위한 DC 신호와 RF 신호의 전기적인 연결을 위하여 Via hole을 형성하였다. Via hole 형성 시 전기적 길이와 기생용량을 줄이기 위하여 수직형 feedthrough를 형성하고자 하였다.

일반적으로 via 형성방법으로는 Ultrasonic drilling, Mechanical drilling, Laser(hologram, excimer), ICP RIE(reactive ion etching)등이 사용되고 있다. 드릴링 방법은 hole 크기의 제한과 사용할수 있는 기판의 제한이 있으며, laser 방식은 70 μm 이하 크기와 높은 aspect ratio을 보여주지만 제작 비용과 시간이 많이 걸린다는 단점이 있다. 또한 ICP RIE 방식은 최근 60 μm 의 홀이 가공되었지만 아직 재현성 확보가 되지 않았으며, 유리 기판의 두께에 대한 제한이 있다. 따라서 본 연구에서는 비교적 가공이 수월하고 제작비용이 작게드는 sand blaster를 이용하여 via hole을 제작하였다. sand blaster를 이용하여 유리 기판을 관통하면 4인치 기판 전역에 걸쳐 원뿔대 모양의 via를 얻을 수 있으며, via의 수직 정도는 sand blaster의 공정 조건에 따라 약간씩 변한다. sand blaster 공정시 마스크로는 DFR(dry film resist) 필름을 사용하였다.

그림 4는 제작된 via hole을 보여주고 있으며, 그림에서 보듯이 상부 홀 크기가 약 250~300 μm 이며, 하부 홀 크기가 약 100~150 μm 범위에 드는 샘플을 제작하여 사용하였다.

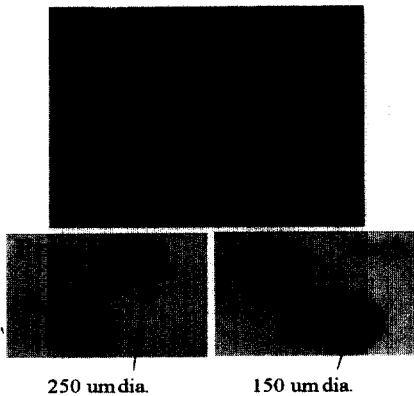


그림 4. 4인치 웨이퍼의 sand blaster에 의해 형성된 홀 사진.

Fig. 4. Photographs of the sandblasted glass wafer and the enlarged holes.

Via를 형성한 후, hole 내부의 전기적인 연결을 위하여 hole filling을 하였다. hole filling 방법으로는 전도성 물질인 실버 페이스트 등을 스크린법이나 진공에 의해 채우는 방법이 있지만 차체 저항이 있으며, 또한 고온 소성 작업을 하며, 소성 후 페이스트가 수축이 되는 문제가 있다. 따라서 본 연구에서는 저온이며 저항이 낮고, 공정의 단순화를 위한 hole filling이 우수한 전기도금 법을 사용하였다. 전기도금 물질로는 저항이 낮은 gold를 사용하였다. 금의 전기 도금을 위하여, 유리기판 위에 스퍼터(sputter) 방법을 이용하여 전기 도금시 전류의 통로와 씨드 층(seed layer)으로 이용될 Cr(500 \AA)/Au(1500 \AA) 박막을 증착 하였다. 씨드 층에 전압을 인가한 상태에서 금을 전기 도금하여 feed-through 로 사용될 부분인 via를 채웠다. 그림 5는 전기도금을 통하여 채워진 via hole의 단면과 홀 한 개를 광학 현미경으로 확대한 사진을 보여주고 있다. 그림에서 보듯이 금이 void가 없이 채워져 있음을 확인 할수 있었으며, 따라서 RF 신호 전달 시 서로간의 간섭 현상이 매우 작고 또한 금속에 의한 손실이 매우 작음을 알 수 있다. Via를 gold 로 채우고 난 후, AZ 9260 두꺼운 Photo-Resistor를 이용하여 범프 형성 시 가이드를 할 수 있도록 몰드를 제작한 후 다시 gold를 전기 도금하여 범프를 형성하였다. 그림 6은 4인치 웨이퍼 레벨로 형성된 범프의 사진과 범프의 높이 및 폭을 보여주고 있다. 그림에서 보듯이 범프의 폭은 100 μm 의 제작된 몰드 보다 10 μm 증가되었으며, 높이는 14.8 μm 로써 웨이퍼 전체에 편차는 $\pm 1\mu\text{m}$

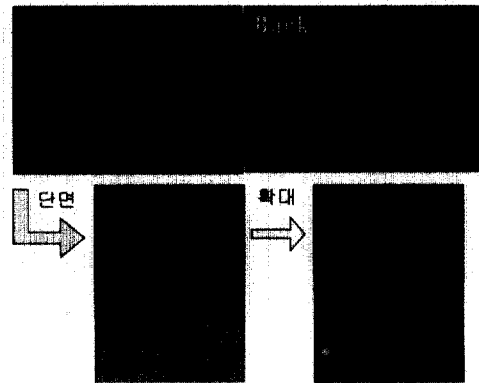


그림 5. 전기도금에 의하여 채워진 홀의 평면 및 단면 사진.

Fig. 5. Photographs of the filled vias and their cross sections.

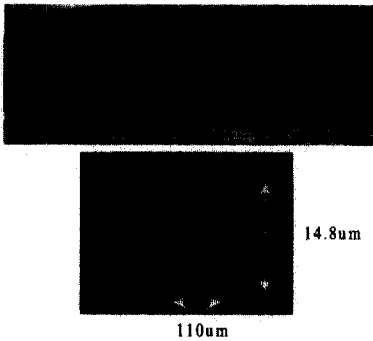
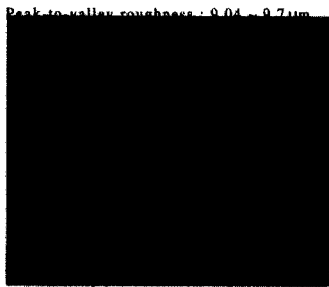
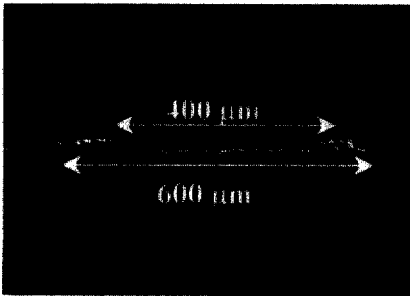


그림 6. 전기도금에 의하여 형성된 웨이퍼 레벨 범프 및 높이 프로파일.
 Fig. 6. Photographs of the wafer-level bump and the height profile of one bump from alpha-step.



(a) 500µm 선폭으로 패턴닝된 B-stage 에폭시



(b) B-stage를 이용하여 접합된 쌍의 SEM 단면 사진
 그림 7. B-stage 에폭시를 이용하여 접합된 평면 및 단면 사진.

Fig. 7. Patterned epoxy and cross sectional SEM micrograph of the bonded pair with B-stage epoxy.

이내로 형성되었다.

제작된 패키징 기판의 특성을 측정하기 위하여 유리 기판의 상부에 측정용 패턴을 형성하였다. 측

정용 패턴은 GSG(ground-signal-ground, 400µm pitch) probe로 측정이 가능한 구조로 제작하였다.

위와 같이 패키징 기판을 완성한 후, 패키징 후 패키징 손실을 측정하기 위하여 석영 기판 위에 소자 부분을 형성하였다. 패키징 될 소자는 RF-MEMS 스위치로서 석영 기판에 형성되며 신호는 CPW로 연결되어 있는 구조이다. 본 연구에서는 소자 패키징에 앞서, 소자가 형성될 부분에 CPW만을 제작하여 놓고 제작된 패키징 기판으로 패키징 한 후 특성을 측정하였다.

패키징은 gold-gold 접합에 의한 방법과 B-stage epoxy에 의한 두 가지 방법에 대하여 연구하였으며 주로 에폭시를 이용한 패키징 방법을 사용하였다.

그림 7(a)는 B-stage epoxy를 500µm의 선폭으로 웨이퍼 레벨로 증착 후 다른 기판과 접합한 사진을 보여준다. 전 처리된 B-stage epoxy에 일정한 압력 하에서 175°C의 열처리를 수행하였다. 그림 7(b)는 접합된 시편의 단면 SEM 사진으로부터 하부 600µm, 상부 400µm로 하부기판에서 약 100µm의 증가된 영역으로 접합되었음을 확인하였다.

4. 실험결과

그림 8은 웨이퍼 레벨로 패키징 된 사진을 보여주고 있다. 소자의 패드와 패키징 기판의 범프를 플립 칩 본더를 사용하여 정렬을 한 후 패키징 된 소자에 대해 2 포트 GSG probe 와 HP 8753D network analyzer를 이용하여 패키징 손실을 측정하였다. 측정된 반사손실(S_{11})과 삽입손실(S_{21})을 그림 9에 나타내었다.

전체 패키징 구조의 손실 측정에 앞서 소자 부분으로 정의된 석영 기판의 CPW에 대한 손실을 측정하였다. Via를 gold 로 채우고 난 후, AZ 9260 두꺼운 Photo-Resistor를 이용하여 범프 형성 시 가이드를 할 수 있도록 몰드를 제작한 후 다시 gold를 전기도금하여 범프를 형성하였다.

CPW의 손실을 측정한 결과, 목표 주파수 영역인 3GHz 까지의 범위에 대해 약 0.5 ~ 0.63 [dB]의 특성을 얻을 수 있었다. 이후, 전체 패키징 구조에 대한 손실을 측정하였다.

CPW의 손실을 측정한 결과, 목표 주파수 영역인 3GHz 까지의 범위에 대해 약 0.5 ~ 0.63 [dB]의 특성을 얻을 수 있었다. 이후, 전체 패키징 구조에 대한 손실을 측정하였다. 반사손실은 약 19 [dB]

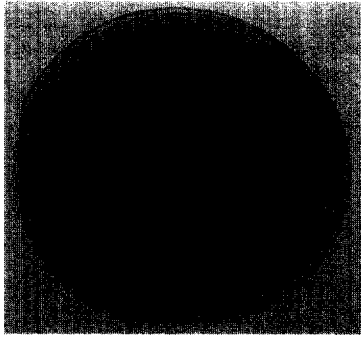
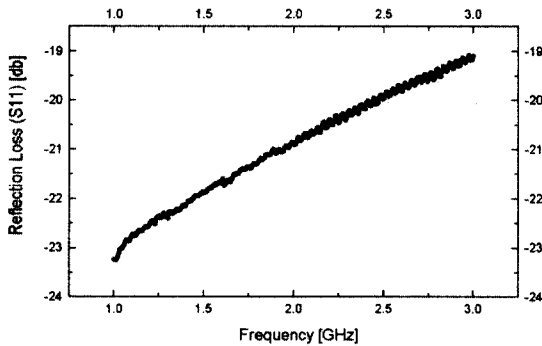
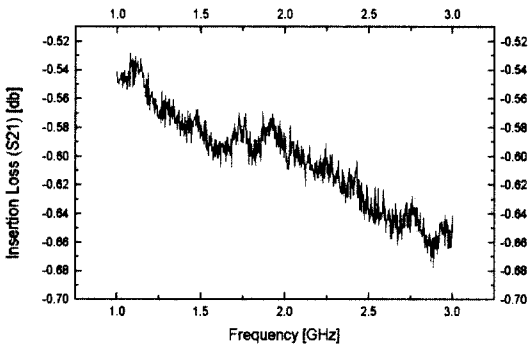


그림 8. 4인치 웨이퍼 레벨로 패키징된 사진.
 Fig. 8. Photograph of the fully packaged 4-inch wafer.



(a) 측정된 S₁₁(반사손실) 결과



(b) 측정된 S₂₁(삽입손실) 결과

그림 9. 패키징 후 측정된 S 파라미터.
 Fig. 9. Plots of the reflection loss S₁₁ and the insertion loss S₂₁ of the packaged device.

이하이며 삽입손실은 약 0.54 ~ 0.67 [dB] 로써 매우 양호한 특성을 얻을 수 있었다. 여기서, 소자 부분의 손실을 제한한다면, 패키징 구조 자체의 손실은 약 0.05 [dB] 이내로 매우 우수한 값을 보여주고 있다. 이는 패키징으로써 소자의 전송 특성이 악화되지 않음을 알 수 있다.

측정된 결과가 시뮬레이션으로부터 얻은 값과 약간의 차이를 보이는 데에는 여러 가지 원인이 있을 수 있다고 생각된다. 그 중에서, 시뮬레이션 파라미터와 달리 via가 수직하게 형성되지 않음으로써 발생된, 기생용량의 증가로 인한 손실의 증가와 bump와 소자기판의 패드 간 접합 시 접촉저항의 발생으로 인한 손실, 또한 기판의 두께가 증가됨으로써 수직형 feed-through의 길이가 증가 함으로써 기생 인덕턴스의 증가가 주된 원인일 수 있다고 생각된다.

5. 결론

본 연구에서는, RF-MEMS 소자를 특성 저하 없이 패키징 하기 위하여, 수직형 feed-through의 형성을 제안하였으며, 따라서 4인치 유리 기판에 직경 250 μ m의 via hole를 형성하였다. 전기적 특성을 높이기 위하여, 전기 도금법으로 금을 사용하여 via hole을 채운 후 몰드를 제작한 상태에서 마이크로 범프를 형성하여 flip-chip 방식의 패키징을 제안하고 제작하였다. 제안된 구조에 대해 특성을 파악하기 위하여, EM 시뮬레이션을 하였다. 시뮬레이션 결과 S₁₁은 1.5GHz에서 23.4dB, 2GHz에서 21.1dB를 나타내고 있으며, 즉 입력으로 반사되는 손실이 거의 없고, 임피던스 매칭이 이루어졌음을 알 수 있었다. 삽입손실을 나타내는 S₂₁은 1.5GHz에서 0.048dB, 2GHz에서 0.065dB로써 손실이 매우 작음을 알 수 있었다. 측정을 위하여 실리콘 기판에 CPW를 형성한 후, 이를 패키징한 후 network analyzer를 사용하여 S 파라미터를 측정하였다. CPW만의 손실은 3GHz 까지의 범위에 대해 약 0.5 ~ 0.63 [dB]의 특성을 얻었다. CPW만의 측정 값이 다소 크게 나왔는데, 이는 CPW 패터닝시 습식 식각을 하였기 때문이라 사료된다. 습식 식각을 함으로써 그라운드와 신호선 사이의 간격이 증가하고, 또한 신호라인의 폭이 줄어들었기 때문이다. ICP와 같은 건식 식각으로 제작을 하는 경우 손실은 매우 감소 될 것이라 사료된다. 패키징 후 반사손실은 약 19 [dB] 이하이며 삽입손실은 약 0.54 ~ 0.67 [dB] 로써 매우 양호한 특성을 얻었다. 따라서, 소자 부분의 손실을 제한

다면, 패키징 구조 자체의 손실은 약 0.05 [dB] 이내로 매우 우수한 값을 보여주고 있다.

본 연구에서 제안한 웨이퍼 레벨 패키지 방식은 RF-MEMS 소자의 패키지 및 기존의 MEMS 소자의 패키지에도 적용이 가능할 것으로 기대된다.

감사의 글

본 연구는 과학기술부 21세기 프론티어 연구개발사업인 프론티어 개발사업인 지능형마이크로시스템개발사업(<http://www.microsystem.re.kr>)의 연구비 지원을 받아 수행되었음 ; 과제협약번호 MS-02-325-01.

참고 문헌

- [1] Nguyen, "Micromechanical circuits for communication transceivers", Bipolar/BiCMOS Circuits and Technology Meeting, p. 142, 2000.
- [2] Zhiping Feng, Wenge Zhang, Bingzhi Su, K. F. Barsh, K. C. Gupta, V. Bright, and Lee Y. C, "Design and modeling of RF-MEMS tunable capacitors using thermal actuator", Microwave symposium Digest, 1999 IEEE MTT-S International Meeting, Vol. 4, p. 1507, 1999.
- [3] L. P. B. Katehi, J. F. Harvey, and K. J. Herrick, "3-D integration of RF circuits using Si micromachining", IEEE Microwave Magazine, Vol 2, Issue 1, p. 30, 2001.
- [4] James L. Young, "Wafer level and substrate chip scale packaging, IEEE 1999 International Symposium on Advanced Packaging, p. 232, 1999.
- [5] Y. L. Low, Y. Degani, K. V. Guinn, T. D., J. A. Gregus, and R. C. Frye, "RF flip module BGA package, IEEE Trans. on Components, Packaging and Manufacturing Technology, Part B: Advanced Packaging, p. 111, 1999.
- [6] H. Kusamitsu, Y. Morishita, K. Maruhasi, M. Ito, and K. Ohata, "The flip-chip bump interconnection for millimeter-wave GaAs

MMIC", IEEE Trans. on Electronics Packaging Manufacturing, Vol. 22, No.1, p. 23, 1999.

- [7] A. C. Imhoff, "Packaging technologies for RFICs: current status and future trends", 1999 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, p. 7, 1999.
- [8] S. F. Al-Sarawi, S. F., Abbott D., and P. D. Franzon, "A review of 3D packaging technology", IEEE CPMT(B), Vol. 2, p. 21, 1988.
- [9] M. Rashaunda, Henderson, and Linda P. B. Katehi, "Silicon-based micromachined packages for high frequency application", IEEE Trans. on Microwave theory and Techniques, Vol. 47, No. 8, p. 1563, 1999.