

쌍극 폴리-금속 게이트를 적용한 CMOS 트랜지스터의 특성

Characteristics of CMOS Transistor using Dual Poly-metal(W/WNx/Poly-Si) Gate Electrode

장성근

(Sung-Keun Chang)

Abstract

A giga-bit DRAM(dynamic random access memory) technology with W/WNx/poly-Si dual gate electrode is presented in this paper. We fabricated 0.16 μ m CMOS using this technology and succeeded in suppressing short-channel effects. The saturation current of nMOS and surface-channel pMOS(SC-pMOS) with a 0.16 μ m gate was observed 330 μ A/ μ m and 100 μ A/ μ m respectively. The lower saturation current of SC-pMOS is due to the p⁺-doped poly gate depletion. SC-pMOS shows good DIBL(drain-induced barrier lowering) and sub-threshold characteristics, and there was no boron penetration.

Key Words : Dual, Poly-metal, SC-pMOS, W/WNx/poly-Si

1. 서론

대 집적도(VLSI)의 마이크로 프로세서 및 메모리 칩의 성공에서 초 고집적회로(ULSI)로 이어지는 지난 몇 십년 동안 이루어진 전자공학의 성장은 실로 엄청나다. 이러한 성장의 핵심은 70년대 초에 소개된 scaling 원리를 이용하여 더 작은 크기의 반도체 소자를 추구한 결과이다. 반도체 소자 기술이 기가비트 DRAM(dynamic random access memory) 영역으로까지 작아짐에 따라 기존의 소자 구조로는 해결하기 어려운 많은 문제점이 노출되고 있으며, 특히 현재 메가비트 DRAM 기술에서 가장 일반적으로 사용하고 있는 단극 폴리 실리콘

-금속 실리사이드 게이트(WSi/n⁺ poly-Si)구조에서 매몰 채널 pMOS(buried-channel pMOS : BC-pMOS)에서의 짧은 채널 효과(short channel effect : SCE)와 게이트의 RC 지연은 반도체 칩 면적을 줄이는데 필요한 요소 중 가장 심각한 문제중의 하나이다. 면 저항 값이 적고, 금속의 패턴 폭이 0.05 μ m까지 감소하여도 면 저항 값이 증가하지 않는 텅스텐은 기가비트 DRAM 기술에서 MOSFET의 게이트 금속으로 사용할 수 있는 가장 매력적인 금속중의 하나이며, W/WNx/poly-Si 과 같은 쌍극 폴리 실리콘-금속 구조는 0.1 μ m DRAM 기술에 필요한 게이트 구조로 많은 주목을 받고 있다[1-3]. 본 논문에서는 쌍극 폴리 실리콘-금속구조의 게이트 패턴을 가지고 있는 표면 채널 pMOS(surface-channel pMOS : SC-pMOS) 와 nMOS에 대한 여러 가지 전기적 특성과 기존의 단극 폴리 실리콘-금속 실리사이드 게이트(WSi/n⁺ poly-Si) 구조로 제작된 BC-pMOS의 전기적 특성을 비교 분석하였다.

청운대학교 전자공학과
(충남 홍성군·읍 남장리 산29,
Fax : 041-630-8700

E-mail : skchang@chungwoon.ac.kr)

2001년 11월 30일 접수, 2001년 12월 31일 1차 심사,
2002년 1월 30일 2차 심사, 2002년 2월 5일 심사완료

2. 실험

반도체소자는 0.1 μm 급 DRAM 공정 기술로 제작되었으며, 쌍극 폴리 실리콘-금속 게이트(W/WNx/poly-Si) CMOS의 주요 제조공정은 다음과 같다. 우선 STI(shallow trench isolation) 방식으로 소자 분리를 하고, 얇은 웰(well)과 채널 이온 주입을 실시하였다. 습식 산화법으로 초기 산화막을 생성한 후 N₂ 분위기에서 고온 열처리하여 게이트 절연막을 형성하고, 90 nm의 폴리 실리콘을 화학 기상 증착법으로 증착하였다. 불순물이 도핑되지 않은 폴리 실리콘에 n⁺ 폴리 실리콘 게이트 형성을 위해 비소(As)를, p⁺ 폴리 실리콘 게이트 형성을 위해 붕소(B)를 각각 이온 주입하였다. 10 nm의 PVD-WNx층이 텅스텐 금속 확산 방지막으로 증착되었고, 50 nm 두께의 PVD-W 게이트 금속 및 게이트 캡핑(capping) 목적으로 PE-CVD 질화막을 각각 증착하였다.

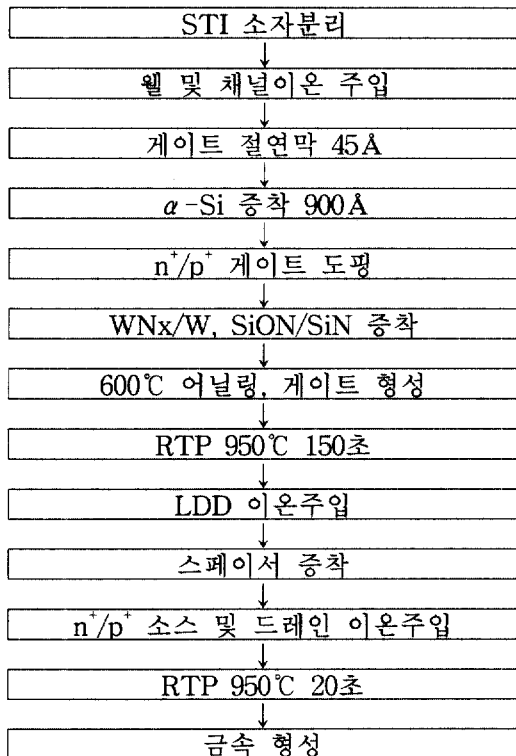


그림 1. 주요 제조공정

Fig. 1. Process overview

게이트 물질 증착 및 게이트 패턴 형성 후 세척 공정에서의 WNx의 과도 손실을 방지하기 위

하여 600°C 에서 30분 동안 어닐링을 실시한 후, 게이트 패턴을 형성하였다. 선택적 게이트 폴리 산화를 생략하고 N₂ 분위기에서 RTP로 열처리한 후 저 에너지 이온 주입법으로 전통적인 LDD(lightly doped drain)구조를 형성하였다.

스페이서(PE-TEOS/SiN/HTO)를 형성하고 소스 및 드레인 이온 주입 후 RTA 공정으로 불순물을 활성화시킨 다음 금속 배선을 하였다. 그림 1은 제조공정을 요약한 것이며, 그림 2는 0.12 μm 게이트 길이를 가진 쌍극 폴리 실리콘-금속 게이트(W/WNx/poly-Si) 구조의 SEM 사진을 보여주고 있다. 또한 기존의 단극 폴리 실리콘-금속 실리콘 게이트(WSi/n⁺ poly-Si) 구조를 갖는 BC-pMOS도 함께 제작하였다.

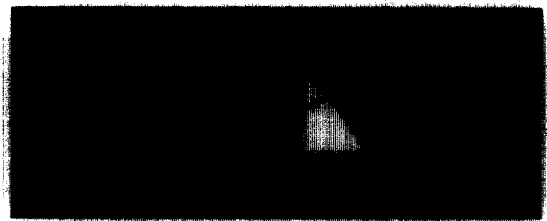


그림 2. 0.12 μm 쌍극 폴리 실리콘-금속 게이트(W/WNx/poly-Si)구조의 SEM 사진.

Fig. 2. SEM image of the poly-metal (W/WNx/poly-Si)structure with a 0.12 μm gate length.

3. 결과 및 고찰

그림 3과 4는 W/L=10/0.16 μm nMOS 와 SC-pMOS의 Id-Vg특성 및 Id-Vd 특성 곡선을 각각 보여주고 있다.

nMOS와 SC-pMOS의 서브쓰레쉬홀드 기울기(sub-threshold slope : S.S) 값은 각각 80 mV/dec, 83 mV/dec 였으며, DIBL 값은 140 mV 와 75 mV 이었다. 또한 nMOS와 SC-pMOS의 포화 전류(Idsat)는 각각 330 $\mu\text{A}/\mu\text{m}$ 와 100 $\mu\text{A}/\mu\text{m}$, 누설 전류(Ioff)는 각각 2.1 nA/ μm 와 3.3 nA/ μm 로 측정되었다.

이러한 특성은 그림 5의 W/L=10/0.28 μm BC-pMOS에 대한 Id-Vg특성 곡선에서 보는 바와 같이 서브쓰레쉬홀드 기울기 값이 91 mV/dec, DIBL값은 120 mV인 BC-pMOS 특성과 비교할 때 게이트 길이가 42% 더 작아졌음에도 불구하고 서

브스레쉬홀드 기울기 특성과 DIBL 특성은 오히려 개선되었음을 알 수 있다.

그림 6은 nMOS 및 SC-pMOS의 C-V 특성 곡선을 보여주고 있다. nMOS의 C-V곡선은 아주 좋

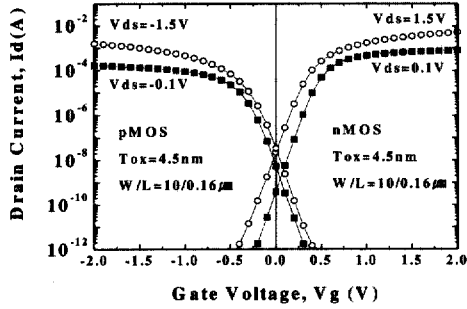


그림 3. 0.16 μm 게이트 길이의 nMOS 및 SC-pMOS의 I_d - V_g 특성. 서브스레쉬홀드 기울기는 nMOS가 80 mV/dec, SC-pMOS가 83 mV/dec로 측정됨.

Fig. 3. I_d - V_g Characteristics of 0.16 μm -gate-length nMOS and SC-pMOS. Sub-threshold slope are observed with 80 mV/dec for nMOS and 83 mV/dec for SC-pMOS.

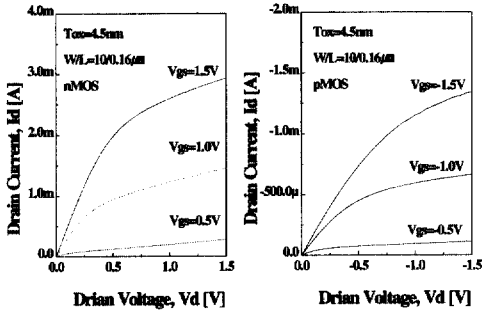


그림 4. 0.16 μm 게이트의 I_d - V_d 특성 (a) nMOS (b) SC-pMOS. nMOS의 포화 전류 330 $\mu\text{A}/\mu\text{m}$ 과 SC-pMOS의 포화전류 100 $\mu\text{A}/\mu\text{m}$ 를 얻었다.-

Fig. 4. I_d - V_d Characteristics of 0.16 μm -gate-length (a) nMOS and (b) SC-pMOS. The saturation current of 330 $\mu\text{A}/\mu\text{m}$ is observed for nMOS and 100 $\mu\text{A}/\mu\text{m}$ is observed for SC-pMOS.

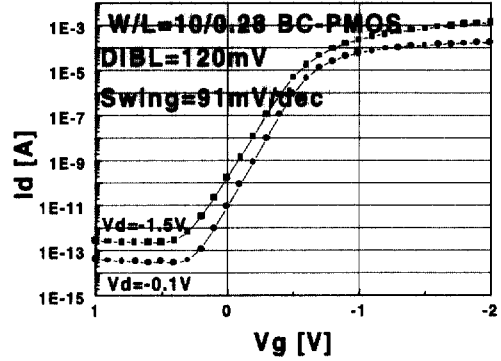


그림 5. 0.28 μm 게이트 길이의 BC-pMOS의 I_d - V_g 특성. 서브스레쉬홀드 기울기 및 DIBL은 91 mV/dec와 120 mV로 측정됨.

Fig. 5. I_d - V_g Characteristics of 0.28 μm -gate length BC-pMOS. Sub-threshold slope and DIBL are observed with 91 mV/dec and 120 mV, respectively.

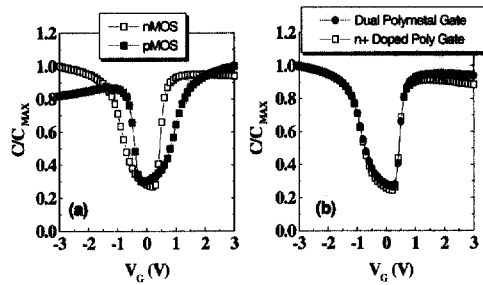


그림 6. (a) nMOS 및 SC-pMOS의 C-V 곡선. (b) 비소 이온 주입된 n⁺ 폴리 게이트와 in-situ 도핑된 n⁺ 폴리 게이트의 C-V 1곡선 비교.

Fig. 6. (a) C-V curves for nMOS and SC-pMOS. (b) The comparison of C-V curves between the arsenic-implanted n⁺ poly gate and the in situ-doped n⁺ poly gate.

은 특성을 보여주고 있으며, $C_{INV}/C_{MAX} = 95\%$ 값을 얻었다. 이 값은 in-situ 도핑된 n⁺ 게이트에 비해 5% 개선된 것이다(그림 6(b)). 그러나 SC-pMOS에서 C_{INV}/C_{MAX} 은 84%를 얻었으며, 이것은 게이트 폴리층 내의 p⁺ 농도의 공핍을 의미한다. 그림 4에서 보는바와 같이 SC-pMOS의 포화 전류가 기대만큼 크게 증가하지 않은 것은

정공의 이동도 저하와 더불어 게이트 폴리층의 p⁺ 농도의 공핍에 의한 유효 게이트 산화막의 증가에 기인된 것으로 판단된다[4].

SC-pMOS의 전류 특성을 개선시키기 위해 p⁺ 게이트 폴리층 내의 p⁺ 농도를 높일 필요가 있으며, 이것은 붕소의 채널 침투를 증가시킬 수 있다.

그림 7은 SC-pMOS의 p⁺ 게이트 폴리층 내의 p⁺ 농도를 2.5배 증가 시켰을 때 C_{INV}/C_{MAX}는 84%에서 89%로 개선되고, C-V 곡선은 양의 전압 축으로 이동 된 것을 보여주고 있다. C-V 곡선의 이동은 게이트 산화막을 통한 채널 안으로의 붕소 침입에 기인한 것이며, 쌍극 폴리-금속 게이트(W/WNx/poly-Si) 전극 구조에서 고농도 붕소의 채널 내 침입을 NO, N₂O, 및 NH₃ 분위기에서 만든 N₂O 산화막, 질화 산화막 등을 게이트 절연막으로 사용하거나 게이트에 질소를 이온주입하여

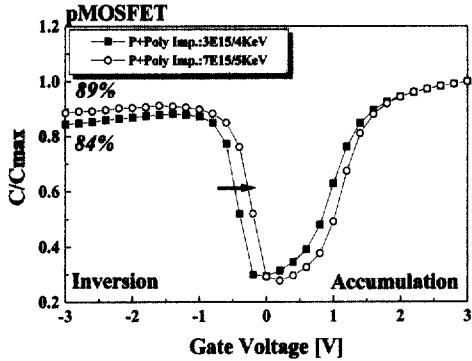


그림 7. p⁺ 폴리-금속 게이트 구조를 가진 SC-pMOS에 대한 C-V 특성.

Fig. 7. C-V characteristics for SC-pMOS with p⁺ poly-metal gate.

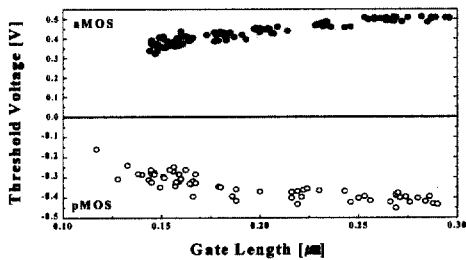


그림 8. nMOS 및 SC-pMOS의 문턱 전압 roll-off 특성.

Fig. 8. The threshold voltage roll-off characteristics of nMOS and SC-pMOS.

붕소의 채널 내 침입을 막는 등 여러 가지 기술이 보고되고 있다[4-6].

그림 8은 nMOS 및 SC-pMOS의 게이트 길이에 따른 문턱 전압 roll-off 특성을 보여주고 있다. SCE는 게이트 길이가 0.15 μ m 까지 매우 효과적으로 억제되고 있음을 알 수 있으며, p⁺ 폴리(3E15/4KeV) 게이트로 제작된 SC-pMOS에서 붕소가 채널 내로 침투할 때 나타나는 문턱 전압의 심한 변동이나 C-V 변이(그림에 나타나지 않음)가 보이지 않는 것으로 보아 채널 내의 붕소 침입은 없는 것으로 판단된다. 이것은 게이트 절연막 형성시 초기 산화막을 생성한 후 질소 분위기에서 고온 열처리를 하였고, 게이트 패턴 형성 후 붕소의 채널 내 침입을 증가시키는 것으로 알려진 H₂/H₂O 분위기에서 선택적 게이트 폴리 산화막 형성을 생략하고[6], N₂ 분위기에서 RTP로 열처리만 진행하여 스페이서(PE-TEOS/SiN/HTO)를 형성한 것에 기인된 것으로 판단된다.

MOSFET에서 게이트 절연막의 특성을 개선하기 위한 많은 연구가 이루어지고 있다[7-9].

4. 결론

게이트 길이가 0.16 μ m인 쌍극 폴리 실리콘-금속 게이트(W/WNx/poly-Si) CMOS 소자를 성공적으로 개발하였다. SCE는 게이트 길이가 0.15 μ m까지 억제되었으며, SC-pMOS의 p⁺ 폴리 게이트에서 채널 내의 붕소 침입은 없었다. SC-pMOS는 BC-pMOS에 비해 DIBL 및 서브쓰레쉬홀드 기울기 특성이 현저히 개선되었다. 0.12 μ m 쌍극 폴리 실리콘-금속 게이트(W/WNx/poly-Si) 패턴을 잘 형성하였으며, 면 저항은 3.3 Ω/\square 을 나타냈다.

감사의 글

본 논문은 2001년도 청운대학교 학술연구조정비 지원에 의하여 연구되었습니다.

참고 문헌

[1] J. C. Hu, H. Yang, R. Kraft, A. L. P. Roton-daro, S. Hattangady, W. W. Lee, R. A. Chapman, C. P. Chao, A. Chatterjee, M. Hanratty, M. Rodder, and I. C, "Feasibility of using

- W/TiN as metal gate for conventional 0.13 μm CMOS technology and beyond", IEDM Tech. Dig., p. 825, 1997.
- [2] K. Kasai, Y. Akasaka, K. Nakajima, S. Suehiro, K. Suguro, H. Oyamatsu, M. Kinugawa, and M. Kakumu, "W/WNx/Poly-Si gate technology for future high speed deep submicron CMOS LSIs", IEDM Tech. Dig., p. 497, 1994.
- [3] K. Nakajima, Y. Akasaka, K. Miyano, M. Takahashi, S. Suehiro, and K. Suguro, "Formation mechanism of ultrathin WSiN barrier layer in a W/WNx/Si system", Applied Surface Science, Vol. 117-118, p. 312, 1997.
- [4] B. Yu, D. H. Ju, W. C. Lee, N. Kepler, T. J. King, and C. Hu, "Gate engineering for deep-submicron CMOS transistors", Electron Devices, Vol. 45, No. 6, p. 1253, 1998.
- [5] T. Kuroi, S. Kusunoki, M. Shirahata, Y. Okumura, M. Kobayashi, M. Inuishi, and N. Tsubouchi, "The effects of nitrogen implantation into P+poly-silicon gate on gate oxide properties", Symp. on VLSI Technol., p. 107, 1994
- [6] Y. Hiura, A. Azuma, K. Nagagima, Y. Akasaka, K. Miyano, H. Nitta, A. Honjo, K. Tsuchida, Y. Toyoshima, K. Suguro, and Y. Kohyama, "Integration technology of poly-metal (W/WSiN/Poly-Si) dual gate CMOS for 1Gbit DRAMs and beyond", IEDM Tech. Dig., p. 389, 1998.
- [7] 김태형, 김창일, 최동진, 장의구, "N₂O가스로 재산화시킨 oxynitride막의 특성", 전기전자재료학회 논문지, 7권, 1호, p. 25, 1994.
- [8] 이철인, 최현식, 서용진, 김창일, 김태형, 장의구, "N₂O가스로 열산화된 게이트 산화막의 특성", 전기전자재료학회 논문지, 6권, 3호, p.269, 1993.
- [9] 윤성필, 이상은, 김선주, 서광열, 이상배, "산화막의 NO/N₂O 질화와 재산화 공정을 이용한 전하트랩형 NVSM용 게이트 유전막의 성장과 특성", 전기전자재료학회 논문지, 12권, 5호, p. 389, 1999.