

텅스텐 플러그 CVD 공정에서 SiH₄ Soak의 영향

SiH₄ Soak Effects in the W plug CVD Process

이우선*, 서용진**, 김상용**, 박진성*

(Woo-Sun Lee*, Yong-Jin Seo**, Sang-Yong Kim**, and Jin-Seung Park*)

Abstract

The SiH₄ soak step is widely used to prevent the WF₆ attack to the underlayer metal using the chemical vapor deposition (CVD) method. Reduction or skipping of the SiH₄ soak process time is lead to optimizing W-plug deposition process on via. The electrical characteristics including via resistance and the structure of W-film are affected by the time of SiH₄ soak process. The possibility of elimination of SiH₄ soak process is confirmed in the case of W-film grown on the stable Ti/TiN underlayer.

Key Words : SiH₄ soak, Tungsten (W) plug, Chemical vapor deposition, Ti/TiN barrier metal, WF₆ attack, Via contact resistance

1. 서 론

SiH₄ soak 공정은 WF₆가 하부 금속층을 공격(attack)하는 것을 방지하기 위해 Ti/TiN 장벽 금속층위에 CVD 텅스텐(W) 플러그(plug)를 증착하는 동안 널리 사용되어 왔다[1,2]. Ti/TiN 장벽 금속 위의 비아(via)와 콘택을 위한 CVD 텅스텐 플러그 증착 공정에 있어서 WF₆는 Al, Si, Ti와 쉽게 반응할 수 있다. WF₆는 하부층에 있는 TiN이 불안정하게 형성되었을 때 via 위에서 $2WF_6 + 3Ti \rightarrow 2W + 3TiF_4$ 또는 $WF_6 + 2Al \rightarrow W + 2AlF_3$ 를 통해 하부의 Al 또는 Ti와의 반응에 의해 쉽게 환원될 수 있다. 따라서 인큐베이션(incubation) 시간을 최소화하

기 위해 SiH₄와 WF₆의 반응에 의해 형성된 nucleation 층을 갖는 텅스텐 증착이 적용되었다. 텅스텐 nucleation 층은 높은 필크 저항을, 낮은 스텝 커버리지, 그리고 H₂ 환원 반응과 비교할 때 표면 거칠기(roughness)가 크다는 단점이 있다[3-5].

본 논문에서는 비아 위의 텅스텐 플러그 증착 공정을 최적화하기 위해 SiH₄ soak 공정 시간을 줄이거나 skip 하기 위한 시도를 하였다. 0.33 μm 크기의 비아 콘택 홀(contact hole)의 면저항, 저항율, 반사율 등과 같은 전기적 특성과 텅스텐 막의 표면 및 단면 구조는 SiH₄ soak 시간에 따라 상당한 영향을 받았고 SiH₄ soak 공정을 생략할 수 있는 가능성은 하부의 안정한 Ti/TiN 장벽층 위에 CVD 텅스텐 막을 성장시킨 경우에서만 확인할 수 있었다.

* : 조선대학교 공과대학 전기공학과
(광주시 동구 서석동375)

Fax : 062-232-928

Corresponding Author : wslee@chosun.ac.kr)

** : 아남반도체

*** : 대불대학교 전기전자공학부

2001년 11월 10일 접수, 2001년 12월 17일 1차 심사완료,
2002년 3월 12일 2차 심사완료, 2002년 5월 20일 3차 심사완료,
2002년 8월 13일 최종 심사완료

2. 실험

SiH₄ soak 시간에 따른 텅스텐 nucleation 층의 형성 시 하부 층과의 반응 여부를 알아보기 위해 100A-TiN/380A-Ti/TEOS(tetra-ethylortho-silicate)-

IMD(inter-metal dielectric) 층이 형성되었고, 0초에서 15초까지 soak 시간을 스플릿(split) 하였고, 여기서 15 초의 soak 공정이 텅스텐 플러그 증착 시 기본공정에 해당한다. Ti/TiN 장벽 금속층 위에서 WF_6 와 Ti 사이의 반응 억제(suppression) 효과를 확인하기 위해 CVD 텅스텐 막이 증착되었다. 또한 TEOS 위에서 텅스텐 막의 증착 후에 49번의 면저항(sheet resistance ; R_s)을 측정하여 그 평균값과 비균일도(non-uniformity ; NU[%])를 구하였고, 9번의 반사율(reflectance)을 측정하여 그 평균값과 비균일도를 각각 평가하였다. 또한 비아의 접촉저항(contact resistance ; R_c) 데이터는 $0.33 \mu m$ 크기에서 측정하였다. CMP(chemical mechanical polishing) 공정[6]이 비아를 제외한 IMD 층위의 텅스텐 막을 제거하기 위해 적용되었다. 그리고 나서 금속층의 내부배선 구조는 Ti/TiN/AlCu/Top TiN 이었고, 텅스텐 막의 구조 및 표면 원소 분석은 각각 SEM과 EDS에 의해 분석되었다.

3. 결과 및 고찰

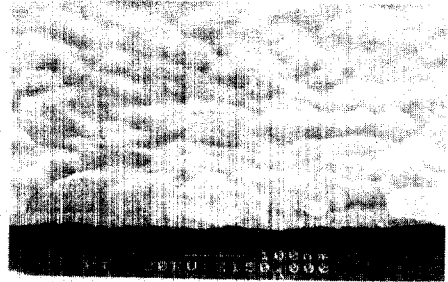
CVD 텅스텐 증착 공정에서 SiH_4 soak 시간이 표 1에 보인 것과 같이 스플릿 되었다. R_s 와 저항율, 반사도 값들은 SiH_4 soak 시간이 감소함에 따라 감소하였고 SiH_4 soak 공정을 사용하지 않은 경우가 가장 좋은 결과를 나타내었다. 여기서 SiH_4 의 Si이 WF_6 와 반응하고 SiH_4 의 compound가 R_s 를 증가시켰으며 반사도의 비균일도는 SiH_4 soak 시간이 감소함에 따라 증가를 하였다.

텅스텐 nucleation 층의 표면 morphology를 SEM으로 비교하여 그림 1에 나타내었다. SiH_4 soak 시간이 감소함에 따라 텅스텐 막의 결정립 크기(grain size)가 증가를 하였고, SiH_4 soak 공정을 생략한 경우가 가장 큰 결정립 크기와 거칠기를 보였다. 이로

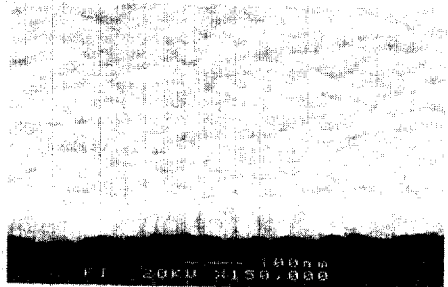
표 1. 면저항과 반사율의 비교 (평균값).

Table 1. Comparison of sheet resistance with reflectance (average value).

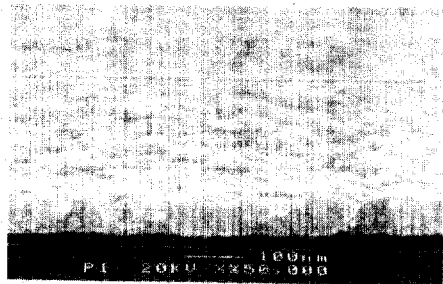
SiH_4 Soak Time (sec)	R_s (Ω/sq)	R_s NU (%)	Reflectance (%Si)	Ref NU (%)	Resistivity ($\mu \Omega-cm$)
No	2.63	2.31	122.65	0.87	11.81
5	3.29	2.75	126.19	0.35	14.82
10	3.31	2.68	127.43	0.33	14.89
15	3.29	2.90	127.60	0.23	14.80



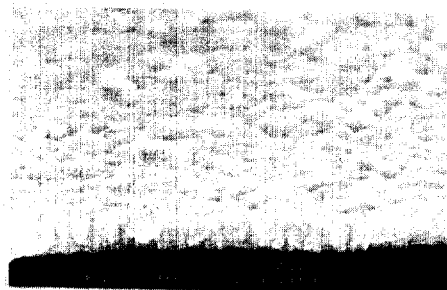
(a) No SiH_4 Soak



(b) SiH_4 Soak Time: 5 sec



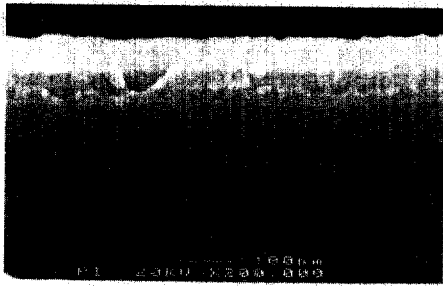
(c) SiH_4 Soak Time: 10 sec



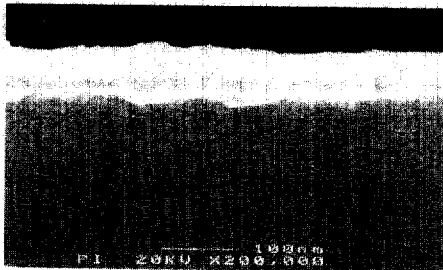
(d) SiH_4 Soak Time: 15 sec

그림 1. Soak 시간 변화에 따른 텅스텐 nucleation 막의 표면구조를 보이는 표면 SEM.

Fig. 1. Surface SEM view showing structure morphology of W nucleation film as functions of soak times.



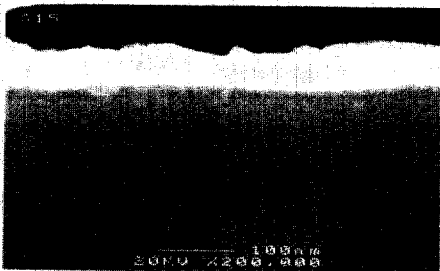
(a) No SiH_4 Soak



(b) SiH_4 Soak Time: 5 sec



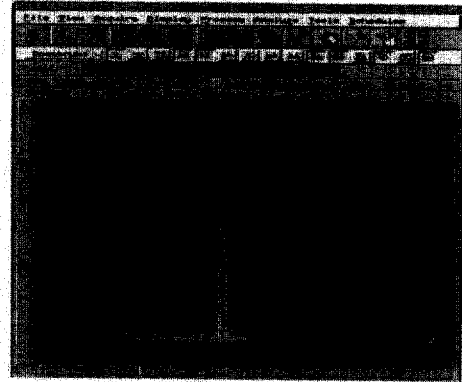
(c) SiH_4 Soak Time: 10 sec



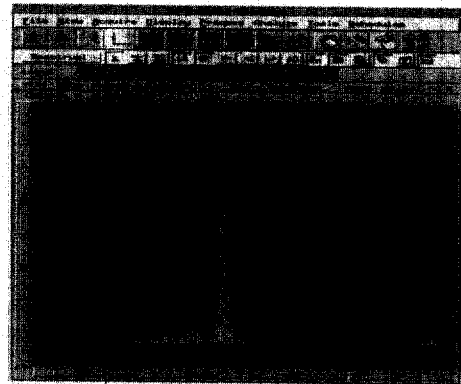
(d) SiH_4 Soak Time: 15 sec

그림 2. Soak 시간 변화에 따른 텅스텐 nucleation 층과 하부 TiN 층의 계면구조를 보이는 단면 SEM 사진.

Fig. 2. Cross sectional SEM view showing interfacial structure between W nucleation layer and underlayer TiN as functions of soak times.



(a) No SiH_4 Soak



(b) SiH_4 Soak Time: 5 sec

그림 3. EDS에 의해 분석한 텅스텐 nucleation 막의 표면 원소 분석.

Fig. 3. The surface element analysis of the W nucleation film by EDS.

인해 표 1에 보인 바와 같이 더 낮은 반사도를 보임을 알 수 있다.

그림 2는 SEM 분석에 의한 nucleation 층과 하부 층의 계면구조를 보인 결과로 Ti와 TiN 층의 손상은 모든 soak 시간 조건에서 억제되고 있음을 알 수 있었으며 SiH_4 soak 공정을 생략한 경우에도 특별한 TiN 장벽층의 손상이 없음을 보였다.

Ti/TiN 장벽층 위에 텅스텐 막을 증착한 후에 생성된 TiF_4 형성은 텅스텐 nucleation 막의 EDS 표면 분석을 하였다. 그림 3에 보인 것처럼, 모든 시료에서 F 피크는 관찰되지 않았으며 완전하게 증착된 장벽 구조의 경우에는 SiH_4 soak 단계를 skip 한 경우

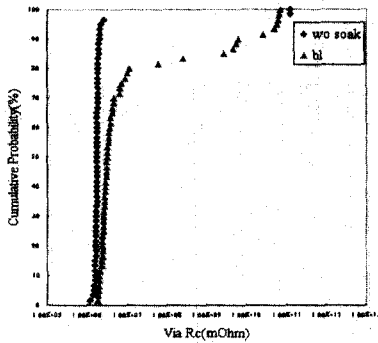


그림 4. SiH₄ soak 시간에 따른 정규화된 비아 콘택 저항.

Fig. 4. Normalized via(via) contact resistance(Rc) as a function of SiH₄ Soak time.

에도 Ti/TiN 층에 대한 WF₆ 공격은 일어나지 않았다.

그림 4는 CVD TiN 비아 장벽층이 사용된 경우 정규화된 비아 Rc의 결과를 보인다. SiH₄ soak 공정을 생략한 경우(그림 4의 wo soak)가 더 낮고 안정한 비아 Rc 프로파일을 나타내었고, 이는 기본공정(그림 4의 bl)에 비해 더 안정한 분포를 이루고 있음을 알 수 있다.

감사의 글

본 연구는 한국학술진흥재단 중점연구소지원 연구비에 의해서 수행되었음(KRF-2002-005-D00011).

4. 결론

본 논문에서는 텅스텐 플러그 증착 공정을 최적화 하기 위해 SiH₄ soak 공정에 대하여 연구한 결과 다음과 같은 주요 결론을 얻었다.

1. SiH₄ soak 공정을 사용하여 5 초동안에 기본공정 15 초 soak과 같은 결과를 얻었다.
2. 텅스텐 플러그 증착에 사용되는 반응성이 매우 강한 WF₆의 TiN/Ti 층에서의 TiN 장벽층 위에서는 SiH₄ soak 공정의 생략이 가능 하였다.
3. SiH₄ soak 공정을 생략하여 낮은 비저항의 텅스텐 nucleation 막을 얻었고 비아 Rc 에서도 개선

된 결과를 얻었다.

4. 텅스텐 막 증착 공정 동안 SiH₄ soak 공정이 없어도 우수한 전기적 특성과 막 특성을 보였으며 비아의 접촉저항의 개선과 thorough-put 향상을 통해 장벽 금속층 구조의 최적화를 가능하게 할 수 있었다.

참고 문헌

- [1] T. Hara, T. Miyamoto, H. Hagiwara, E. I. Bromley, and W. R. Harshbarger, "Surface reaction of tungsten silicide deposition using dichloro-silane reduction of tungsten hexa-fluoride", Mat. Res. Soc. Proc., Vol. 158, p. 399, 1990.
- [2] S. Govindarajan, "Towards void free W plug fill for sub 0.25 micron DRAM applications", Mat. Res. Soc. Proc., Vol. 559, p. 340, 1999.
- [3] V. Rana, "Tungsten and other refractory metals for VLSI application II", Mat. Res. Soc. Proc., Vol. 98, p. 187, 1987.
- [4] C. Chang and S. Sze, "ULSI Technology", McGraw-Hill, INC., p. 386.
- [5] P. J. Wright, M. Wong, and K. C. Sarasat, "The effect of fluorine on gate dielectric properties", IEDM'87 Tech. digest paper, p. 574, 1987.
- [6] W.-S. Lee, S.-Y. Kim, Y.-J. Seo, and J.-K. Lee, "An optimization of tungsten plug chemical mechanical polishing (CMP) using different consumables, J. of Materials Science : Materials in Electronics, Kluwer Academic Publishers, Vol. 12, No. 1, p. 63, 2001.
- [7] 김상용, 서용진, 김태형, 이우선, 김창일, 장의구, "Chemical Mechanical Polishing(CMP) 공정을 이용한 Multilevel Metal 구조의 광역평탄화에 관한 연구," 전기전자재료학회논문지, 11권, 12호, p. 1084, 1998.
- [8] 김상용, "Chemical Mechanical Polishing 공정 변수의 이해", 전기전자재료, 12권, 10호, p. 9, 1999.
- [9] 서용진, 김상용, 김태형, 김창일, 이우선, 장의구, "CMP 공정에 기인하는 소자특성의 열화를 방지하기 위한 PMD 구조에 대한 연구," 전기전자재료학회논문지, 12권, 2호, p. 111, 1999.