

논문 16-10-1

자기 정렬과 수소 어닐링 기술을 이용한 고밀도 트랜치 게이트 전력 DMOSFET의 전기적 특성 분석

Analysis of Electrical Characteristics of High-Density Trench Gate Power DMOSFET Utilizing Self-Align and Hydrogen Annealing Techniques

박훈수*, 김종대**, 김상기**, 이영기*

(Hoon-Soo Park*, Jong-Dae Kim**, Sang-Gi Kim**, and Young-Ki Lee*)

Abstract

In this study, a new simplified technology for fabricating high density trench gate DMOSFETs using only three mask layers and TEOS/nitride spacer is proposed. Due to the reduced masking steps and self-aligned process, this technique can afford to fabricate DMOSFETs with high cell density up to 100 Mcell/inch² and cost-effective production. The resulting unit cell pitch was 2.3~2.4μm. The fabricated device exhibited a excellent specific on-resistance characteristic of 0.36mΩ.cm² with a breakdown voltage of 42V. Moreover, time to breakdown of gate oxide was remarkably increased by the hydrogen annealing after trench etching.

Key Words : DMOSFET, On-resistance, Trench gate, Self-aligned

1. 서론

고 전류용 전력 MOSFET는 스위칭 속도가 빠르고, 입력 임피던스 (impedance)가 크며, 스위칭 전력 손실이 적으며 구동회로가 간단한 장점으로 인하여 인버터 및 컨버터 등 전력 변환 회로의 스위칭 소자로 중요하게 사용되어왔다[1-3]. 전력 DMOSFET에 대한 연구는 전력 손실을 최소화하고 스위칭 효율을 증가시키기 위하여 on-저항 (on-resistance) 감소 방법에 대한 연구에 집중되어왔다[4-6]. 한편, on-저항 특성 향상에 대한 연구는 미세 패턴 형성 등의 집적회로 구현 기술의 발전으로 단위 면적당 셀 밀도와 단위 면적당 채

널 전류를 증가시키므로써 어느 정도 성과를 거두었으나 셀간 거리가 가까워질수록 인접한 셀간의 기생 JFET에 의한 핀치 저항 (pinching resistance)의 증가로 수평 구조의 DMOSFET에서 on-저항을 줄이는데 한계점이 있었다. 이에 대하여 채널을 수직 방향의 실리콘 트랜치 면을 따라 형성하는 트랜치 게이트 DMOSFET는 기생 JFET을 배제할 수 있어 낮은 on-저항 특성을 얻을 수 있을 뿐만 아니라 셀 집적도를 크게 향상시킬 수 있다. 그러나, 낮은 on-저항 특성과 고 집적도에도 불구하고 기존 트랜치 게이트 DMOSFET를 구현하는 데는 5-7 장의 마스크가 필요한 구조로 공정의 복잡도로 인하여 셀 크기를 더욱 줄이는 데는 한계가 있었다[7,8].

본 연구에서는 질화막 (nitride)/TEOS 스페이서 (spacer)를 이용한 자기정렬 (self-align)구조의 고밀도 전력 DMOSFET를 3장의 마스크로 구현할 수 있는 새로운 방법을 제안하고 전기적 특성을 분석하였다. 또한, 트랜치 식각 후 수소 어닐링

* : 위덕대학교 인터넷IT공학부
(경북 경주시 강동면 산50,
Fax: 054-760-1504
Corresponding Author : hspark@uiduk.ac.kr)

** : 한국전자통신연구원
2003년 4월 16일 접수, 2003년 5월 7일 1차 심사완료,
2003년 5월 14일 2차 심사완료, 2003년 5월 17일 최종 심사완료

(hydrogen annealing)공정을 적용하여 트랜치 코너 부분을 라운딩 (rounding)함으로써 게이트 산화막 및 소자의 신뢰성을 향상시켰다.

2. 실험 방법

본 연구에서는 3장의 마스크 (트랜치 폴리 게이트, 메탈)와 질화막/TEOS 증착막을 이용하여 자기 정렬된 트랜치 게이트 DMOSFET를 구현하였다. 그림 1은 트랜치 게이트 DMOSFET의 공정 순서도이고, 본 연구에서 구현한 DMOSFET의 소자 구조는 그림 1(e)와 같다.

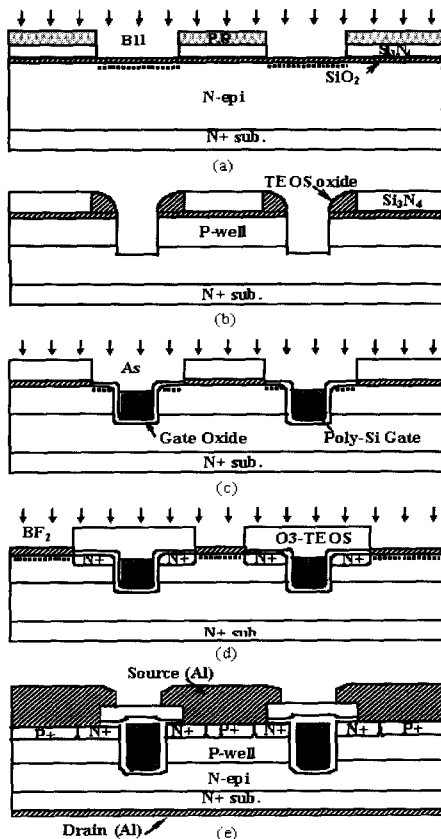


그림 1. 자기 정렬 기술을 이용한 트랜치 게이트 DMOSFET 공정 순서도.

Fig. 1. Fabrication sequence of trench gate DMOSFET using self-aligned technique.

초기 웨이퍼는 비저항 $0.004 \Omega \cdot \text{cm}$, 비소 (arsenic) 도핑된 $\langle 100 \rangle$ 실리콘 기판 위에 두께

$5.0 \mu\text{m}$, 불순물 농도 $2 \times 10^{16} / \text{cm}^3$ 의 에피층 (epitaxial layer)을 성장하였다. 이어서 두께 400 \AA 인 산화막을 성장하고, 1600 \AA 인 질화막을 LPCVD로 증착한 후 트랜치 마스크를 적용하여 질화막과 산화막을 건식 식각하였다. 다음으로 트랜치 게이트의 채널을 형성하기 위하여 BF_2 이온 주입과 $1150 \text{ }^\circ\text{C}$ 확산 공정을 통하여 집합 길이 약 $1.5 \mu\text{m}$ 의 p-well 영역을 형성하였다. 이어서 셀 피치를 줄여 고밀도 DMOSFET를 구현하고 n+ 소스 영역을 자기 정렬하기 위하여 트랜치 식각 전에 산화막 스페이서를 형성하였다. 산화막 스페이서는 TEOS 산화막 증착과 RIE (reactive ion etching) etch-back 공정으로 이루어지고, 이때 증착된 TEOS 산화막 두께는 후속 트랜치 폭을 결정하는 요소가 된다 (그림 1b). 다음으로 MERIE (magnetically enhanced RIE) 방법으로 폭 $0.7 \mu\text{m}$, 깊이 $1.8 \mu\text{m}$ 의 실리콘 트랜치를 형성한다. 실리콘 트랜치 형성 과정에서의 결정 결함, 오염, 표면 거칠기 (surface roughness), 측면 벽의 기울기 등은 후속 게이트 산화막 형성과 다결정 실리콘 전극 채움 (filling)과 소자의 누설전류 및 신뢰성 특성에 직접 영향을 미친다. 상기와 같이 트랜치 식각 공정에 자기정렬 방법을 적용함으로써 결과 폭 $0.7 \mu\text{m}$, 셀 피치 (cell pitch)를 $2.4 \mu\text{m}$ 로 축소한 양호한 형태의 트랜치 구조를 형성할 수 있었다. 이는 기존 소자의 셀 피치 ($7.4 \mu\text{m}$)에 비하여 절반 이상으로 감소시킨 결과로 DMOSFET의 집적도를 크게 향상시킬 수 있다. 트랜치 식각 공정은 본 연구의 핵심 과제로 식각 가스비에 따른 식각 단면, 표면 거칠기 및 수소 어닐링 효과에 의한 코너 라운딩에 대한 실험 결과는 전체 DMOSFET 공정과정을 설명한 이후에 따로 기술하였다. 트랜치 식각 후 산화막 스페이서를 제거하고 희생 산화막 (sacrificial oxide) 성장과 식각 공정을 통하여 트랜치 표면 손상을 제거하고, 비소 (arsenic) 이온 주입으로 n+ 소스 영역을 형성하였다. n+ 소스 이온 주입 영역은 그림 1c와 같이 TEOS 스페이서를 제거함으로써 별도의 마스크 없이 자기 정렬되며, 비소 이온 주입시 트랜치 바닥과 코너에도 주입되어 후속 게이트 산화막 성장시 트랜치 코너 부분에 두꺼운 산화막을 성장시키는 효과가 있어 게이트 산화막의 신뢰성을 향상시킬 수 있다. n+ 소스 이온 주입 후 500 \AA 두께의 게이트 산화막을 성장하였다. 이어서 POCl_3 도핑된 다결정 실리콘으로 트랜치를 채워 게이트 전극을 형성하고, 표면의 다결정 실리콘은 etch-back 공정으로 제거하였다. 다음으로 p+ well pick-up도 O_3 -TEOS 증착,

etch-back 및 질화막 식각 공정단계로 자기정렬하고 BF_2 이온 주입 공정으로 형성하고, 알루미늄 증착과 식각 과정으로 전극을 형성하였다. 상기의 DMOSFET 제조 공정에서 보는 바와 같이 본 연구에서는 산화막 스페이서를 이용함으로써 폭이 좁은 트렌치를 형성하여 집적도를 향상 시킬 수 있었고, n+ 소스 및 p+ well pick-up을 자기 정렬 방법으로 구현하여 마스크 수를 줄이고 공정 단계를 크게 간소화하였다.

3. 결과 및 고찰

본 연구의 핵심 과제인 트렌치 식각에 대한 실험 결과로서 트렌치 식각 공정은 브롬계 HBr 가스를 기본으로 $\text{He-O}_2/\text{SiH}_4$, $\text{He-O}_2/\text{CF}_4$ 등의 첨가 가스의 종류와 비를 변화하면서 트렌치 단면 식각 특성, 표면 거칠기 등을 조사하였다.

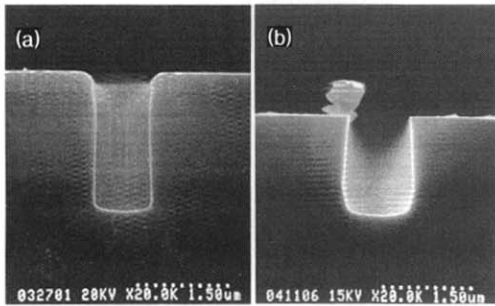


그림 2. 첨가 식각 가스 변화에 대한 트렌치 식각 단면 SEM 사진 (a) HBr/He-O₂/SiF₄, (b) HBr/He-O₂/CF₄ 식각가스를 사용한 경우.

Fig. 2. SEM photographs of etched trench profiles with different etching gasses using (a) HBr/He-O₂/SiF₄, and (b) HBr/He-O₂/CF₄ gasses.

그림 2는 HBr/He-O₂ 가스에 SiH₄, CF₄를 첨가하여 트렌치 식각 공정을 진행하여 첨가 가스에 의한 식각 특성을 살펴보기 위한 SEM 사진이다. 결과에서 보는 바와 같이 CF₄를 첨가한 경우가 SiH₄ 가스를 첨가한 것보다 횡방향 식각이 크게 나타났다. 이것은 CF₄가 C-F계 가스 중 화학 반응성이 가장 강한 가스이므로 CF₄를 첨가하는 경우 F에 의한 화학 반응이 증대되어 횡방향 식각이 더 발생한 것으로 사료된다. 다음으로 식각 가스에 의한 표면 거칠기를 AFM (atomic force microscope)으로 분석하였다.

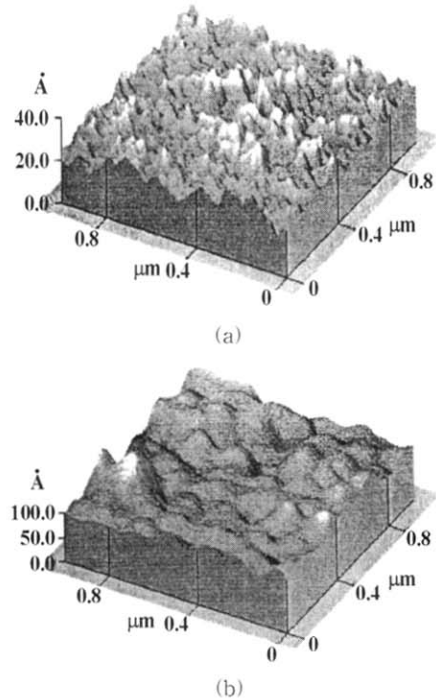


그림 3. 트렌치 식각 가스 변화에 따른 트렌치 표면 거칠기 (a) HBr/He-O₂/SiF₄, (b) HBr/He-O₂/CF₄ 식각 가스.

Fig. 3. Surface roughness of etched trench depending on different additive etching gasses for (a) HBr/He-O₂/SiF₄, and (b) HBr/He-O₂/CF₄ etching gasses.

그림 3(a)는 HBr/He-O₂/SiH₄ 가스를 이용한 경우이고, 그림 3(b)는 HBr/He-O₂/CF₄ 가스를 이용하여 식각한 실리콘의 표면 거칠기이다. HBr/He-O₂ 가스에 SiH₄ 가스와 CF₄ 가스를 첨가한 경우 peak-to-valley 표면 거칠기는 각각 17Å과 65Å으로 나타나, SiH₄를 첨가하는 경우 표면 거칠기가 약 1/4로 작게 나타나 표면 특성이 크게 향상됨을 알 수 있었다. CF₄를 첨가하는 경우 표면 거칠기가 증가하는 것은 식각 과정에서 C-F계열의 폴리머가 형성되기 때문인 것으로 사료된다. 따라서, 후속 산화막 성장 및 폴리 게이트 채움 공정과 표면 거칠기 등의 식각 특성을 고려하면 트렌치 식각의 최적 식각 가스는 HBr/He-O₂/SiH₄ 형태임을 알 수 있었다.

그림 4는 HBr/He-O₂/SiH₄ 가스를 이용하여 식각한 트렌치 코너부의 결정결함 (crystal defect)을

조사하기 위한 TEM 사진이다. 사진에서 보는 바와 같이 실리콘과 에폭시층 사이에 28 Å 두께의 잔류막이 형성되어 있고, 트랜치 식각에 의한 결정 결함은 거의 단 원자층 수준에서 존재하거나 결정 결함이 없는 것으로 분석되었다. 이는 일반적인 트랜치 식각에서 식각면의 결정 결함층이 수 십 Å 존재하는 기존 연구 결과[9] 크게 개선한 것으로, 본 연구의 경우 약 28Å의 비교적 두꺼운 잔류막이 형성이 가능하여 식각 이온들이 실리콘 표면에 충돌하는 과정에서 잔류막이 충돌 에너지의 상당량을 흡수하여 결정 결함 발생이 억제된 것으로 판단된다. 또한, 트랜치 게이트 DMOSFET의 경우 채널이 트랜치 면을 따라 형성되므로 트랜치 코너 부분에 전기장 (electric field)이 집중되어 게이트 산화막의 누설 전류를 증가시키거나, 심각한 경우 산화막을 파괴하는 요인이 된다. 이 현상은 트랜치 코너 부분이 예각으로 형성될수록 심각해진다.

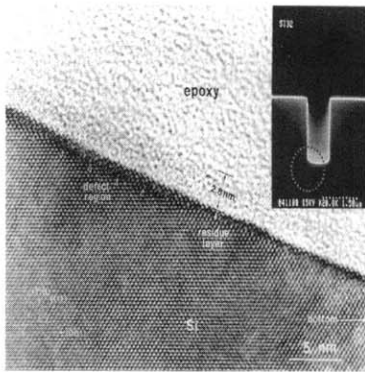
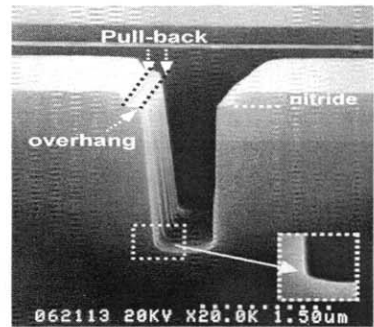


그림 4. 트랜치 식각 후 결정결함을 분석하기 위한 TEM 사진.

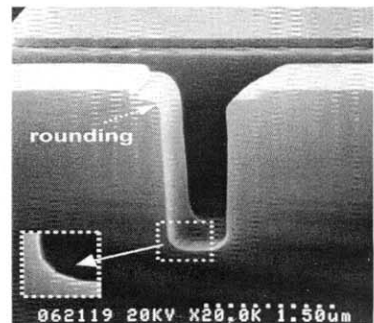
Fig. 4. TEM photograph to analyze crystal defect formation after trench etching.

그림 5은 트랜치 식각 후 수소 어닐링 공정을 통한 트랜치 코너 라운딩에 대한 실험결과이다. 그림 5(b)의 결과와 같이 트랜치 식각 후 수소 어닐링을 수행한 경우 트랜치 코너 부분과 위 부분이 상당히 라운딩 되었음을 알 수 있다. 트랜치 식각 후 수소 어닐링 공정을 진행하는 경우 결정 내에서 표면 에너지를 최소화하는 쪽으로 실리콘 원자 이동 (atomic migration)이 발생하여 에너지가 높은 트랜치 코너부의 형상을 변화시키게 된다. 이러한, 실리콘 원자 이동의 결과로 낮은 index 평면, 즉 (111)과 (113) 평면이 나타나면서 총 표면 에너

지가 감소하게 되고, 트랜치 형상도 변화한다. 이러한 트랜치 코너부의 변화된 결정 방향 (crystal orientation)이 변화된 결과 트랜치 코너부의 산화막 성장율을 증가시켜 트랜치 계면을 따라 균일한 산화막 성장이 가능하게 된다. 따라서, 수소 어닐링에 의한 코너 라운딩 방법은 게이트 전계를 감소시킬 뿐만 아니라, 균일한 산화막 성장이 가능하게 되어 게이트 산화막의 전기적 특성 및 장기적 신뢰성을 크게 향상시킬 수 있다.



(a)



(b)

그림 5. 수소 열처리에 의한 트랜치 코너부 SEM 사진 (a) 수소 열처리를 하지 않은 경우, (b) 수소 열처리 공정을 수행한 경우.

Fig. 5. SEM photographs of trench corners (a) without hydrogen anneal, and (b) with hydrogen anneal.

그림 6은 본 연구에서 제작한 고밀도 트랜치 게이트 DMOSFET의 평면 및 단면 SEM 사진이다. 그림 7은 수소 어닐링에 의한 코너 라운딩 공정을 적용한 경우 게이트 산화막의 항복 전압 및 Fowler-Nodheim (F-N) tunneling 특성을 측정된 결과이다. 그림의 결과와 같이 수소 어닐링을 수행

한 게이트 산화막의 항복전압이 높고, F-N tunneling 전류가 흐르기 시작하는 전압도 높게 나타났다. 이것은 수소 어닐링에 의하여 트랜치 코너부가 라운딩 되므로 트랜치 코너의 전계가 완화되고 균일한 두께의 게이트 산화막이 성장되었기 때문이며 20V 이하의 게이트 전압에서 누설전류 약 0.1pA 이하 수준으로 나타났고, 누설전류의 미세한 변화량은 변위 전류 등의 영향으로 사료된다.

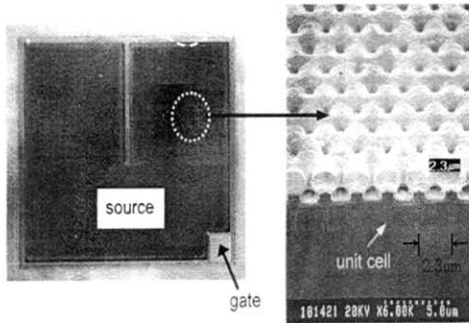


그림 6. 제작 완료한 트랜치 게이트 DMOSFET의 평면 및 단면 SEM 사진.

Fig. 6. Top and cross sectional views of SEM photograph for fabricated trench gate DMOSFET.

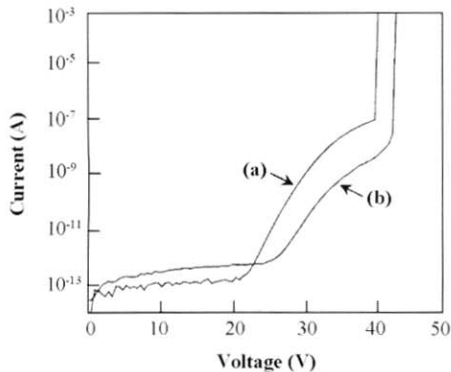


그림 7. DMOSFET의 게이트 산화막 I-V 특성 곡선 (a) 수소 열처리를 하지 않은 경우, (b)수소 열처리 공정을 수행한 경우.

Fig. 7. I-V characteristics of gate oxide for MOSFET (a) without hydrogen anneal, and (b) with hydrogen anneal.

그림 8은 CVST (constant voltage stress test) 방법으로 측정된 게이트 산화막의 신뢰성 특성이다. 이때, 게이트에 인가한 전압은 32V로 하였다. 그림과 같이 수소 어닐링 공정을 진행한 게이트 산화막의 절연 파괴시간 (time to dielectric breakdown)이 수소 어닐링 공정을 수행하지 않은 게이트 산화막에 비하여 훨씬 길게 나타나 신뢰성 특성이 우수함을 확인할 수 있었다.

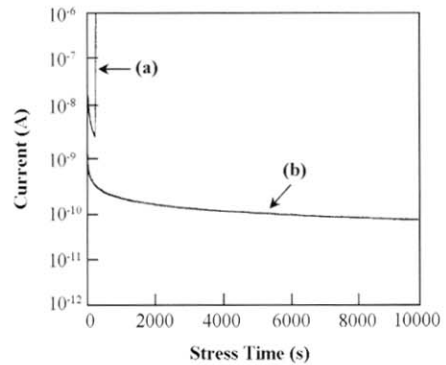


그림 8. 수소 열처리에 따른 게이트 산화막 CVST 특성 (a) 수소 열처리를 하지 않은 경우, (b) 수소 열처리 공정을 수행한 경우.

Fig. 8. CVST property of gate oxides depending on (a) without hydrogen anneal, and (b) with hydrogen anneal.

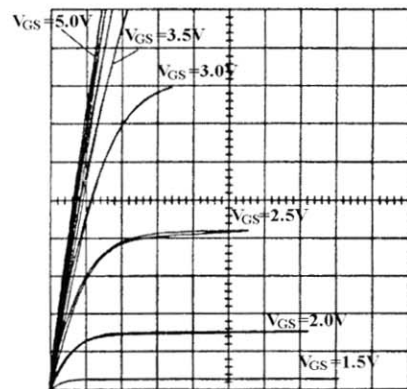


그림 9. 자기 정렬 트랜치 게이트 DMOSFET의 I-V 특성 곡선.

Fig. 9. I-V characteristics of self-aligned trench gate MOSFET.

그림 9는 위에서 기술한 공정으로 진행된 n-채널 전력 DMOSFET의 I-V 특성곡선이다. 그림의 I-V 특성곡선은 칩 크기 $0.6 \times 1.0 \text{ mm}^2$ 에서 측정된 결과이며 게이트 전압 10 V, 드레인 전류 5 A 에서 측정된 특성 on-저항 (specific on-resistance) 값은 $0.36 \text{ m}\Omega \cdot \text{cm}^2$ 으로 나타났다. 본 결과에서 얻은 특성 on-저항 $0.36 \text{ m}\Omega \cdot \text{cm}^2$ 값은 셀 피치가 $7.4 \mu\text{m}$ 이고 6개 마스크를 사용하여 구현한 기존 DMOSFET의 on-저항 보다 약 45 % 이상 낮은 값으로 on-저항 특성이 매우 우수함을 알 수 있다. 또한, 제작한 DMOSFET의 문턱 전압 (threshold voltage)은 1V 이고, 드레인-소스 항복 전압은 약 42 V로 측정되었다.

4. 결론

본 연구에서는 산화막 스페이서를 이용하여 트랜치 피치를 감소시켜 집적도가 크게 향상된 전력 DMOSFET를 구현하였다. 또한, 산화막 및 절화막 증착과 etch-back 공정으로 n+ 소스 및 p+ body pick-up을 자기 정열 방법으로 총 3개의 마스크만을 이용하여 DMOSFET를 구현할 수 있어 공정 단계를 크게 간소화할 수 있는 새로운 공정 방법을 제시하였다. 또한, 트랜치 식각 공정에서 브롬계 HBr 가스를 기본으로 He-O₂/SiH₄, He-O₂/CF₄ 등의 첨가 가스의 종류와 비를 변화하면서 트랜치 단면 식각 특성, 표면 거칠기 등을 조사한 결과 HBr/He-O₂/SiH₄ 가스를 사용한 경우 HBr/He-O₂/CF₄에 비하여 횡방향 식각이 감소하였고 트랜치 코너부의 결정결함 발생이 최소화되었다. 트랜치 식각 후 수소 어닐링 공정에 의한 실리콘 원자 이동 특성을 유도하여 트랜치 코너부를 라운딩 함으로써 게이트 산화막의 절연 파괴 시간 및 F-N 터널링에 의한 누설 전류 특성을 향상시켰다. 제작한 DMOSFET의 특성 on-저항은 $0.36 \text{ m}\Omega \cdot \text{cm}^2$ 로 매우 낮은 값으로 측정되었다. 이 결과는 셀 피치가 $7.4 \mu\text{m}$ 이고 6개 마스크를 사용하여 구현한 기존 DMOSFET의 on-저항 보다 약 45 % 이상 낮은 값으로 on-저항 특성이 매우 우수하였다. On-저항 특성이 낮은 이유는 트랜치의 피치를 감소하였고, 자기 정열 공정을 적용함으로써 셀 밀도를 증가 시켰기 때문이며, 본 공정을 적용하는 경우 100 Mcell/inch^2 의 고 집적이 가능하다.

감사의 글

본 연구는 한국과학재단 목적기초연구(R01-2002-000-00507-0) 지원으로 수행되었음.

참고 문헌

- [1] L. Evans and G. Amaratunga, "The behavior of high current density power MOSFETs," IEEE Transaction on Electron Devices, Vol. ED-44, No. 7, p. 1148, 1997.
- [2] 강이구, 성만영, "고내압 특성을 위한 진성영역과 트랜치 구조를 갖는 베이스 저항 사이리스터", 전기전자재료학회논문지, 15권, 3호, p. 201, 2002.
- [3] 강이구, 성만영, "레치업 특성의 개선과 고속 스위칭 특성을 위한 다중 게이트 구조의 새로운 LIGBT", 전기전자재료학회논문지, 13권, 5호, p. 371, 2000.
- [4] R. Sodhi, "High-density ultra-low R_{dson} 30V n-channel trench FETs for DC/DC converter applications", Proceeding of ISPSD, p. 307, 1999.
- [5] D. Ueda, H. Takagi, and G. Kano, "An ultra-low on-resistance power MOSFET fabricated by using a fully self-aligned process", IEEE Transaction on Electron Devices, Vol. ED-34, No. 7, p. 926, 1987.
- [6] 문승현, 강이구, 성만영, 김상식, "스마트 파워 IC를 위한 P+ Driver 구조의 횡형 트랜치 IGBT", 전기전자재료학회논문지, 14권, 7호, p. 546, 2001.
- [7] D. Kinzer, D. Asselanis, and R. Carta, "Ultra-low R_{dson} 12V p-channel trench MOSFET", Proceeding of ISPSD, p. 303, 1999.
- [8] R. K. Williams, W. Grabowski, M. Darwish, M. Chang, H. Yilmaz, and K. Owyang, "A 1 million-cell 2.0 m Ω 30V trench FET utilizing 32 Mcell/in² density with distributed voltage clamping", Proceeding of IEDM, p. 363, 1997.
- [9] 이주욱, 김상기, "트랜치 식각시 식각 방지막의 형성과 이들이 결합 생성에 미치는 영향", 한국재료학회논문지, 6권, 4호, p. 364, 1997.