

수소 플라즈마 처리를 이용한 역스테거드형 펜타센 트랜지스터의 전기적 특성 향상에 대한 연구

Study on the Electrical Characterization of Inverted Staggered Pentacene Thin Film Transistor using Hydrogen Plasma Treatment

장재원^{***}, 이주원^{*}, 김재경^{**}, 김영철^{**}, 주병권^{*}

(Jae-Won Chang^{***}, Joo-Won Lee^{*}, Jai-Kyeong Kim^{**}, Young Chul Kim^{**}, and Byeong-Kwon Ju^{*})

Abstract

In order to reach the high electrical quality of organic thin film transistors (OTFTs) such as high mobility and on-off current ratio, it is strongly desirable to study the enhancement of electrical properties in OTFTs. Here, we report the novel method of hydrogen plasma treatment to improve electrical properties in inverted staggered OTFTs based on pentacene as active layer. To certify the effect of this method, we compared the electrical properties of normal device as a reference with those of device using the novel method. In result, the normal device as a reference making no use of this method exhibited a field effect mobility of $0.055 \text{ cm}^2/\text{Vs}$, on/off current ratio of 10^3 , threshold voltage of -4.5 V , and subthreshold slope of $7.6 \text{ V}/\text{dec}$. While the device using the novel method exhibited a field effect mobility of $0.174 \text{ cm}^2/\text{Vs}$, on/off current ratio of 10^6 , threshold voltage of -0.5 V , and subthreshold slope of $1.49 \text{ V}/\text{dec}$. According to these results, we have found the electrical performances in inverted staggered pentacene TFT owing to this method are remarkably enhanced. So, this method plays a key role in highly improving the electric performance of OTFTs. Moreover, this method is the first time yet reported for any OTFTs.

Key Words : OTFT(organic thin film transistor), Pentacene, Hydrogen plasma treatment

1. 서론

최근 들어 높은 휘도, 낮은 구동 전압, 빠른 응답속도의 장점을 지닌 미래형 디스플레이인 스마트 카드나 전자 신문과 같은 flexible display의 상용화 가능성이 더욱 높아지고 있다. 이러한 flexible display의 풀 칼라 패널 및 빠른 동영상

구현을 위해서는 passive matrix(PM)방식에서 벗어난 active matrix(AM)방식의 구동형식을 취하여야 하는데 이 AM구동 방식은 화소에 스위치용 박막 트랜지스터를 배치하고 화소가 선택되지 않았을 경우에도 스위칭이 가능한 static 구동이여야 한다. 이에 따라 비교적 커다란 전류를 흘려 줄 수 있는 박막 트랜지스터가 필요하기 때문에 현재 AM 구동방식에는 이동도가 높은 저온 폴리 실리콘 트랜지스터(Low Temperature Poly Silicon Thin Film Transistor)와 아모퍼스 실리콘 트랜지스터(Amorphous Silicon Transistor)가 적용되고 있다. 하지만 미래형 디스플레이의 큰 장점인 mechanical flexibility의 구현을 위해서는 기판이 되는 플라스틱과의 완벽한 호환성이 필요하게 되

* : 한국과학기술연구원 마이크로 시스템연구센터
(서울시 성북구 하월곡동 39-1,
Fax: 02-958-5692

Corresponding Author : jbk@kist.re.kr

** : 광전자재료연구센터

*** : LG.Philips LCD

2003년 2월 28일 접수, 2003년 5월 6일 1차 심사완료,
2003년 6월 10일 최종 심사완료

는데, 이로 인하여 유기 반도체 소자에 대한 관심이 더욱 증폭되고 있는 추세이다[1,2].

초기, 유기반도체를 이용한 박막 트랜지스터의 연구는 이미 80년대 중반부터 시작되었다. 성능은 기존의 아모퍼스 실리콘에 비하면 현저히 떨어졌으나 유기물의 정제를 통한 고순도화, 결정성의 증가, 제작조건의 최적화, 유기물과 무기물사이의 계면 특성향상을 통하여 유기 반도체의 저 이동도 및 낮은 점결함등의 단점을 극복하여 가며, 고속적인 발전을 거듭해오고 있으며, 최근 들어 아모퍼스 실리콘을 이용한 박막 트랜지스터의 전기적 특성과 대등한 특성을 지닌 유기반도체에 대하여 활발한 연구가 진행되고 있다[3].

본 연구에서는 이런 유기반도체의 낮은 전기적 특성을 개선하기 위한 방법으로 유기 박막 트랜지스터의 활성층 계면에 수소 플라즈마 처리를 이용함으로써 전기적 특성을 크게 향상시킬 수 있는 새로운 방법을 제안하였고, 일반적인 소자와의 특성을 비교 분석함으로써 크게 향상된 전기적 특성 효과를 도출할 수 있었다.

2. 실험

2.1 실험방법

박막 트랜지스터는 활성층(active layer)과 전극의 위치에 따라 두 가지로 구분 할 수 있다. 그 종류에는 평면형(coplanar type)과 스테거드형(staggered type)이 있는데, 평면형은 활성층을 중심으로 한쪽 면에 세 개의 전극(게이트, 소오스, 드레인)이 형성되고, 스테거드형은 활성층을 중심으로 게이트 전극과 소오스/드레인 전극이 분리되어 있다. 일반적인 pentacene 박막 트랜지스터의 경우에는 미세패턴을 조절하기위한 사진 식각 공정을 위하여 스테거드형(staggered type)을 쓰고, shadow 마스크를 이용하는 공정의 경우에는 평면형(coplanar type)과 스테거드형(staggered type)을 사용하기도 하는데, 캐리어(carrier)의 확산 길이(diffusion length)가 짧은 활성층을 이용하는 박막 트랜지스터의 경우에는 주로 스테거드형(staggered type) 구조를 사용한다.

실험에서 이용된 유기 박막 트랜지스터는 pentacene을 이용한 역 스테거드형(inverted staggered type)이다. 이 구조의 박막 트랜지스터는 제작공정이 간단하고, 연속 증착이 이루어지기 때문에 공기 중에 노출시간이 상대적으로 적으므로

로 좋은 전기적 특성을 보여준다[4-7].

제작 과정은 그림1에서처럼 먼저 게이트 금속(Cr)을 RF 스퍼터(sputter)로 700 Å 증착 한 후, 사진 식각 기술(Photo-lithography)을 이용하여 게이트 패턴(pattern)을 형성한다. 이후, 세척 공정을 거친 후 PECVD(Plasma Enhanced Chemical Vapor Deposition)의 진공 증착실로 옮겨져 초기 진공 상태를 1×10^{-6} torr 정도까지 유지한다. 이 PECVD에서 절연막으로 쓰일 산화막(SiO₂)을 1500 Å 증착한다. 산화막 증착 후, 활성층과의 계면 특성을 향상시키고, 절연막의 표면을 향상시키기 위하여 O₂ 플라즈마 처리를 6분간 시행하였다. 상기층의 증착이 끝나고 나면, 게이트 접촉구멍을 형성한다. 게이트 접촉 구멍 형성이 끝나면 활성층의 증착을 위하여 시료와 공기와의 접촉시간을 최소화하면서 열 증착기로 이동한다. 열 증착기 속에서 shadow mask를 이용하여 활성층(pentacene)을 1500 Å 증착한다.

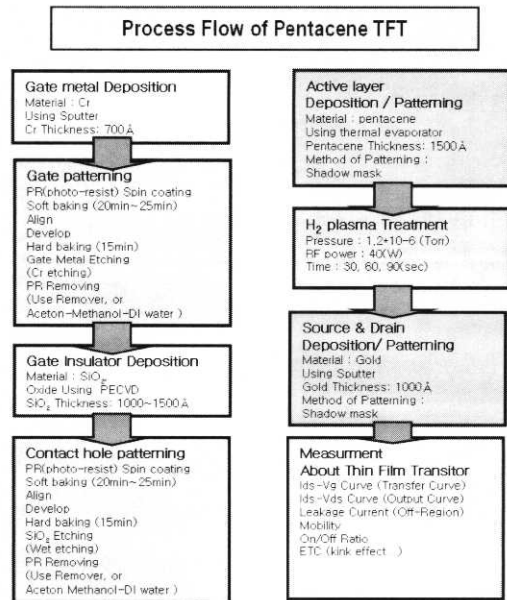


그림 1. 펜타센 박막 트랜지스터의 공정흐름도.

Fig. 1. Process flow of inverted staggered pentacene TFT.

Pentacene의 증착이 끝나면 sputter로 시료를 옮긴 후 pentacene의 전기적 특성을 향상시키기 위하여 활성층의 계면에 수소 플라즈마 처리를 실시한다. 활성층의 계면에 수소 플라즈마 처리 후 마

지막으로 shadow mask를 이용하여 소오스/드레인 금속(Au)을 RF sputter로 1000 Å 증착하여 전극을 형성하였다.

3. 결과 및 고찰

제작된 pentacene 박막 트랜지스터 소자의 전기적 특성을 알아보기 위하여 소자의 전달 특성과 출력특성을 휴렛 팩커드사의 HP 4156B 측정장치를 사용하여 각각 측정하였다. Pentacene 박막 트랜지스터는 p형 반도체 특성을 가지고 있으므로 다수 운반자(majority carrier)는 정공이 되고, 활성층에 캐리어들이 모이는 축적모드에서 동작하기 때문에 소스전극을 공통 전극으로 하고 게이트 전극과 드레인 전극에 음 전압을 인가하여 전기적 특성을 측정하였다.

실험에서는 수소화가 박막 내에 이루어짐에 따라 전기적 특성이 향상되었는데 이는 수소가 pentacene 박막 내에 diffusion이 되어 탄소와 수소 사이의 결합(C-H결합)을 증가시키고 동시에 pentacene 박막의 표면상태, 즉 박막의 거칠기(roughness)를 완화시키는 작용을 하여 주어서 그레인 경계 내에서 발생하는 산란 작용과 trap현상을 억제 시켜 줌으로 인한 다수 운반자의 이동을 돕는 역할을 한 것이라고 볼 수 있으며 소오스, 드레인 전극과 pentacene 박막 사이의 접촉 또한 향상시켰기 때문으로 사료된다.

그림 2 (a)는 일반적인 역 스테거드형 pentacene 박막 트랜지스터의 전달 특성을 나타낸다. TFT의 W/L은 5000 $\mu\text{m}/$ 2000 μm 이고 게이트 전압이 5 V, 드레인 전압이 0.1 V일 때 off 상태 전류는 10^{-11} A이고, 게이트 전압이 -25 V, 드레인 전압이 0.1 V일 때 on 상태의 전류는 10^{-8} A로 on/off ratio가 10^3 이상이다. Subthreshold slope은 -7.6 V/dec를 나타냈다. 일반적인 공정을 적용한 소자는 문턱전압의 이동되는 현상이 나타났다. 이는 활성층으로 쓰인 pentacene 유기 박막의 charging 현상과 절연막과 활성층 사이의 계면 특성 저하 현상으로 추측되는데 게이트에 바이어스를 인가 후 활성층의 계면에 다수의 전하(정공)가 축적되는 accumulation모드 시에 축적된 전하가 모두 전류의 이동에 참여하지 못하고 trap이 일어나는 현상으로 인하여 일부의 전하가 trap이 되어 있다가 다시 게이트에 바이어스를 증가시켜 인가하였을 때, trap된 전하로 인하여 더 증가된 게이

트 바이어스를 인가하여야만 비로소 전류의 이동이 생기는 현상과 게이트 절연막으로의 trap현상 때문이라고 볼 수 있다.

또한 소오스와 드레인 사이의 채널에 흐르는 전류 면에서 보면, 실제 흐르는 전류량이 많지 않다. 이는 활성층인 pentacene 박막과 전극인 Au사이의 접촉이 좋지 않기 때문이다. TFT의 동작 원리 면으로 해석하여 보자면, 게이트 전극에 음의 전압을 가하고 소오스 전극을 그라운드, 그리고 드레인 전극에 음의 전압을 걸어주었을 때 활성층과 절연막 사이의 채널에는 flat band상태에서 밴드가 구부러지는 현상이 나타나게 되고 이는 다수의 정공이 생성되는 축적층이 생기게 된다. 이로 인하여 채널 내의 전류가 흐르게 되고, 이후 드레인의 전압보다 게이트의 전압을 더 감소시키게 되면, 드레인 쪽의 전압 차는 감소하게 되고 이에 따라 채널에 형성된 축적층은 서서히 감소하게 되어 드레인 전극 쪽부터 depletion층이 생성되고, 점차 확장되어 전류는 포화영역에 도달하게 된다. 이때 소오스와 드레인 전극과 활성층 사이의 접촉이 좋지 않을 경우 소오스와 드레인 사이의 포텐셜 형성이 원활하게 이루어지지 못하게 된다. 즉 채널과 전극 사이의 전압 차가 커지게 됨으로 축적층에 존재하는 다수 운반자인 정공들이 드레인 쪽으로 원활히 이동하지 못하는 현상이 발생하게 되고, 이는 on-current를 낮추게 만드는 원인으로 작용한다. 이로 인하여 게이트에 높은 전압을 인가해야만 비로소 포화영역에 나타나게 되는 비효율적인 동작모드를 초래하게 된다. 이 같은 현상으로 인하여 일반적인 유기 박막 트랜지스터의 전이 특성 곡선의 전류량에 관한 문제점을 관찰할 수 있었다. On-전류량의 감소에 따라서 점별비 또한 10^3 으로 수치적으로 낮은 문제점이 제시되었다.

그림 2 (b)는 1분 30초 동안 수소 플라즈마 처리한 역 스테거드형 pentacene 박막 트랜지스터의 전이 특성을 나타낸다. TFT의 W/L은 5000 $\mu\text{m}/$ 2500 μm , 게이트 전압 5 V, 드레인 전압이 0.1 V일 때 off 상태 전류는 10^{-13} A, 게이트 전압 -25 V, 드레인 전압이 0.1 V 일 때 on 상태의 전류는 10^{-8} A 이상으로 on/off ratio가 10^5 이상이다. Subthreshold slope은 -1.49 V/dec를 나타냈다. 그 그래프에서도 볼 수 있듯이 앞서 진행 실험되었던 수소 플라즈마 처리하지 않은 그래프(그림 2-a)와 비교했을 때 문제점으로 제시되었던 활성층 박막 내의 charging현상 및 trap현상이 개선됨으로 인한 전류 점별비가 크게 향상되었음을 볼 수 있는데

점별비의 경우 2승 이상 증가되었을 뿐만 아니라 Subthreshold slope은 5배 감소되는 특성의 효과가 관찰되었다.

이는 수소 플라즈마 처리 효과로 인하여 표면 거칠기의 완화와 활성층의 그래인 경계 영역의 trap상태가 줄어들었을 뿐만 아니라 소오스 드레인 과 활성층 사이의 접촉 저항을 줄임으로써 전류 점별비의 증가를 초래하였기 때문으로 분석할 수 있다.

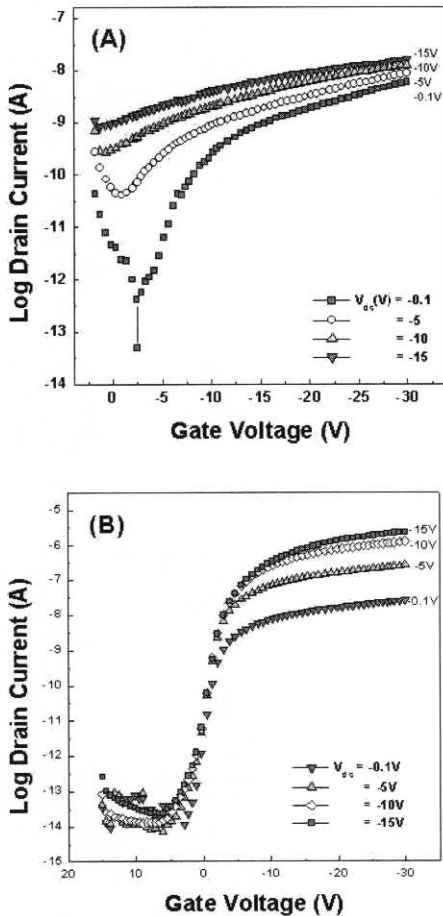


그림 2. 펜타센 박막 트랜지스터의 전달 특성 곡선 (a) 일반적인 경우 (b) 수소 플라즈마 처리를 실시하였을 경우.

Fig. 2. The transfer characteristics of vacuum evaporated pentacene thin film transistor (a) without H₂ plasma treatment, and (b) with H₂ plasma treatment (W/L = 5000 μm/ 2000 μm).

그림 3 (a)는 일반적인 역 스테거드형 pentacene 박막 트랜지스터의 출력 특성을 나타낸다. 게이트 전압 -5 V, -10 V, -15 V, -20 V를 가하여 드레인 전압에 따른 드레인 전류를 측정하였다. 그래프에서도 확인 할 수 있는 것처럼 게이트 전압이 상승함에 따라 트랜지스터의 활성층인 pentacene에서 채널이 형성되어 드레인 전류가 되고 일정의 드레인 전압에 도달하면 포화되는 특성을 관찰 할 수 있었다. 그러나 포화 영역까지 도달하기 위한 게이트 전압이 크고, 채널 내의 전류의 크기가 높지 않았음을 미루어 볼 때 전극과 활성층 사이의 접촉 형성(ohmic형성)이 좋지 않음을 관찰하였다.

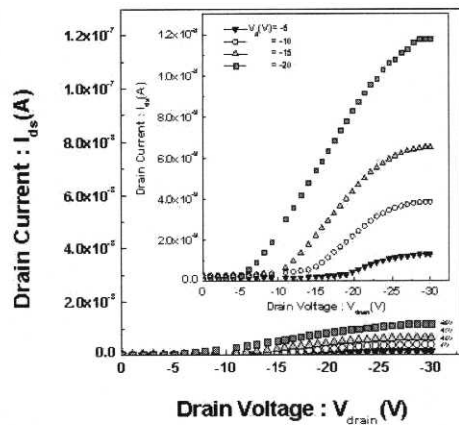


그림 3-a. 일반적인 펜타센 박막 트랜지스터의 출력 특성 곡선.

Fig. 3-a. The output characteristics of vacuum evaporated pentacene thin film transistor without H₂ plasma treatment (W/L = 5000 μm/ 2000 μm).

그림 3 (b)는 수소 플라즈마 처리한 역 스테거드형 pentacene 박막 트랜지스터의 출력 특성이다. 앞서 선행된 실험과 마찬가지로 게이트 전압 -5 V, -10 V, -15 V, -20 V를 가하여 드레인 전압에 드레인 전류를 측정하였다.

그래프에서도 확인 할 수 있는 것처럼 게이트 전압이 상승함에 따라 트랜지스터의 활성층인 pentacene에서 채널이 형성되어 드레인 전류가 되고 일정의 드레인 전압에 도달하면 포화되는 특성을 관찰 할 수 있었다. 같은 스케일의 수소 플라즈마 처리한 그래프(그림 3-b)와 그렇지 않은 그래프(그림 3-a)를 비교해보면 게이트 전압을 -20 V 인

가하였을 때를 기준으로 수소 처리하지 않은 그래프의 경우 드레인 전류는 1.1×10^{-8} 이였으나 수소 처리한 그래프의 경우 드레인 전류는 2.4×10^{-6} 으로 드레인 전류가 약 3배 이상 증가되는 전기적 특성 향상을 관찰하였다.

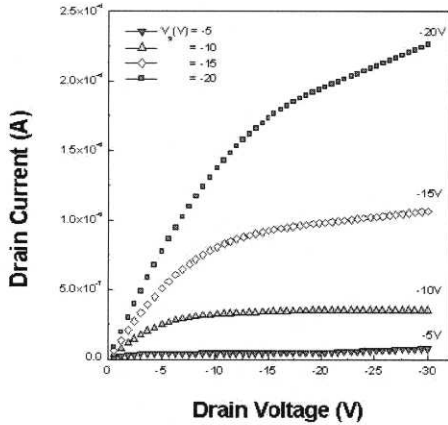


그림 3-b. 수소 플라즈마 처리를 실시한 펜타센 박막 트랜지스터의 출력 특성 곡선.

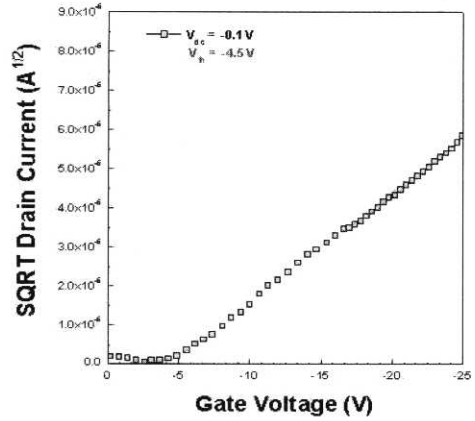
Fig. 3-b. The output characteristics of vacuum evaporated pentacene thin film transistor with H₂ plasma treatment (W/L = 5000 μm/ 2000 μm).

그림 4 (a)는 일반적인 역스태거드형 pentacene 박막 트랜지스터의 포화영역의 전류식을 이용하여 문턱전압을 추출하기 위해 나타낸 게이트 바이어스에 따른 드레인 전류^{1/2} 특성곡선이다. 문턱전압을 추출하기 위한 식은 다음과 같이 정의한다.

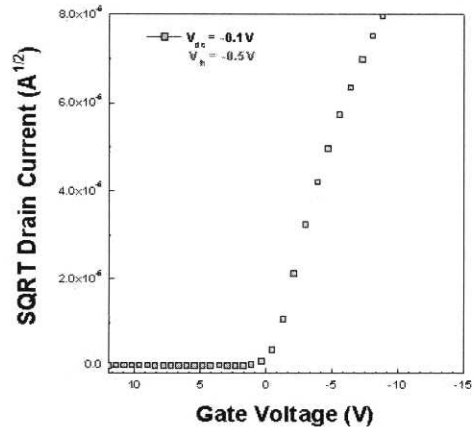
$$I_{ds} = \frac{WC_i \mu_{eff}}{2L} (V_g - V_{th})^2 \quad (1)$$

μ_{eff} , V_{th} , C_i , L/W 는 각각 전계효과 이동도, 문턱전압, 절연막의 축전용량, 그리고 채널의 길이와 폭의 비를 나타낸다. 추출된 식에 의한 문턱전압은 4.5 V로 나타났다.

그림 4 (b)는 수소 플라즈마 처리를 이용한 역스태거드형 pentacene 박막 트랜지스터의 전류 포화영역 식을 이용하여 문턱전압을 추출하기 위해 나타낸 게이트 바이어스에 따른 드레인 전류^{1/2} 특성곡선이다. 추출된 문턱전압은 0.5 V로서 일반적인



(a)



(b)

그림 4. 일반적인 펜타센 박막 트랜지스터(a)와 수소 플라즈마 처리를 실시한 펜타센 박막 트랜지스터(b)의 $I_{ds}^{1/2}$ 대 V_{gs} 곡선.

Fig. 4. $I_{ds}^{1/2}$ versus V_{gs} characteristics of vacuum pentacene thin film transistor (a) without H₂ plasma treatment, and (b) with H₂ plasma treatment. (W/L=5000 μm/ 2000 μm).

소자의 4.5V 수치보다 크게 개선됨을 볼 수 있다.

그림 5 (a)는 드레인 전압 -0.1 V일 때 전이 특성으로부터 계산한 pentacene 박막 트랜지스터의 전계효과 이동도 및 문턱 전압을 나타낸 것이다. Transconductance는 다음과 같이 정의한다.

$$g_m (\text{Transconductance}) = \frac{\partial I_d}{\partial V_g} \quad (2)$$

이 때 전계효과 이동도는 다음과 같다.

$$\mu_{eff} = \frac{g_m L}{C_i W (V_g - V_d)} \quad (3)$$

낮은 드레인 전압의 영역에서($V_d = 0.1$ V) pentacene TFT의 출력 특성으로부터 channel

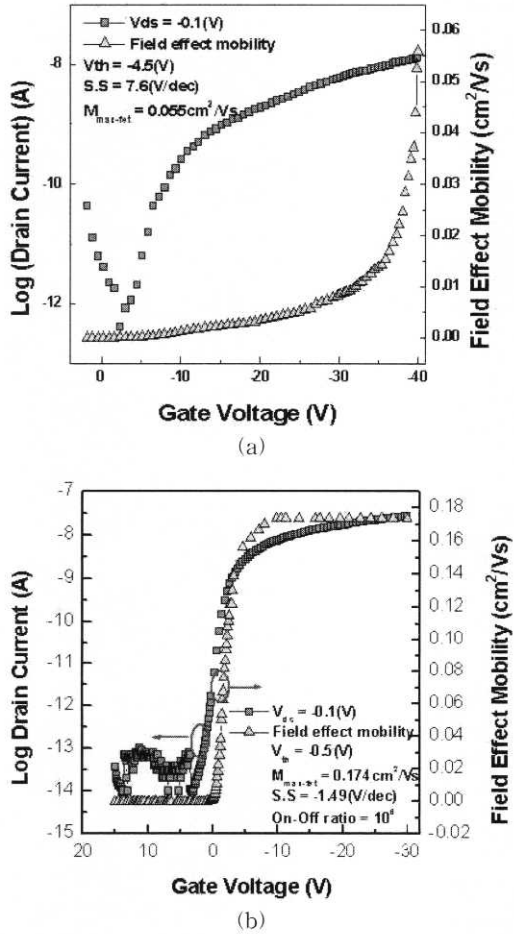


그림 5. 일반적인 방법(a)과 수소 플라즈마 처리를 실시한 펜타센 박막 트랜지스터(b)의 전계 효과 이동도 추출 곡선.

Fig. 5. The field-effect mobility of vacuum evaporated pentacene thin film transistor obtained from transconductance at $V_d = -0.1V$ (a) without H_2 plasma treatment, and (b) with H_2 plasma treatment. ($W/L = 5000 \mu m / 2000 \mu m$).

conductance를 구한 다음, 산출한 전계효과 이동도와 문턱 전압은 각각 $0.055 \text{ cm}^2/\text{Vs}$, -4.5 V 이었다. 그래프에서도 볼 수 있듯이 전계효과 이동도가 $0.055 \text{ cm}^2/\text{Vs}$ 로 기존의 아모퍼스 실리콘을 이용한 무기 박막 트랜지스터의 이동도에 비해 현저히 낮음을 볼 수 있었다. 이는 활성층인 pentacene 박막 내의 그레인 경계 영역에 의한 트랩된 전하들의 밀도가 높으며 또한 박막 자체의 charging현상과 활성층과 절연막사이의 계면 상태가 좋지 않음을 보여주기 때문으로 분석 할 수 있다.

그림 5 (b)는 드레인 전압이 -0.1 V 일 때 전이 특성으로부터 계산한 pentacene TFT의 전계 효과 이동도 및 문턱전압을 나타낸 것이다. Transconductance, 전계효과이동도는 앞서 언급된 것과 마찬가지로 정의하였다.

산출한 전계효과 이동도와 문턱 전압은 각각 $0.174 \text{ cm}^2/\text{Vs}$, -0.5 V 로 수소 플라즈마 처리로 인하여 전기적 특성이 크게 향상되었다. 이동도의 경우 수소 플라즈마 처리 효과로 인하여 활성층과 소오스 드레인 사이의 접촉(ohmic contact)이 크게 향상되고, 활성층 계면의 charging현상과 거칠기가 완화되었을 뿐더러, 이로 인한 그레인 경계 영역의 potential barrier가 낮아짐으로 인하여 전류의 이동이 원활하여 짐으로써 전계효과 이동도의 수치가 수소 플라즈마 처리하지 않은 소자가 $0.055 \text{ cm}^2/\text{Vs}$ 에서 수소 플라즈마 처리한 소자의 경우 $0.174 \text{ cm}^2/\text{Vs}$ 로 3.16배 이상 크게 증가되는 전기적 특성의 향상을 관찰하였다. 문턱 전압의 경우에도 향상된 것을 볼 수 있었는데 이는 활성층 계면을 향상시켜 pentacene 박막의 charging되는 것을 억제 시켜 준 것으로 사료된다.

그림 6 (a), (b), (c)는 수소 플라즈마 처리에 따른 RMS 거칠기(a)와 pentacene 두께 변화(b) 그리고 표면의 AFM 3D 이미지(c)를 나타낸 것이다. 수소 플라즈마 처리가 진행되면 pentacene 박막은 ashing효과에 의하여 두께가 점차적으로 감소되고, 그 시간이 90초가 되면 계면의 거칠기가 크게 향상되는 것을 볼 수 있다. 이는 수소 플라즈마 처리로 인해 pentacene 박막에 붙어있는 유기물의 degradation의 원인이 되는 물질들인 산소와 흡착 잔류물들을 cleaning해주는 효과가 일어남과 동시에 계면의 그레인 경계들이 ashing효과로 인하여 줄어들고 있음을 말해주고 있다. 이것은 pentacene 박막의 charging효과를 감소시켜주는 동시에 소오스 드레인과 활성층 사이 계면에 ohmic형성을 원활히 해주고 전류의 이동도를 높여주는 효과를 보

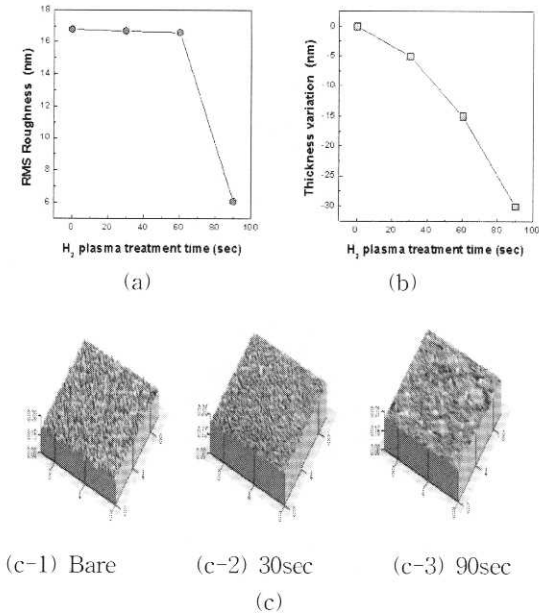


그림 6. 수소 플라즈마 처리시간에 따른 펜타센 박막의 표면 거칠기 변화(a)와 두께 변화 (b) 및 AFM 3D 이미지(c).

Fig. 6. (a)RMS Roughness, (b) Thickness variation, and (c) AFM 3D image of pentacene as a function of hydrogen plasma treatment time.

여주기 때문이다.

그림 7 (a)는 수소 플라즈마 처리 시간에 따른 pentacene 박막의 수소 함유량을 나타내고 있는 SIMS depth profile이다. 그림에서 볼 수 있듯이 초기 플라즈마 처리하지 않은 상태에서 수소 플라즈마 처리를 실시하게 되면 처리시간 30초에서 수소의 함유량이 줄어든다. 이는 초기 수소는 pentacene 박막의 계면에 잔류하는 산소 성분과 기타 잔류물들과 반응하여 ashing되는 효과가 나타남으로 전체 수소의 함유량이 줄게 되기 때문이다. 그러나 플라즈마 시간이 지나갈수록 ashing효과는 줄어들게 되고 pentacene계면으로 수소가 diffusion되기 때문에 수소의 양은 점차적으로 증가한다. 이 침투된 수소들이 탄소를 연결시켜주는 효과를 나타나게 한다. 또한 pentacene박막의 그레인 경계 내에 존재하는 이물질들로 인한 trap현상을 ashing효과로 인하여 제거하여 줌으로써 소자의 전기적 성질이 크게 향상될 것으로 추측할 수 있다.

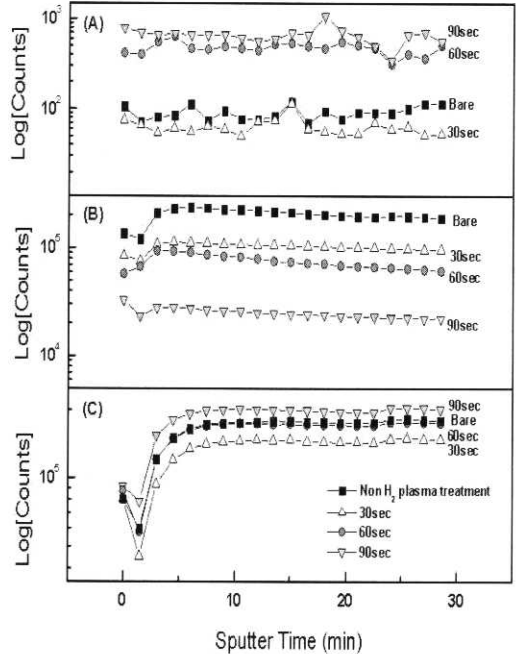


그림 7. 수소 플라즈마 처리한 펜타센 박막의 수소(a), 산소 (b), 그리고 탄소-수소 결합 (c)에 대한 SIMS 데이터.

Fig. 7. SIMS (a) hydrogen depth profiles, (b) oxygen depth profiles, and (c) C-H bond depth profiles in pentacene with H₂ plasma treatment.

그림 7 (b)은 수소 플라즈마 처리 시간에 따른 pentacene박막의 산소 함유량을 나타내고 있는 SIMS depth profile이다. 수소 함유량에 관한 분석에서도 언급되었듯이, 플라즈마 처리가 진행되면서 수소와 산소가 흡착되고 반응을 일으켜서 pentacene계면에서 산소의 양은 점점 줄어들게 됨을 그래프에서 보여주고 있다. 일반적인 전도성 유기물에서 산소와 유기물 사이의 반응은 소자의 활성층내의 전도성을 떨어뜨리고 degradation되는 현상을 유발하게 한다. 이는 전체효과 이동도의 감소라는 측면에서 유기 반도체의 전기적 특성을 감소시키는 요인으로 작용되는데 본 그래프에서도 볼 수 있듯이 수소 플라즈마 처리로 인하여 활성층 계면 내의 산소가 수소와 흡착되어 ashing효과가 나타내어짐으로 인하여 산소의 함유량이 크게 줄어들고 이는 소자의 전기적 특성을 크게 향상시

키는 원인으로 나타남을 볼 수 있다.

그림 7 (c)는 수소 플라즈마 처리 시간에 따른 pentacene박막의 수소와 탄소 결합량(C-H)을 나타내고 있는 SIMS depth profile이다. 탄소와 수소의 결합량은 30초 동안에는 수소 플라즈마가 진행되면서 줄어들고 있다. 이는 초기 수소 플라즈마 처리 상태에서는 수소와 산소의 ashing현상으로 인하여 박막 표면 내의 C-H결합이 깨어지게 되지만 수소 플라즈마 처리시간이 늘어남에 따라 ashing 현상은 점차적으로 줄어들게 되고 수소의 침투 현상이 활발해지면서 깨여졌던 소수의 C-H결합을 복원시키게 되고 또한 pentacene 박막을 수소가 passivation하게 됨으로 인하여 전체 C-H결합은 증가하게 된다. 이는 수소 침투로 인하여 pentacene 박막 자체의 charging현상을 개선하는 효과를 나타내어 소자의 전기적 특성을 크게 향상시키는 원인이 된다.

4. 결 론

본 연구에서는 유기 반도체의 낮은 전기적 특성을 향상시키기 위해 트랜지스터로 제작되는 소자 측면에서의 특성 향상을 위한 새로운 방법을 제시하였다. 제시된 새로운 특성 향상방법은 유기 박막 트랜지스터의 이동도 및 기타 전기적 특성을 개선하기 위한 방법으로 수소를 이용한 플라즈마 처리를 실시하여 측정된 데이터에 의하여 그 효과를 증명하였다.

분석된 결과에 의하면 수소 플라즈마 처리를 실시한 소자의 경우 실시하지 않은 소자에 비하여 전기적 특성이 크게 향상된 것을 볼 수 있었는데 이는 수소화 처리에 의하여 활성층의 계면의 morphology가 크게 향상되었을 뿐만 아니라 이로 인하여 pentacene 박막의 charging효과와 감소와 소오스, 드레인 전극사이의 계면이 크게 향상되어 ohmic접촉을 형성하였기 때문이다. 이는 곧 화학적인 결합을 하지 못하고 물리적인 결합을 하는 활성층(pentacene)과 소오스, 드레인 전극(Au)의 결합을 증진 시킴으로써 계면 사이의 adhesion이 크게 향상되어 ohmic접촉을 원활히 해주므로 인한 전기적 특성의 향상으로 분석할 수 있고, 또한 수소에 의한 passivation 및 ashing효과로 인하여 활성층의 계면에 다른 여타 particle(특히 산소입자)을 방지하는 효과로 인하여 활성층 계면의 degradation을 방지함으로써 특성이 향상되었으며 분석할 수 있다. 측정된 데이터의 분석결과, 전반적인 특성의 향상을 관찰할 수 있었고 특히, 전

계 효과 이동도 면에서 0.055 cm²/Vs에서 0.174 cm²/Vs로 3.16배 이상 향상 및 접점면 면에서 10³에서 10⁷으로 크게 향상됨을 확인할 수 있었다.

결론적으로, 본 논문에서 제시한 수소 플라즈마 처리에 의한 방법이 flexible display에 적용될 수 있는 구동 소자로서 갖추어야 될 유기박막 트랜지스터의 전기적 특성을 향상시키기 위한 한 방법으로 적용할 수 있음을 보여 주고 있다.

참고 문헌

- [1] Y. Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, "Stacked pentacene layer organic thin film transistor with improved characteristics", IEEE Trans. Elec. Dev. Vol. 44, p. 8, 1997.
- [2] D. J. Gundlach, Y. Y. Lin, T. N. Jackson, S. F. Nelson, and D. G. Schlom, "Pentacene organic thin film transistor molecular ordering and mobility", IEEE Elec. Dev. Lett., Vol. 18, p. 3, 1997.
- [3] Y. Taur and T. H. Ning, "Fundamental of Modern VLSI Devices", Cambridge University Press, p. 40, 1998.
- [4] Jae Won Chang, Hoon Kim, Jai Kyeong Kim, Yung Chul Kim, Jin Jang, and Byeong Kwon Ju, "Structure and morphology of vacuum-evaporated pentacene as a function of the substrate temperature", J. Korean Phys. Soc., Vol. 42, p. 268, 2003.
- [5] 이경섭, 박계춘, "유기반도체 태양전지의 특성과 연구동향", 전기전자재료학회논문지, 9권, 2호, p. 204, 1996.
- [6] 김정수, 김준호, 심재훈, 김영관, 표상우, 김윤명, "Photoacryl을 게이트 절연층으로 사용한 유기 박막트랜지스터의 전기적 특성에 관한 연구", 전기전자재료학회논문지, 15권, 2호, p. 110, 2002.
- [7] 김형준, 박세근, 박우상, 이현중, 이경택, "고온 다결정 실리콘 박막트랜지스터의 전기적 특성과 누설전류 특성", 전기전자재료학회논문지, 11권, 10호, p. 918, 1998.