

## 구리 확산에 대한 Pt/Ti 및 Ni/Ti 확산 방지막 특성에 관한 연구

### A Study on the Diffusion Barrier Properties of Pt/Ti and Ni/Ti for Cu Metallization

장성근

(Sung-Keun Chang)

#### Abstract

New Pt/Ti and Ni/Ti double-metal structures have been investigated for the application of a diffusion barrier between Cu and Si in deep submicron integrated circuits. Pt/Ti and Ni/Ti were deposited using E-beam evaporator at room temperature. The performance of Pt/Ti and Ni/Ti structures as diffusion barrier against Cu diffusion was examined by charge pumping method, gate leakage current, junction leakage current, and SIMS(secondary ion mass spectroscopy). These evaluation indicated that Pt/Ti(200Å/100Å) film is a good barrier against Cu diffusion up to 450°C.

**Key Words** : Diffusion barrier, Copper, Charge pumping current, Cu diffusion, Pt/Ti

#### 1. 서론

MOSFET (metal oxide semiconductor field effect transistor)소자가 개발된 이후 반도체 산업은 많은 변화와 발전을 이루어 왔다. 또한 집적회로 분야에서 지속적으로 이루어지고 있는 소자 크기 감소는 집적도를 계속적으로 증가시킬 뿐만 아니라 소자의 전기적인 속도를 크게 증가시키고 있다. 그러나 이와 같은 소자 크기 감소에 의하여 얻어지는 전기적 특성 향상은 집적도 증가로부터 늘어나는 RC time delay에 의하여 제한이 가해지면서 기존에 사용되는 Al 합금 배선보다 낮은 저항을 가진 저 저항 배선 개발에 대한 요구가 일어나고 있다. 구리는 현재 DRAM(dynamic random

access memory) 기술에서 금속선으로 널리 사용되고 있는 알루미늄에 비해 높은 전도도와 EM (electromigration)에 대한 높은 저항 특성을 제공한다[1]. 그러나 구리는 산화막과 실리콘 내에서 확산이 빨리 되는 성질 때문에 실리콘 기판을 오염시킬 수 있으며, 실리콘 내의 구리 오염은 접합 누설전류를 증가시키고, MOSFET의 여러 가지 특성을 저하시키는 것으로 알려져 있다[2]. 따라서 구리 금속과 산화막 사이에 확산 방지막의 사용은 필수적이며, Cu 확산 방지막에 관한 연구와 게이트 절연막의 특성을 개선하기 위한 많은 연구가 이루어지고 있다[3-5]. 그 동안 여러 종류의 물질들이 확산 방지막으로 연구되어왔으며, 그 결과 내화성 금속이 Cu 금속선 공정에 사용될 수 있는 효과적인 물질로 알려져 있다[6-7]. 본 논문에서는 Cu의 선택적 증착이 용이하여 DRAM 집적공정을 단순화시킬 수 있는 Pt/Ti 및 Ni/Ti를 Cu와 IMD(inter-metal-dielectric)사이의 확산 방지막으로 사용하여 대부분 400°C이하인 DRAM 후속 열처리 공정을 고려한 450°C에서 Cu의 확산 저지

청운대학교 전자공학과  
(충남 홍성군·읍 남장리 산 29,  
Fax : 041-630-8700,  
Corresponding Author : skchang@chungwoon.ac.kr)  
2002년 7월 15일 접수, 2002년 8월 9일 1차 심사완료,  
2002년 9월 18일 2차 심사, 11월 13일 최종 심사완료.

능력을 시험하여 Pt/Ti 및 Ni/Ti를 DRAM 기술에서 Cu의 확산 방지막으로서의 사용 가능성을 확인하고자 하였다.

## 2. 실험방법

그림 1은 시료의 단면이다. 시료는 8", p-형 기판 위에 아래와 같은 CMOS 공정으로 제작되었다. LOCOS(localized oxidation of silicon) 공정을 적용하여 소자를 절연시킨 후 게이트 산화막 80Å을 성장시켰다. 그 위에 다결정 실리콘은 LPCVD(low pressure chemical vapor deposition) 법으로 WSi<sub>2</sub>는 sputtering법으로 증착시킨 후 게이트 패턴을 형성하였다. IPO(inter-poly-oxide) 물질로는 Si<sub>3</sub>O<sub>2</sub>(600Å)/BPSG(12,000Å)를 증착하였다. 금속선 형성은 W-Plug/Al을 적용하였고, 이때 금속 확산 방지막으로는 Ti/TiN, 접착층으로는 Ti를 적용하였다. Al 상단에는 ARC(anti-reflection-coating)층으로서 Ti/TiN를 증착하였다. 1층 금속 패턴이 형성된 후, 소자 보호막 물질로는 TEOS(3,000Å)/Si<sub>3</sub>N<sub>4</sub>(4,000Å)를 연속 증착하였다. MOS 소자 제조 공정이 완료된 시료의 전면(front)에 구리를 선택적으로 증착하기 위하여 마스크를 사용하여, 이미 증착되어 있는 소자 보호막 가운데 절화막(Si<sub>3</sub>N<sub>4</sub>) 전부와 TEOS의 일부를 RIE(reactive-ion-etching)장비를 이용하여 건식 식각하였다. RIE 공정시 받은 플라즈마 damage를 제거해 주기 위해 N<sub>2</sub>/H<sub>2</sub> 분위기, 400°C 상압에서 30분 동안 어닐링을 실시하였다. Lift-off용 감광막 패턴을 형성하고 확산 방지막 물질인 Pt/Ti 및 Ni/Ti를 5 × 10<sup>-7</sup> torr, 상온에서 E-beam evaporation 방법을 이용하여 표1과 같이 여러 가지 조건으로 증착하였다. 그리고 그 위에 Cu는 1 torr, 125°C에서 MOCVD(metal organic chemical vapor deposition) 방법을 이용하여 그림 1과 같이 ~1000Å 두께로 증착하였다. 이때 구리는 Si<sub>3</sub>N<sub>4</sub> 상단보다 확산 방지막의 상단에 선택적으로 두껍게 증착이 된다. 대부분 400°C 이하인 DRAM 후속 열처리 공정을 감안하여 450°C, N<sub>2</sub> 분위기에서 2시간 동안 열처리하였다. 열 처리후 Cu 확산에 따른 방지막의 성능을 정확히 평가하기 위해서, 열처리 전후에 소자의 특성을 측정하였다. 또한 SIMS(secondary ion mass spectroscopy)를 이용하여 Cu 확산 방지막의 성능을 측정하기 위하여 패턴(pattern)이 없는 별도의 웨이퍼에 MOS 커패시터 구조(WSi<sub>2</sub>/

poly-Si/SiO<sub>2</sub>/Si)에 그림1과 같이 IPO를 형성하고, 표1과 같은 확산 방지막과 Cu를 증착하고 위의 시료와 동일한 조건으로 열처리하였다. 본 논문에서 조사한 시료의 확산 방지막 물질의 구조 및 증착 조건은 표 1과 같다.

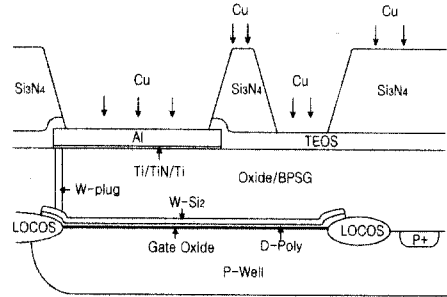


그림 1. 시료의 단면도.

Fig. 1. Cross section of sample.

표 1. 다양한 확산막 구조와 열처리 조건.

Table 1. Split conditions of the various diffusion barrier couples annealed at 450°C.

구분	확산막구조	열처리 조건
A	No Barrer	450°C, N <sub>2</sub> , 2hrs
B	Ni/Ti (200Å/100Å)	
C	Ni/Ti (400Å/100Å)	
D	Pt/Ti (400Å/100Å)	
E	Pt/Ti (200Å/100Å)	
F	Reference (No Cu)	

## 3. 결과 및 토의

그림 2는 표1과 같은 확산 방지막 증착 조건으로 증착한 후 각각의 시료를 450°C에서 2시간 동안 어닐링한 후 크기가 200x200 μm<sup>2</sup>인 planar junction 패턴에서 n<sup>-</sup>/P-well 및 p<sup>+</sup>/N-well 접합 누설전류를 전압 2.5V에서 측정하여 어닐링 전에 측정된 초기 값으로 표준화한 것을 보여주고 있다.

$n^+$ /P-well 및  $p^+$ /N-well의 두 가지 접합에서 모두 기준시료(시료 F)에 비해 접합 누설전류가 증가했으며, 확산 방지막으로 Pt/Ti(200Å/100Å)을 적용한 시료(시료 E)에서 가장 양호한 누설전류 특성을 얻었다. 접합 누설전류의 증가는 실리콘 내의 Cu 오염에 기인된 것이며[2], 확산 방지막 Pt/Ti(200Å/100Å)이 가장 효과적으로 Cu의 확산을 억제하는 것으로 볼 수 있다.

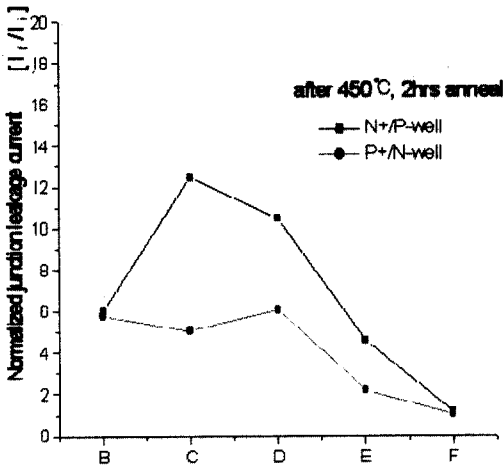


그림 2.  $n^+$ /P-well 및  $p^+$ /N-well 접합에 대해 초기 값으로 표준화된 접합 누설전류.

Fig. 2. Junction leakage current normalized with initial measurement value for  $n^+$ /P-well and  $p^+$ /N-well junction.

그림 3은 MOS 커패시터 게이트 전극에 순방향 바이어스를 가한 후 게이트 누설전류 특성을 측정 한 것이다. 확산 방지막 없이 구리만 증착된 시료(그림 3, 시료 A)의 경우 게이트 전극에 바이어스가 가해진 초기 상태에서 게이트 누설전류가 크게 증가하였으며, 이러한 현상은 소자 상단에 증착된 구리가 어닐링 후 IMD 산화막으로 확산된 후 게이트 산화막에 trap되어, defect source 역할을 하여 낮은 전압에서도 누설전류가 발생하는 것으로 보인다. 반면 확산 방지막이 있는 시료에서는 약 ~1000배 이상 게이트 누설전류가 감소하였으며, 특히 Pt/Ti(200Å/100Å)시료에서 가장 좋은 특성을

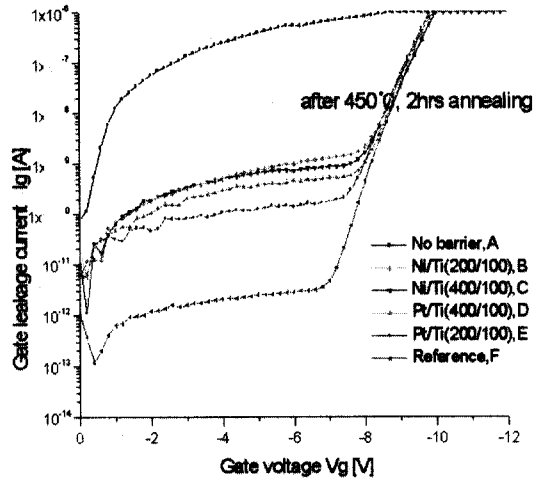


그림 3. 구리 확산 방지막 유무에 따른 MOS 커패시터 구조에서 게이트 항복전압 특성.

Fig. 3. Breakdown characteristics of MOS capacitor with and without diffusion barrier metals.

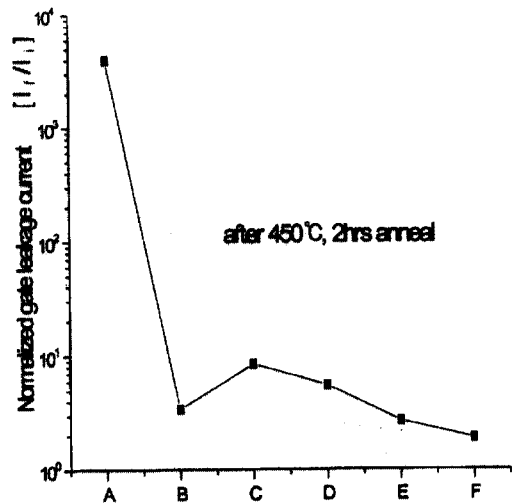


그림 4. NMOS 커패시터의 초기값으로 표준화한 게이트 누설전류.

Fig. 4. Gate leakage current normalized with initial measurement value for NMOS capacitor.

보였다. 또한 게이트 누설전류가 1 $\mu$ A일 때 측정된 항복 전압은 구리만 증착된 시료(그림 3, 시료 A)를 제외하고는 큰 차이가 없음을 보여주고 있으며, 이러한 결과에서 Pt/Ti 구조의 확산 방지막은 효과적인 구리의 확산 방지막 역할을 하고 있음을 알 수 있다. 그림 4는 450 $^{\circ}$ C N $_2$  분위기에서 어닐링 실시 전, 후의 게이트 누설전류를 그림 3과 같이 측정하여 그 변화량을 측정한 것이다.

그림 5는 MOSFET에서 계면 트랩 밀도(interface trap density : Dit)와 같은 계면 특성을 구할 수 있는 charge pumping 방법으로 구리 확산 방지막이 있는 시료 E와 없는 시료 A에서 Cu 증착전에 Charge pumping 전류(Icp)를 측정하고, 450 $^{\circ}$ C N $_2$  분위기에서 어닐링 후 다시 Charge pumping 전류(Icp)를 측정한 값이다. Charge pumping 전류는 소스-드레인 전극에 0.1V를 인가하고, Vgb=2V, f=100KHz, tr(rising time) = tf(falling time)=0.1 $\mu$ s, sweep range -3~1V를 게이트 전극에 가한 후 측정하였다. 구리 확산 방지막이 있는 시료 E가 구리 확산 방지막 없이 구리만 증착된 시료 A보다 450 $^{\circ}$ C N $_2$  분위기에서 어닐링 전, 후의 Icp 차이인  $\Delta I_{cp}$ 가 훨씬 작다.

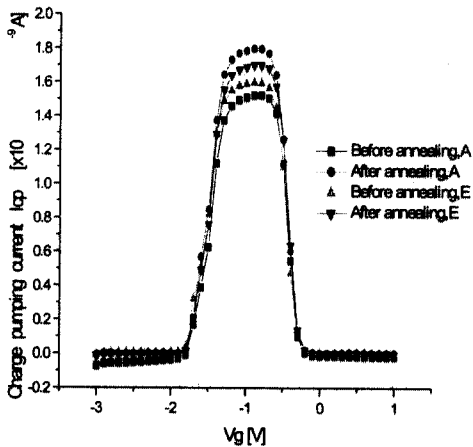


그림 5. 450 $^{\circ}$ C 어닐링 전, 후 구리 확산 방지막 있는 것과 없는 NMOSFET의 charge pumping 전류.

Fig. 5. Charge pumping current of NMOSFET with and without Cu diffusion barrier before and after 450 $^{\circ}$ C annealing.

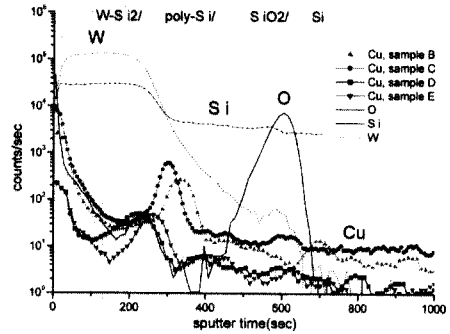


그림 6. 450 $^{\circ}$ C 어닐링 후 여러 가지 확산 방지막을 가진 MOS 커패시터 구조 (WSi $_2$ /poly-Si/SiO $_2$ /Si)에서 SIMS에 의해 측정된 구리 농도 프로파일.

Fig. 6. Copper profile of MOS Capacitors (WSi $_2$ /poly-Si/SiO $_2$ /Si) with a various barrier metal after annealing at 450 $^{\circ}$ C as measured by SIMS.

$\Delta I_{cp\_max}$  값을 이용하여 계면 트랩 밀도(Dit)를 아래 식과[8] 같이 구할 수 있으며, 아래 식에서 보는 바와 같이  $\Delta I_{cp\_max}$ 가 클수록 Dit값도 크다. 이러한 결과로부터 구리의 오염 정도가 높을수록 계면 트랩 밀도가 증가하며, MOSFET의 문턱 전압 및 스윙과 같은 전기적 특성에 많은 변화를 줄 수 있다[2]. 동일한 방법으로 각각의 시료에서  $\Delta I_{cp\_max}$  측정된 결과 Pt/Ti(200 $\text{\AA}$ /100 $\text{\AA}$ )을 확산 방지막으로 사용한 시료(E)가 다른 조건들에 비해 양호한 특성을 보였다.

$$D_{it} = \frac{\Delta I_{cp\_max}}{A \cdot q \cdot f \cdot \Delta \psi_s}$$

q: 1.6 x 10 $^{-19}$ , f: 주파수, A: MOSFET 크기,  $\Delta \psi_s$ : 표면전위(band bending)차

그림 6은 그림1과 같은 구조에서 패턴이 없이 별도로 제작된 시료를 450 $^{\circ}$ C에서 2시간 열처리 한 후 SIMS 분석을 위해 IPO산화막을 제거하고 게이트 전극에서 실리콘까지 각각의 시료에 대한 구리 원소의 분포를 측정하여 보여주고 있다. 구리가 WSi $_2$ /Poly-Si 계면에서 축적되어 있음을 알 수 있고 게이트 산화막내 및 실리콘내에서 확산 방지막 종류에 따라 구리의 농도 차이가 확연히 있음을

알 수 있으며, 전체적으로 시료 E가 좋은 Cu 확산 방지 특성을 보여주고 있다.

#### 4. 결 론

Pt/Ti 및 Ni/Ti를 구리 확산 방지막으로 사용하여 450°C에서 열처리한 후 시료의 접합 누설 전류, 게이트 누설전류, charge pumping 전류등 여러 가지 특성 변화를 조사하였다. 실험 결과 Pt/Ti(200 Å/100 Å)를 확산 방지막으로 적용한 시료(E)에서 가장 좋은 Cu 확산 방지 특성을 나타냈다. 이러한 결과는 DRAM 소자 제조에서 구리 금속을 선택적으로 증착하여 DRAM 집적공정을 단순화시켜 제조 원가를 절감할 수 있는 Pt/Ti를 Cu 확산 방지막으로 사용 가능성을 보였다.

#### 감사의 글

본 논문 연구에 필요한 시료 제작과 측정 장비 사용을 허락해 주신 하이닉스 반도체 메모리 연구소와 포항공과대학교 AND Lab.에 감사드립니다. 또한 본 논문은 2002년도 청운대학교 학술연구조성비 지원에 의하여 연구되었습니다.

#### 참고 문헌

[1] D. Edelstein, J. Heidenreich, R. Goldblatt, W. Cote, C. Uzoh, N. Lustig, P. Roper, T. McDevitt, A. Simon, J. Dukovic, R. Wachnik, H. Rathore, R. Schulz, L. Su, S. Luce, and J. Slattery, "Full Copper Wiring in a sub-0.25 $\mu$ m CMOS ULSI Technology", IEDM Tech. Dig., p. 773, 1997.

[2] M. Inohara, H. Sakurai, T. Yamaguchi, H. Tomita, T. Iijima, H. Oyamatsu, T. Nakayama, and Y. Toyoshima, "Copper contamination Induced Degradation of MOSFET Characteristics and Reliability", Symp. on VLSI Tech. Dig., p. 26, 2000.

[3] 김창조, 조병철, 김좌연, 윤의중, 이재갑, "Cu와 Si 사이에서 확산 방지막으로 사용하기 위한 TiN/Zr(N)/TiN 다층박막의 연구", 전기전자재료학회논문지, 12권, 8호, p. 663, 1999.

[4] 김태형, 김창일, 최동진, 장의구, "N<sub>2</sub>O가스로

재산화시킨 oxynitride막의 특성", 전기전자재료학회논문지, 7권, 1호, p. 25, 1994.

[5] 이철인, 최현식, 서용진, 김창일, 김태형, 장의구, "N<sub>2</sub>O가스로 열산화된 게이트 산화막의 특성", 전기전자재료학회논문지, 6권, 3호, p. 269, 1993.

[6] H. S. Choe and M. Danek, "MOCVD TiN diffusion barrier for copper interconnection", IEEE Interconnect Technology Conference, p. 62, 1999.

[7] A. Paranjpe, R. Bubber, L. Velo, G. Shang, S. Gopinath, J. Dalton, and M. Moslehi, "CVD TaN barrier for copper metallization and DRAM bottom electrode", IEEE Interconnect Technology Conference, p. 119, 1999.

[8] G. Groeseneken, H. E. Maes, N. Beltran, and R. F. Dekeersmaec-Ker, "A reliable approach to chargepumping measurements in MOS transistors", IEEE Electron Device, Vol. ED-31, No. 1, p. 42, 1984.