

16-3-2

게이트 산화막 어닐링을 이용한 서브 마이크론 PMOS 트랜지스터의 NBTI 향상

Impact of Post Gate Oxidation Anneal on Negative Bias Temperature Instability of Deep Submicron PMOSFETs

김영민
(Young min Kim)

Abstract

Influence of post gate oxidation anneal on Negative Bias Temperature Instability (NBTI) of PMOSFET has been investigated. At oxidation anneal temperatures raised above 950 °C, a significant improvement of NBTI was observed which enables to reduce PMOS V_{th} shift occurred during a Bias Temperature (BT) stress. The high temperature anneal appears to suppress charge generations inside the gate oxide and near the silicon-oxide interface during the BT stress. By measuring band-to-band tunneling currents and subthreshold slopes, reduction of oxide trapped charges and interface states at the high temperature oxidation anneal was confirmed.

Key Words : NBTI, PMOSFET, Gate oxidation anneal

1. 서론

최근 deep 서브 마이크론 PMOSFET의 Negative Bias Temperature Instability (NBTI)에 대한 관심이 증가되어 왔는데[1-4] 이는 NBTI로 인해 PMOSFET 문턱 전압 (threshold voltage)이 변화되어 회로 성능에 지대한 영향을 미치기 때문이다. 구체적인 예로 디지털회로의 스위칭 속도 저하 및 아날로그 회로의 증폭도 감소 등이 보고되었는데[3] 이와 같은 문턱 전압 변화 (ΔV_{th})는 플라즈마 damage, 게이트 산화막 계면의 습도와 수소 농도 그리고 게이트 산화막의 질소 농도등으로 인해 증가된다고 알려져 왔다[1-3]. 지금까지 보고된 NBTI 개선 방법으로는 저농도 수소의 금속 절연체 (intermetal dielectric) 사용[4]과 저농도

질소의 게이트 산화막[1]이 있지만 이러한 방법들은 트랜지스터의 특성에 부가적인 영향을 함께 미쳐 트랜지스터가 다시 튜닝 되어야 하거나 트랜지스터의 성능을 저하시키는 단점이 있다[5-7]. 본 논문에서는 게이트 산화막 형성시 사용되는 어닐링 (annealing)의 온도를 높여 NBTI를 향상시키는 방법이 제시되었다. 고온의 어닐링을 통한 방법은 기존의 방법과는 달리 트랜지스터의 특성 변화를 최소화하면서 Bias Temperature (BT) 스트레스로 인한 문턱 전압 변화 (ΔV_{th})를 기존의 어닐링으로 제작된 소자보다 50% 이상 감소시킬 수 있었다. 또한 본 논문에서는 고온의 어닐링을 통한 NBTI향상 원인이 억제된 계면 전하와 고정 전하 생성에 있음을 밝혔다.

홍익대학교 전자전기공학부
(서울시 마포구 상수동 72-1)
Fax : 02-320-1110

Corresponding Author : ymkim@hongik.ac.kr
2002년 11월 12일 접수, 2002년 11월 29일 1차 심사완료,
2003년 1월 14일 최종 심사완료.

2. 실험

NBTI 측정에 사용된 PMOSFET의 주요 제작 공정은 다음과 같다. 소자간의 분리를 위하여 STI(shallow trench isolation) 방식이 사용되었으

며 웰과 채널 이온 주입으로 SSR (super steep retrograde) 웰이 만들어 졌다. 800 °C 전식 산화법을 이용하여 38 Å 게이트 산화막 (SiO₂)을 형성한 후 800 °C 질소 분위기에서 20분간 어닐링 (annealing)을 통해 게이트 절연막이 완성되었다. 형성된 게이트 산화막위에 불순물이 도핑되지 않은 폴리 실리콘이 화학기상 증착법으로 1600 Å 증착되었고 0.15 μm의 채널이 게이트 패턴링 (patterning)과 폴리 실리콘 에칭을 통해 만들어 졌다. 드레인 extension으로는 MDD (moderately doped drain)와 halo 이온 주입법이 사용되었으며 저 에너지 이온 주입된 BF₂와 P가 사용되었다. 저 에너지 이온 주입 후 질화막 (Si₃N₄) 스페이서가 형성되었으며 2x10¹⁵ cm⁻² 도스의 붕소가 p⁺ 소스/드레인 지역에 이온 주입되었고 주입된 붕소는 1000 °C 에서 급속 열처리 장치로 3초간 활성화되었다. p⁺ 소스/드레인 지역 위에 코볼트 실리사이드(CoSi)를 형성하여 트랜지스터의 구조를 완성한 후 급속 배선을 하였다. 이 논문에서는 게이트 산화막 어닐링이 NBTI에 미치는 영향을 밝히기 위하여 앞서 언급한 PMOSFET 제작 공정 중 게이트 산화막 어닐링에 사용되는 온도와 시간을 변화시켜 보았다. 산화막 형성 공정도 산화막 계면 상태를 결정하는데 어닐링과 흡사한 영향을 미칠 수 있으나 초박막 산화막 제작시 산화막 두께 조절이 용이하지 않아 이 연구에서는 초박막 산화막 두께에 거의 영향을 주지 않는 어닐링 공정이 중점적으로 다루어졌다. 완성된 PMOSFET는 그림 1과 같이 소스, 드레인과 웰을 모두 그라운드 시키고 150 °C 에서 -2.6 V 전압을 게이트와 소스간에 가한 후 문턱 전압을 측정하여 BT 스트레스를 가하기 전 문턱 전압과 비교하였다.

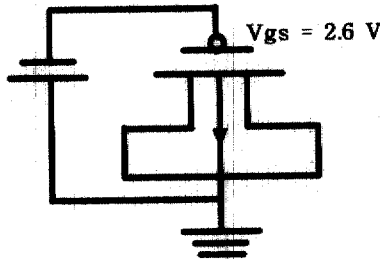


그림 1. NBTI 측정을 위한 B-T 스트레스시 소자 연결 회로.
Fig. 1. Stress bias configuration for NBTI test.

3. 결과 및 고찰

산화막 어닐링 조건을 변화시켜 제작된 PMOSFET의 NBTI로 인한 문턱 전압 변화 (ΔV_{th})가 그림 2에서와 같이 측정되었다. 앞에서 기술한 BT 스트레스 조건이 PMOSFET에 가해졌으며 스트레스 시간을 점차 증가시키면서 문턱 전압 변화 (ΔV_{th})를 측정하였다. 그림 2에 나타나 있듯이 문턱 전압 변화는 모든 어닐링 경우에 있어 스트레스 시간에 비례하여 증가함을 알 수 있었다. 하지만 일정한 BT 스트레스 후 발생하는 문턱전압의 변화는 어닐링 온도 증가에 따라 감소하였으며 어닐링 시간의 증가에는 무관하였다. 기존에 알려진 문턱전압 변화의 메카니즘, 즉 산화막 계면에서 실리콘 원자와 결합한 수소 원자의 도움으로 생성되는 계면 전하 및 고정전하에 의한 문턱전압 변화[1-2]에 비추어 볼 때, 그림 2에서의 결과는 어닐링의 온도가 산화막 계면에 존재하는 Si-H 수를 변화시키거나 계면 전하 생성에 필요한 화학 반응의 활성화 에너지에 영향을 미치는 것을 암시하고 있다.

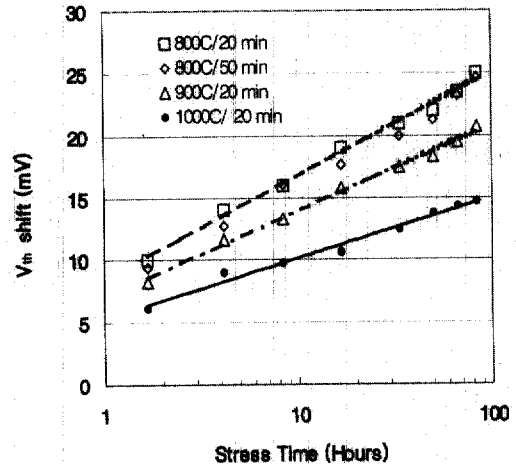


그림 2. 어닐링 조건이 B-T 스트레스시 MOSFET 문턱 전압 변화에 미치는 영향.
Fig. 2. MOSFET V_{th} shifts of various anneal conditions after B-T stress.

게이트 산화막 형성 중 사용되는 어닐링의 온도가 산화막 계면 상태에 미치는 영향은 게이트 산화막 신뢰성 연구에서도 확인된 바가 있지만[8], NBTI

와의 상관 관계는 아직 보고된 바 없다. 한편 높은 어닐링 온도를 사용시 트랜지스터의 문턱 전압은 낮은 어닐링 온도를 사용하여 제작한 트랜지스터의 문턱 전압에 비해 낮아지는데 이는 채널에 도핑된 인 (P)의 확산운동 증가로 인한 것이며 이러한 문턱 전압 저하를 피하기 위해 높은 어닐링 온도 사용시 채널이온 인의 주입량을 증가시켰다. BT 스트레스 후 문턱 전압 변화의 원인을 규명하기 위해 BT 스트레스 전후 산화막 계면 전하 (interface states N_{it}) 및 산화막 안에 고정 전하량 (fixed charges N_f)의 변화를 비교 분석하였다. 계면 전하와 고정 전하량의 변화는 PMOSFET의 서브쓰레쉬홀드 기울기와 밴드-밴드 터널링 (band-to-band tunneling) 전류의 측정을 통해 간접적으로 계산되었다. 밴드-밴드 터널링 전류는 게이트 전극에 양 전압을 가하여 측정할 수 있는데, 100 시간의 BT 스트레스 후 측정된 결과는 그림 3에 나타나 있다. 여기서 사용된 BT 스트레스 조건으로는 220 °C 에서 게이트와 소스간에 -2.9 V 전압이 가해졌다. BT 스트레스 후 서브쓰레쉬홀드 기울기와 밴드-밴드 터널링 전류는 800 °C 어닐링에서 170 mV/decade 와 2 nA ($V_{gs}=0.6V$ 일때)로 1000 °C 어닐링의 130 mV/decade 와 1 nA ($V_{gs}=0.6V$ 일때)에 비해 증가했음을 알 수 있다. 이렇게 측정된 밴드-밴드 터널링 전류 변화를 가지고 BT 스트레스에 의해 생성된 계면 전하량 및 고정 전하량을 다음과 같은 관계식을 통해 계산할 수 있었다[9].

$$\Delta N_{it} + \Delta N_f = (C_{ox}/q) \cdot \Delta V_{gs} \quad (1)$$

ΔV_{gs} 는 BT 스트레스 전후에 같은 양의 밴드-밴드 터널링 전류를 흐르게 하는데 필요한 게이트와 소스간의 전압 차이로 그림 3에서와 같이 측정될 수 있었고 그림에서와 같이 ΔV_{gs} 는 1000 °C 어닐링에서 800 °C 어닐링을 사용할 때 보다 50% 감소한 것을 알 수 있었다. 위에서 주어진 식 (1)과 ΔV_{gs} 를 이용하여 계산된 계면 전하와 고정 전하량은 그림 4에 나타난 것과 같이 BT 스트레스가 진행됨에 따라 점차적으로 증가함을 알 수 있다. 또한 계면 전하와 고정 전하 증가량은 800 °C 어닐링에 비해 1000 °C 어닐링에서 감소하는 것도 알 수 있었는데 이와 같이 고온의 어닐링에서 계면 전하와 고정 전하가 감소하는 이유는

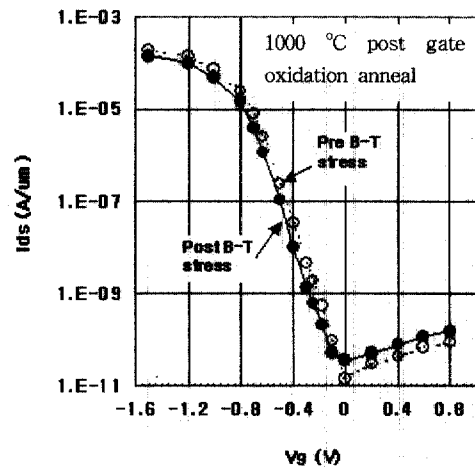
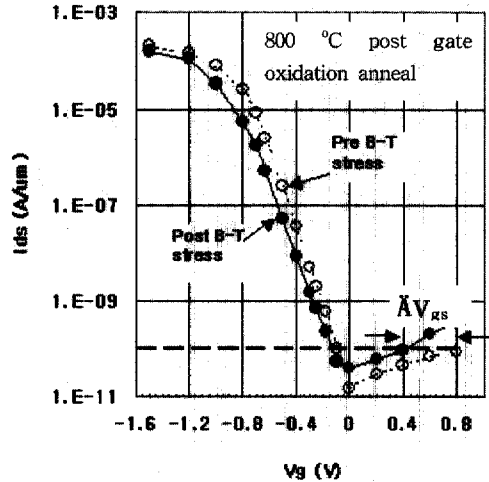


그림 3. 어닐링 조건이 B-T 스트레스시 밴드-밴드 터널링 전류와 서브쓰레쉬 기울기 변화에 미치는 영향.

Fig. 3. Effect of annealing temperature on band-to-band tunneling current and sub-threshold slope changes.

고온의 어닐링을 통해 산화막 안에 내재돼 있는 물리적 스트레스가 완화되었기 때문일 것이다. 산화막내에 물리적 스트레스는 건식 산화막 형성시 산화막의 viscoelastic한 특성으로 인해 발생한 것으로 전기적인 스트레스를 가할 때 산화막내에 생성되는 계면 전하와 고정 전하량을 증가시킨다고 알려져 왔다[10].

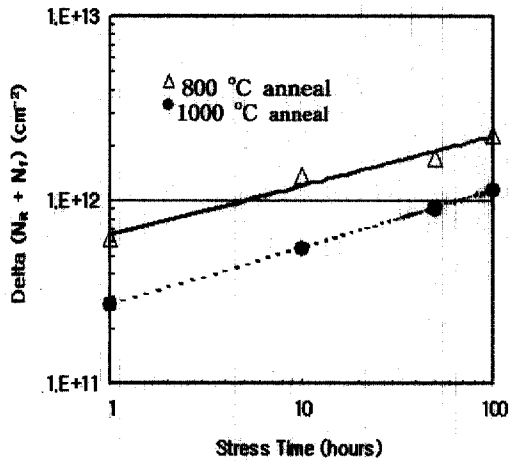


그림 4. B-T 스트레스 시간에 따른 산화막 부근의 계면 전하 및 고정 전하량의 변화.

Fig. 4. Increase of interface states and fixed charges in the gate oxide as the B-T stress progresses.

따라서 고온의 어닐링에 의해 완화된 산화막 물리적 스트레스[11]는 계면 전하 및 고정 전하 생성에 필요한 화학적 활성화 에너지를 높이므로써 계면 전하 및 고정 전하 생성을 억제하는 것으로 보인다. 한편 어닐링 온도가 게이트 산화막 신뢰성에 미치는 영향을 보기 위해서 BT 스트레스를 가하기 전 산화막의 항복 전압을 측정하여 보았다. 측정된 항복 전압은 그림 5에서와 같이 상온에서 어닐링 온도에 영향을 받지 않음을 알 수 있었다. 이러한 결과는 높은 전기장 (12 MV/cm)에서의 산화막 항복 현상이 BT 스트레스시 낮은 전기장 (7 MV/cm)에 의해 생성되는 계면 전하 및 고정 전하와는 무관한 메커니즘으로 일어남을 알 수 있다.

4. 결론

본 논문에서는 산화막 형성시 사용되는 어닐링의 온도를 1000 °C 이상으로 높여 PMOS NBTI 특성이 두 배 가까이 향상됨을 보였다. 또한 향상된 NBTI에 따른 문턱 전압 변화 감소는 고온의 어닐링에서 계면 전하 및 고정 전하량의 생성이 억제되어 이루어진 것을 밝혔다.

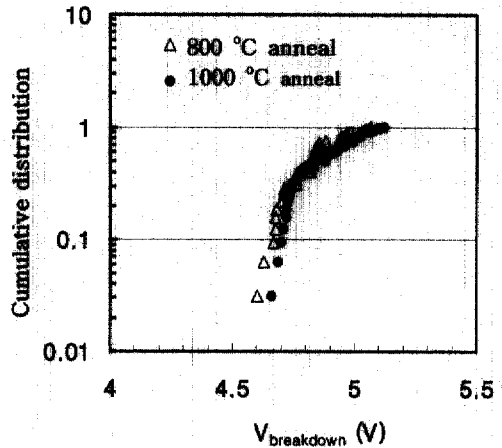


그림 5. 게이트 산화막 어닐링 온도가 산화막 브레이크 다운 전압에 미치는 영향.

Fig. 5. Effect of post gate oxidation anneal on gate oxide integrity.

이러한 산화막 어닐링 공정의 최적화를 통한 NBTI 향상은 트랜지스터 특성에 미치는 추가적인 영향을 최소화할 수 있는 장점이 있어 이미 개발된 MOSFET 제작 공정에 쉽게 적용될 수 있으며, 이 연구에서 밝혀진 게이트 산화막 계면이 NBTI에 미치는 영향은 차세대 트랜지스터 개발시 NBTI 특성을 고려한 산화막 계면의 최적화에 도움이 될 것으로 사료된다.

감사의 글

본 연구는 한국과학재단 목적 기초 연구 (과제번호 R01-2002-000-00458-0) 지원으로 수행되었음.

참고 문헌

- [1] N. Kimizuka, K. Yamaguchi, and K. Imai, "NBTI enhancement by nitrogen incorporation into ultrathin gate oxide for 0.1 um gate CMOS generation", Symp. on VLSI Technology, June, p. 92, 2000.
- [2] T. Yamamoto, K. Uwasawa, and T. Mogami, "Bias temperature instability in scaled P+ polysilicon gate pMOSFET's",

- IEEE Tran. on Electron Devices, Vol. 46, No. 5, p. 921, 1999.
- [3] V. Reddy, A. Krishnan, A. Marchall, and J. Rodriguez, "Impact of negative bias temperature instability on digital circuit reliability", IRPS 2002, Dallas, Texas, p. 248.
- [4] A. Suzuki, K. Tabuchi, and H. Kimura, "A strategy using a copper/low-k BEOL process to prevent negative-bias temperature instability (NBTI) in PMOSFET", Symp. on VLSI Technology, p. 216, 2002.
- [5] 장성근, "쌍극 폴리-금속 게이트를 적용한 CMOS 트랜지스터의 특성", 전기전자재료학회 논문지, 15권, 3호, p. 233, 2002.
- [6] 김태형, 김창일, 최동진, 장의구, " N_2O 가스로 재산화시킨 oxynitride막의 특성", 전기전자재료학회 논문지, 7권, 1호, p. 25, 1994.
- [7] 이철인, 최현식, 서용진, 김창일, 김태형, 장의구, " N_2O 가스로 열산화된 게이트 산화막의 특성", 전기전자재료학회 논문지, 6권, 3호, p. 269, 1993.
- [8] S. Tay, A. Kalnitsky, and G. Kelly, "Annealing characteristics of ultrathin silicon oxides grown at low temperatures", J. Electrochem. Soc., Vol. 137, No. 11, p. 3579, 1990.
- [9] C. Duvvury, D. Redwine, and H. Stiegler, "Leakage current degradation in nMOSFET's due to hot electron stress", IEEE Electron Device Lett., Vol. 9, No. 11, p. 579, 1988.
- [10] H. Uchida, N. Hirashita, and T. Ajioka, "The effect of oxide charges at LOCOS isolation edges on oxide breakdown", IEEE Trans. Electron Devices, Vol. 40, p. 1818, 1993.
- [11] E. Irene, E. Tierney, and J. Angillelo, "A viscous flow model to explain the appearance of high density thermal SiO_2 at low oxidation temperatures", J. Electrochem. Soc., Vol. 129, No. 11, p. 2594, 1982.