

급속 건식 열산화 방법에 의한 초박막 SiO₂의 성장과 특성

Growth and Properties of Ultra-thin SiO₂ Films by Rapid Thermal Dry Oxidation Technique

정상현¹, 김광호^{1,a}, 김용성¹, 이수홍²

(Sang-Hyun Jeong¹, Kwang-Ho Kim^{1,a}, Yong-Seong Kim¹, and Soo Hong Lee²)

Abstract

Ultra-thin silicon dioxides were grown on p-type(100) oriented silicon employing rapid thermal dry oxidation technique at the temperature range of 850~1050 °C. The growth rate of the ultra-thin film was fitted well with the model which was proposed recently by da Silva & Stosic. The capacitance-voltage, current-voltage characteristics were used to study the electrical properties of these thin oxides. The minimum interface state density around the midgap of the MOS capacitor having oxide thickness of 111.6 Å derived from the C-V curve was ranged from 6 to 10×10¹⁰ /cm²eV.

Key Words : Ultra-thin silicon dioxide, Rapid thermal dry oxidation technique, oxidation rate, MOS tunnel capacitor, Tunneling mechanism

1. 서론

최근 실리콘 기술의 급속한 발전에 따라 초박막 (<100 Å) SiO₂는 최첨단 microelectronic 소자 및 IC에 관련된 다른 많은 응용분야에 이용될 뿐만 아니라 MOS 기술에 있어 매우 중요한 요소이다. 따라서 우수한 전기적인 특성을 갖는 초박막 SiO₂의 성장 및 특성에 관한 연구가 끊임없이 집중적으로 진행되고 있다[1-3]. 초박막 SiO₂는 실리콘으로 구성된 발광다이오드(LED)[4], 고효율 초격자(super-lattice) 태양전지[5], 및 deep-submicron MOSFET [6,7] 등 폭 넓게 이용되고 있다.

기술의 진보에 따라 이에 적합한 우수한 전기적 특성을 갖는 초박막 SiO₂의 요구는 더욱 더 엄격해지고 있으며 이러한 산화막을 성장시키기 위한 산화 기술이 채용되고 있다. 1960년대 중반부터 어느

정도 두꺼운 두께의 열 산화막에 관한 연구는 활발하여 현재까지도 무수히 진행되고 있고 현재의 초고집적회로에 적용시키고 있다. 초고집적회로용으로 이용되고 있는 실리콘 표면을 열적으로 산화시키는 열산화법으로는 전통적인 수평형 전기로를 비롯하여 수직형 전기로, 고속 램프형(Fast-Ramp) 전기로, 급속 열처리형(RTO), 승압형(HIPOX) 등 다양하다[8,9]. 이러한 열산화에 관한 대표적 이론은 Deal & Grove 모델[10]을 기초로 발전이 되어 왔다. 그러나 이 Deal & Grove의 선형-포물선(linear-parabolic) 모델이 200 Å보다 얇은 두께의 산화물에 대해서는 실험적인 결과를 정확히 설명할 수 없기 때문에 다른 모델을 적용하는 것이 필요하다[11].

본 연구에서는 통상적으로 사용하는 산화법에 의한 열산화 방법보다 우수한 전기적 특성을 갖는 초박막 SiO₂를 얻기 위해 급속 열처리 장치를 제작하여 이를 이용한 급속 건식 열산화 방법으로 실리콘 초박막 SiO₂를 제작하여 그 특성을 평가하였다. 초박막의 산화 속도에 대한 결과는 가장 최근에 da Silva & Stosic[12]에 의해 제안된 이론적인 모델에 적용시켜 산화속도 모델을 논의하였으며, 산화모델

1 : 청주대학교 정보통신공학부
(충북 청주시 상당구 내덕동 36,
Fax : 043-229-8432

a : Corresponding Author : khkim@chongju.ac.kr)

2 : 세종대학교 전자정보통신공학부
2003년 8월 4일 접수, 2003년 8월 19일 1차 심사완료,
2003년 9월 15일 2차 심사완료, 2003년 10월 7일 최종 심사완료

의 대표적인 Deal-Grove 모델과 비교하였다. 초박막 SiO₂/Si 구조의 전기적인 특성은 전류-전압(I-V), 용량-전압(C-V) 특성에 의해 평가하였다.

2. 실험 장치 및 실험 방법

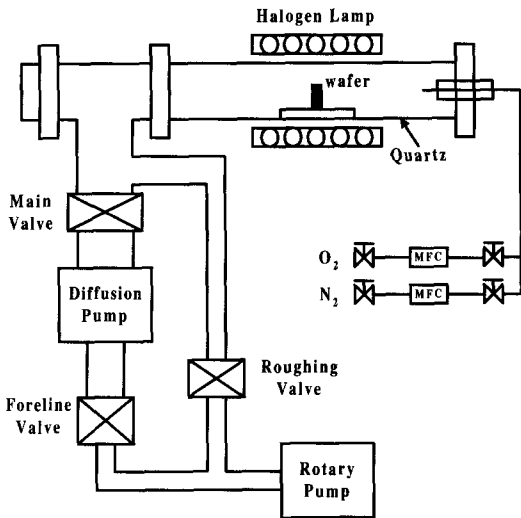


그림 1. 급속 건식 열산화를 위한 실험장치의 개략도.

Fig. 1. Schematic diagram of experimental apparatus for rapid thermal dry oxidation.

그림 1에 새로 제작한 급속 열처리 장치를 보인다. 이 실험장치는 수평형의 5 cm 직경의 석영관 안의 시료를 온도 조절기에 의해 급속하게 가열시킬 수 있는(1000 °C까지 상승하는 데 10초 정도 걸림) 산화 영역 부분과 진공 시스템으로 구성된다. 길이가 45 cm인 석영관 외부는 할로겐램프(220V, 1000W)를 위, 아래 5개씩 두어 열이 균일하게 시료에 전달되도록 하였다. 석영관외부에는 금으로 코팅된 원통형 덮개로 덮어서 복사 에너지 효율을 향상시켰으며 원통형 덮개의 내부에는 냉각수가 순환되도록 설계하였다. 진공 시스템은 석영관 내부에서 실리콘 시료를 산화시키기 전에 잔류 가스 등의 오염을 최소화 하도록 오일 확산펌프로 1×10^{-6} Torr 이하까지 배기시키도록 설계하였다. 건식산화에 이용되는 고순도 산소 가스는 유량조절기(MFC)에 의해 정확히 조절하였다. 산화 실험은 각각 850,

950, 1050 °C, 1기압에서 수행하였다.

저항율이 10~15 Ω·cm인 p-type Si(100) 단결정 웨이퍼를 기판으로 사용하여 H₂O:NH₄OH:H₂O₂ (=5:1:1), H₂O:HCl:H₂O₂(=5:1:1)의 가열용액(75~80 °C)과 2.5 % HF 용액을 이용하여 RCA 세정을 한 후 즉시 시료를 석영 susceptor에 수직으로 세워 반응로에 적재시킨다. 반응로를 1×10^{-6} Torr 이하까지 유지한 후 산화용 고순도 산소를 넣어 동작 압력으로 안정화되면 할로겐램프에 전원을 인가함으로써 급속 건식 열산화가 시작되며 산화 시간은 30초에서 20분까지 변화시켰다. SiO₂의 특성을 확인하기 위해서 금속 shadow mask를 사용하여 열 증착법에 의해 알루미늄을 증착시켜 제작한 MOS 커패시터를 이용하였다. 게이트 전극의 면적은 3.14×10^{-4} cm²이다. 박막의 두께는 632.8 nm 파장의 ellipsometer와 C-V 특성에 의해 산출하였다. 10 kHz에서 1 MHz의 주파수 범위에서 C-V 측정 은 HP 4192A LCR meter를 이용하였고 HP 4140B pA meter는 MOS 커패시터의 누설전류 평가용 I-V 측정에 이용하였다.

3. 결과 및 고찰

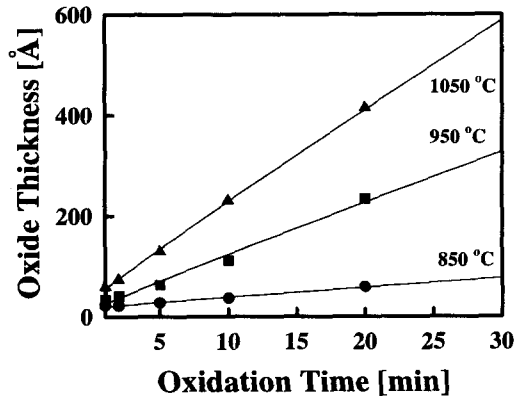


그림 2. 850, 950, 1050 °C 산화온도에 따른 산화 두께 Vs 시간.

Fig. 2. Oxide thickness vs. time for 850, 950, 1050 °C oxidation temperature.

그림 2에 급속 건식 열산화로 성장한 SiO₂의 산화시간과 850, 950, 1050 °C의 각 산화온도에 따른 산화막 두께 관계를 나타내었다. 본 실험에 있어서

2 cm×2 cm 샘플의 9점을 ellipsometer로 측정 한 두께의 면내 uniformity는 대부분 1 % 이내였다. 각각의 삼각형, 사각형, 원형의 흑점들은 실험결과이며, 각 온도에 해당하는 실선들은 나중에 논의하는 da Silva & Stosic 모델에 fitting 시킨 것이다. 산화막 두께는 시간에 따라 증가하고 있고, 온도의 증가에 따라 산화 속도가 급격히 증가하고 있는 바, 산화 온도에 따른 영향이 지배적임을 알 수 있다. 또한 본 연구에서 급속 건식 열산화 방법으로 성장시킨 SiO₂는 나중에 설명하는 da Silva & Stosic 모델에 적용한 결과[12]와도 거의 잘 일치함을 알 수 있다.

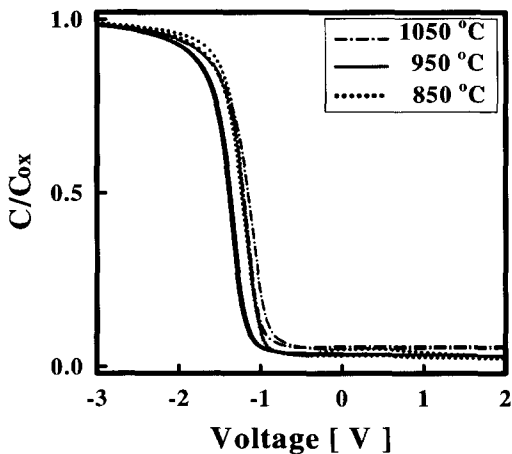


그림 3. 850, 950, 1050 °C에서 성장한 약 100 Å의 산화막으로 1 MHz에서의 MOS 커패시터에 대한 C-V 특성.

Fig. 3. C-V characteristics at 1 MHz for the MOS capacitors at 100 Å thick oxide with oxide grown at 850, 950, 1050 °C.

먼저, 이 방법으로 제작한 누설전류가 적은 적정한 두께를 갖는 산화막의 전기적 특성을 평가하였다. 그림 3에 급속 건식 열산화법에 의해 850, 950, 1050 °C로 성장한 SiO₂의 MOS 커패시터에 대한 1 MHz C-V 특성 곡선을 보인다. 각 온도에 따른 SiO₂의 두께는 약 100 Å이다. 각 시료를 비교하기 위해 용량 값을 축적용량값으로 나눈 값으로 규격화시켰다. 그림에서 보는 바와 같이 모든 경우, 축적에서부터 반전까지 용량 값이 변화하고 있으며

그 기울기도 850, 950, 1050 °C인 경우 각각 -0.85, -0.83, -0.54 $\mu\text{F}/\text{V} \cdot \text{cm}^2$ 로 1050 °C를 제외하고는 가파른 양호한 특성을 보였다. 또한, 850 °C와 1050 °C에서 성장한 SiO₂의 경우 약간의 히스테리시스가 나타나지만 950 °C에서 성장한 SiO₂에서는 히스테리시스가 거의 없는 양호한 계면 특성이 얻어짐을 알 수 있다. 이러한 결과를 바탕으로 본 논문의 이후에서는 급속 건식 열산화에 의해 950 °C, 1기압에서 성장한 SiO₂막에 관한 특성들에 관하여 논의를 행하기로 한다.

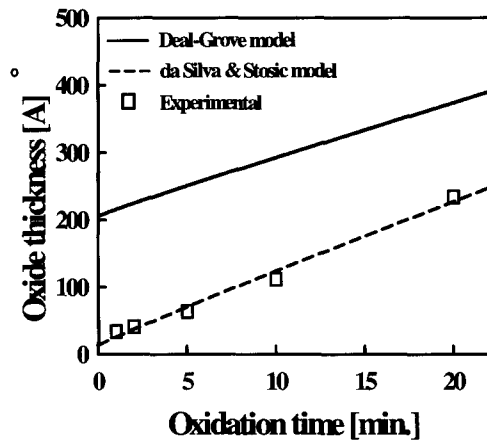


그림 4. 950 °C 산화온도에 대한 산화두께 Vs 시간.

Fig. 4. Oxide thickness vs. time for 950 °C oxidation temperature.

그림 4에 950 °C, 1기압에서 산화시킨 시간(분) 함수에 대한 산화막 두께(Å) 관계를 보인다. 사각형은 실험에서 얻은 결과를 나타내고 파선은 이론적인 결과에 해당한다. 이러한 결과를 비교하기 위해 Deal-Grove 모델은 실선으로 보였다. (이론적인 적용 결과를 나타내는 파선과 실선은 다음에서 논의한다.) 급속 건식 열산화법으로 950 °C, 1기압에서 28~240 Å범위의 얇은 두께를 갖는 산화막을 성장시킬 수 있음을 명확하게 보여 주고 있다. 산화막의 초기단계 성장 기구는 복잡하며, 이미 존재하는 산화막 층을 통해 산화제(oxidizing species)가 SiO₂-Si 계면으로 확산하는 것을 고려하여 유도되는 Deal & Grove의 선형-포물선 (linear-parabolic) 모델[8]은 200 Å이하의 두께(anomalous region)를 갖는 산화막에 대한 초기 산화 현상을 정확히 설명

하지 못하는 결점이 있다. 최근에 얇은 SiO₂의 성장 초기 단계를 simulation하기 위한 da Silva & Stosic[12] 모델이 제안되었다. 이 모델에서는 SiO₂/Si 시스템이 (a) SiO₂에 의해 형성된 산화 영역의 두께 X , (b) Si _{μ} O _{ν} ($\mu \leq 3, \nu < 2$)로 구성된 산화막을 나타내는 중간 층이 영역의 두께 s , 및 (c) 벌크 단결정인 실리콘의 세 영역으로 구성된다고 가정하였다. 산화 영역(Si _{μ} O _{ν})의 성장 기구는 SiO₂ 표면이 매우 불규칙하다는 초창기의 산화막 연구에 기초하여 fractal(단편적인 분열도형)의 기하학적 형태로 나타난다고 가정하였으나, 이것은 SiO₂/Si 계면이 주로 복잡한 fractal 구조를 가진다는 것을 암시한다[11]. 이러한 시스템에서의 산화 기구는 다음과 같이 근사시킬 수 있다.

$$X_{ox}(t) = s + at^b \quad (1)$$

여기서 s 는 층이영역 두께, t 는 산화 시간, a 와 b 는 fitting 파라미터로 압력, 온도, 분위기, 성장과정에서의 고유의 특징과 같은 외부의 변수에 의존한다. 식 (1)도 일종의 선형-포물선 성장 기구임을 예상할 수 있다. 지수 b 는 계면 두께 s 의 초기 선택에 매우 민감한 부분임을 주목해야 한다. (또한 a 값도 s 에 의존한다.) fitting 파라미터로 s , a , 및 b 를 적절하게 선택하면 식 (1)에 의해 급속 건식 열산화 공정에서의 실험 결과를 얻을 수 있게 된다. 이 모델을 적용시켜서 $s = 19.2$, $a = 10.2$, 및 $b = 0.95$ (거의 선형 변화)의 값을 갖는 이론적인 값들이 얻어졌으며, 본 연구에 있어서 1 기압에서의 산화동안에 얻은 실험결과와 매우 잘 일치함[12]을 그림 4에서 알 수 있다. 부가적으로 Deal-Grove 모델과의 비교 결과를 실선으로 보인다. Deal-Grove 모델의 그래프를 그릴 때 이용한 모델링 변수는 950 °C, 1기압에서의 표준 A와 B/A 값이다[6]. 본 연구의 결과에서는 초박막 산화물에 대한 두 모델의 차이를 분명히 볼 수 있는데 Deal-Grove 모델은 실험적인 결과와는 일치하지 않는 것을 알 수 있다.

그림 5는 급속 건식 열산화에 의해 950 °C, 1기압에서 성장한 산화막에 대한 C-V 특성 결과로 히스테리시스가 거의 없는 MOS 커패시터의 10 kHz와 1 MHz C-V 특성이다. 그림에서처럼 축적 커패시턴스가 두 주파수에서 다르게 되는 주파수 의존성은 주로 벌크 실리콘의 직렬저항 성분의 존재에 기인하는 것으로 알려져 있다[13]. 그러므로 본 연구에서는 ellipsometer로 평가한 박막의 두께 뿐 아

니라 Maserjian이 제안하는 방법에 따라 10 kHz C-V 특성으로 초박막 산화물의 정확한 두께를 평가하는데 이용하였다[13-14]. MOS 커패시터에서 측정된 산화막 두께는 약 33.6 Å이었다. 삽입 그림은 같은 산화방법에 의해 제작된 산화막으로 두께가 111.6 Å인 MOS 커패시터의 고주파와 quasi-static C-V 특성이다.

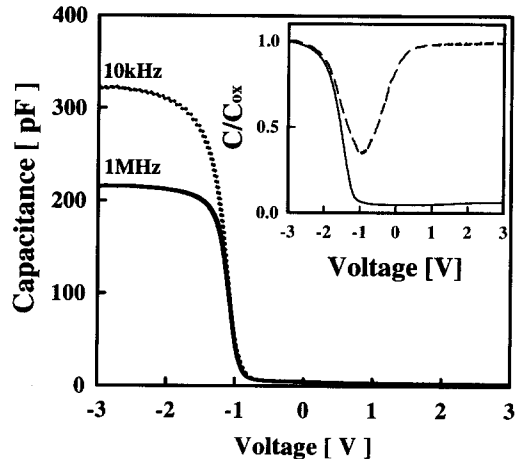


그림 5. 두께가 33.6 Å인 10 kHz와 1 MHz에서의 MOS 터널 커패시터에 대한 C-V 특성. 삽입된 그림은 두께가 111.6 Å인 MOS 커패시터의 고주파와 quasi-static C-V 특성.

Fig. 5. C-V characteristics at 10 kHz and 1 MHz for the MOS tunnel capacitors in 33.6 Å thick oxide. Insert shows high frequency and quasi-static C-V characteristics of the MOS capacitor having oxide thickness of 111.6 Å.

일반적으로 MOS 터널 커패시터에서는 큰 누설 전류 때문에 초박막 SiO₂/Si 구조에서는 quasi-static C-V 특성을 측정할 수 없지만 두께가 111.6 Å인 MOS 커패시터는 누설전류가 적으므로 저주파 특성을 측정할 수 있었다. 그림 5에 삽입된 C-V 곡선으로부터 산출된 midgap 부근에서의 최소 계면 준위 밀도(D_{it})는 6~10×10¹⁰ /cm²·eV 이었다. 한편, 두께가 111.6 Å인 MOS 구조의 경우, 절연 파괴 강도는 약 10MV/cm이었다. 이러한 전기적 특성을 열산화 온도가 1000°C 이상인 기존의 발표된 결과[15]와 비교해 볼 때 D_{it}는 1.5~2배정

도, 절연과피 강도는 1.5배 정도 차이를 보이지만 본 연구에서는 열산화 온도가 950℃라는 점을 감안할 경우 비슷한 수준의 특성이라고 판단된다.

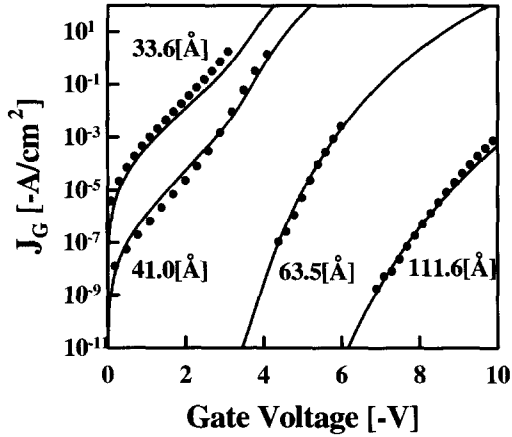


그림 6. Al 게이트 NMOS 구조에 음의 바이어스를 인가한 이론 및 실험적인 터널링 I-V 특성 곡선.

Fig. 6. Theoretical and experimental tunneling I-V curves of Al-gate NMOS structures under negative gate bias.

그림 6에 Al 게이트 NMOS 구조에 음의 바이어스를 인가하여 측정된 누설전류(I-V) 특성과 시뮬레이션 결과를 보인다. 일반적으로[6, 16], 산화막이 매우 얇으면(40Å 또는 그 이하) 반전된 실리콘 표면의 전자는 SiO₂ 층의 전도대로 터널링 되는 대신에 산화막의 금지대 에너지를 통해 직접 터널링될 수 있다. 그림 6에서 산화막 두께가 감소하면 터널링 전류 밀도가 증가하는데, 본 실험의 게이트 전압 범위에 있어서 63.5 Å 및 111.6 Å 산화막 두께에서는 Fowler-Nordheim (FN) 터널링이 주된 전류이고, 또한, 33.6 Å 및 41.0 Å 산화막 두께에서는 direct tunneling (DT) 터널링 전류가 지배적임을 알 수 있다.

4. 결론

초박막 실리콘 산화막을 30초에서 20분까지의 산화 시간동안에 850, 950, 1050 °C 1기압에서 급속 건식 열산화법에 의해 성장하였다. 본 연구의 급속

건식 열산화 과정에서 얻은 산화속도에 관한 실험 결과는 da Silva & Stosic에 의해 제안된 이론적 모델을 따르는 것으로 판명되었다. 850~1050 °C의 온도범위에서 제작된 MOS 커패시터는 950 °C의 경우 히스테리시스가 거의 없는 양호한 SiO₂-Si 계면 특성이 얻어짐을 확인하였다. C-V 곡선으로부터 산출된 111.6 Å 산화막 두께를 갖는 MOS 커패시터에 있어서 midgap 부근에서의 최소 계면 준위 밀도는 $6 \sim 10 \times 10^{10} / \text{cm}^2 \cdot \text{eV}$ 로 양호하여 본 급속 건식 열산화법에 의해 성장한 산화막의 전기적 특성은 산업체에서 막대한 자금을 들여 엄격하게 관리하는 환경에서 얻어지는 특성에는 미치지 못하지만, 엄격하게 관리할 수 없는 대학 같은 연구기관에서는 유용한 방법이라고 판단하고 있다. 10 kHz C-V특성 결과를 초박막 산화물의 두께를 평가하는데 이용하였다. Al 게이트 NMOS 구조에서 측정된 I-V 특성은 63.5 Å 및 111.6 Å의 산화막 두께에서는 Fowler-Nordheim 터널링 전류가 지배적이고 33.6 Å 및 41.0 Å의 얇은 산화막 두께에서는 direct tunneling 전류가 지배적임을 확인하였다.

감사의 글

본 연구는 국책연구개발사업의 나노핵심기반기술 개발사업으로 한국과학기술평가원 (KISTEP)에 의해 부분적으로 지원되었음.

참고 문헌

- [1] E. M. Vogel, J. S. Suehle, M. D. Edelstein, B. Wang, Y. Chen, and J. B. Bernstein, "Reliability of ultrathin silicon dioxide under combined substrate hot-electron and constant voltage stress," IEEE Trans. Electron Devices, Vol. 47, p. 1183, 2000.
- [2] C. Hu, "Gate Oxide Scaling Limits and Projections", IEEE IEDM'96 Tech. Digest, p. 319, 1996.
- [3] 강정진, "초박막 산화막 MOS 커패시터에서 전자와 간섭의 극성 효과", 전기전자재료학회 논문지, 8권, 5호, p. 601, 1995.
- [4] K. D. Hirschman, L. Tsybeskov, S. P. Duttgupta, and P. M. Fauchet, "Silicon-based light emitting devices integrated into

- micro electronic circuits”, *Nature*, Vol. 384, p. 338, 1996.
- [5] M. A. Green, “Third generation photovoltaic s: Ultra-High conversion efficiency at low cost” *Progress in Photovoltaics*, Vol. 9, p. 123, 2001.
- [6] S. Wolf, “Silicon Processing for the VLSI Era Vol. 4”, Lattice Press, 2002.
- [7] 김영민, “게이트 산화막 어닐링을 이용한 서브 마이크로 PMOS 트랜지스터의 NBTI 향상”, 전기전자재료학회 논문지, 16권, 3호, p. 181, 2003.
- [8] S. Wolf and R. N. Tauber, “Silicon Processing for the VLSI Era Vol. 1”, Lattice Press, 2000.
- [9] 양광선, 손문희, 박훈수, 김봉열, “급속 열처리 방법으로 성장한 재 산화된 질화 산화막의 전기적 특성 향상”, 전기전자재료학회 논문지, 4권, 2호, p. 175, 1991.
- [10] B. E. Deal and A. S. Grove, “General relationship for the thermal oxidation of silicon”, *J. Appl. Phys.*, Vol. 36, p. 3770, 1965.
- [11] M. A. F. Gomes, E. F. da Silva, Jr, and J. A. Aguiar, “Growth kinetics of thermal SiO₂ thin films”, *Semicond. Sci. Technol.*, Vol. 10, p. 1037, 1995.
- [12] E. F. da Silva, Jr, and B. D. Stosic, “Simulation of the early stages of thin SiO₂ film growth”, *Semicond. Sci. Technol.*, Vol. 12, p. 1038, 1997.
- [13] V. K. Bhat, K. N. Bhat, and A. Subrahmanyam, “Effect of post-oxidation annealing of the oxynitride on the C-V and G-V characteristics of Al/thin oxynitride/n-Si tunnel diodes”, *Semicond. Sci. Technol.*, Vol. 15, p. 883, 2000.
- [14] J. Maserjian, “The Physics and Chemistry of SiO₂ and the Si-SiO₂ Interface, ed. by C. Helms and B. E. Deal”, Plenum, p. 497, 1988.
- [15] L. Fonseca and F. Campabadal, “Breakdown characteristics of RTO 10 nm SiO₂ films grown at different temperatures”, *IEEE. Electron Devices Letter*, Vol. 15, No. 11, p. 449, 1994.
- [16] D. K. Schroder, “Semiconductor Material and Device Characterization”, John Wiley & Sons, Inc., 1998.