

수평 구조의 MOS-controlled Thyristor에서 채널 길이 및 불순물 농도에 의한 Anode 전류 특성

Characteristics of Anode Current due to the Impurity Concentration and the Channel Length of Lateral MOS-controlled Thyristor

정태웅¹, 오정근¹, 이기영¹, 주병권², 김남수^{1,a}

(Tae-Woong Jeong¹, Jung-Keun Oh¹, Kie-Young Lee¹, Byeong-Kwon Ju², and Nam-Soo Kim^{1,a})

Abstract

The latch-up current and switching characteristics of MOS-Controlled Thyristor(MCT) are studied with variation of the channel length and impurity concentration. The proposed MCT power device has the lateral structure and P-epitaxial layer in substrate. Two dimensional MEDICI simulator is used to study the latch-up current and forward voltage-drop from the characteristics of I-V and the switching characteristics with variation of impurity concentration. The channel length and impurity concentration of the proposed MCT power device show the strong affect on the anode current and turn-off time. The increase of impurity concentration in P and N channels is found to give the increase of latch-up current and forward voltage-drop.

Key Words : MCT, Channel length, Impurity concentration, Latch-up current, Forward voltage-drop

1. 서 론

1957년 thyristor가 개발된 이래, 전력소자는 전력 MOSFET, IGBT(Insulated Gate Bipolar Transistor), MCT등 많은 발전을 이루어 왔다[1]. 소자가 소형화, 고속 스위칭, 적은 전력손실이 요구됨에 따라 ON 저항과 순방향 전압강하가 낮은 MOS 구동 사이리스터(MCT)가 전력 스위칭 소자로 많은 발전을 이루어 왔다[2].

MOS 구동 사이리스터는 비교적 빠른 스위칭 속도와 낮은 ON 저항의 특성을 가지고 있으며, MOSFET(MOS)으로 ON-OFF의 기능을 수행하고 있다[3,4]. 지금까지 일반적으로 쓰이는 수직

(vertical) 구조의 MCT는 집적화(IC화) 되었을 때, 다른 전자 소자들과 같이 제작되기는 어려운 구조이며, 또한 3중 확산 구조라는 공정상의 어려움을 가지고 있다[5,6].

본 논문에서는 anode, gate, cathode 전극이 1차원 구조로 존재하는 수평(lateral) 구조의 MCT 소자 구조를 채택하였는데[7,8], 이는 제조과정이 단순하고 소자의 전류의 흐름을 단순화하여 전력스위칭 특성에 많은 유리한 점을 가지고 있다. 그리고 누설 전류를 줄이고, 전기적 특성을 좋게 하기 위하여 P-epitaxial(P-EPI)층을 이용하였다.

MCT 소자에서 채널영역은 ON-OFF 스위칭 기능을 담당할 뿐 아니라, 전극사이의 P/N 접합에 영향을 주어 소자의 어느 다른 영역보다 전기적 특성에 중요한 영역이라 생각되어, 본 연구에서는 ON-채널 및 OFF-채널 영역에서 채널길이 및 도핑농도를 변화시켜 DC 특성 및 스위칭 특성을 조사하였다. 이러한 연구는 수평구조를 가지거나, 독립된 스위칭 기능을 가진 다른 유사한 전력소자에

1. 충북대학교 전기전자공학부
(충북 청주시 흥덕구 개신동 산48)
2. 한국과학기술연구원 마이크로시스템
a. Corresponding Author : jkoh0405@empal.com
접수일자 : 2004. 6. 4
1차 심사 : 2004. 8. 5
심사완료 : 2004. 9. 6

도 적용될 수 있는 결과를 제시할 수 있을 것으로 생각된다.

2. 실험

그림 1은 제안된 lateral MOS-controlled thyristor(LMCT)의 단면(cross-sectional) 구조인데, LMCT는 크게 P+N-P-영역으로 형성되는 pnp transistor와 N+P-N-영역으로 형성되는 npn transistor의 결합으로 이루어진 thyristor에 소자의 turn-on을 담당하는 P-channel MOS(그림 1.에서 ON-FET)와 turn-off 역할을 하는 N-channel MOS(그림 1.에서 OFF-FET)가 공유되어 있다. 그리고 표 1은 그림 1에서 보여준 LMCT 소자의 각 영역의 길이 및 doping 농도이다.

표 1. 각 영역별 채널길이 및 불순물농도.

Table 1. Regional channel length and impurity concentration.

	기준값	비고
P ⁻ EPI층 두께	5 μm	
P ⁺ 영역 농도	10 ¹⁹ /cm ³	
P ⁻ 영역 농도	5×10 ¹⁵ /cm ³	N ⁻ 채널 형성
N ⁺ 영역 농도	10 ²⁰ /cm ³	
N ⁻ 영역 농도	4×10 ¹⁴ /cm ³	P ⁻ 채널 형성
N 채널 길이	13 μm	
P 채널 길이	15 μm	

3. 결과 및 고찰

3.1 제안된 소자의 등가회로 및 동작원리

그림 1. P-EPI층을 가진 LMCT의 cross-sectional 구조.

Fig. 1. Cross-sectional structure of LMCT with P-EPI Layer.

본 논문은 2차원 MEDICI 시뮬레이터를 이용하여 모의실험을 한 것인데, 소자의 각 영역에서 불순물농도는 표에 나타난 바와 같이 일정하고, 온도는 대기온도(일정)로 가정하였다. 시뮬레이터에 의한 전기적 특성 조사에서는 주로 Poisson 방정식과 전류밀도 방정식을 많이 이용하는데, Mesh에 의해 짜여진 각 영역에서 불순물 농도가 주어지면, Poisson 방정식인 $\text{div}E = \rho/\epsilon$ (E :전계, ϵ :유전상수, ρ :전하밀도)에서 전계 값이 얻어지고, 전류밀도 방정식인 $J = qn\mu_n E_n + qp\mu_p E_p$ (J :전류밀도, q :전하, $n(p)$:전자(정공)밀도, $\mu_n(p)$:표동성)을 이용하여 전류값이 구해진다. Mesh에서 최소 폭 및 깊이는 0.125 microns으로 설정하였으며, doping profile에서 characteristics 길이는 0.25 microns으로 하였다.

그림 2. MOS 구동 사이리스터의 등가회로.

Fig. 2. Equivalent circuit of MOS-controlled thyristor.

그림 2는 그림 1의 MCT 소자의 등가회로이다. anode의 P+에서 cathode 아래의 P-까지의 pnp와, cathode의 N+에서 N-까지의 npn transistor가 thyristor 구조를 이루고 있고, anode에 PMOS의 source, pnp transistor의 emitter, NMOS의 drain이 연결되어 있다. 동작과정을 보면, gate에 음의 전압을 가하면, ON-FET의 P-channel이 형성되어, anode의 정공이 cathode전극 아래의 P-영역으로

흘러 들어가 npn transistor의 base 전류를 형성한다. 그리고 이것은 npn transistor의 emitter인 N+ 영역에서 N-영역으로 전자를 주입하게 되므로, pnp transistor가 turn-on되고, MCT는 turn-on된다. 반대로 gate에 양의 전압을 가하면, OFF-FET의 N-channel을 통해 전자가 pnp transistor의 base인 N-로부터 emitter인 N+영역으로 흘러들어간다. 이는 pnp transistor의 emitter-base 접합을 turn-off시켜, npn transistor의 base인 P-영역으로의 정공전류가 차단되어 npn transistor를 turn-off시키게 된다.

3.2 EPI층 유무(有無)에 따른 소자의 I-V 및 turn-off 특성

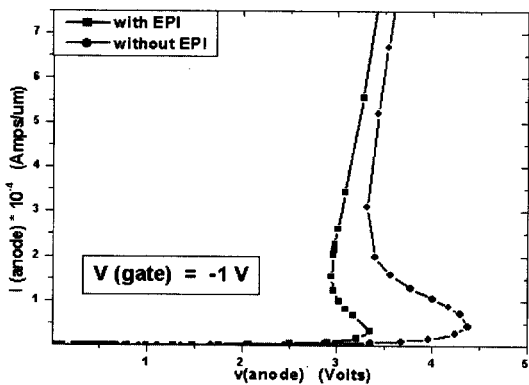


그림 3. EPI 층의 적용에 따른 I-V 특성 비교.
Fig. 3. Comparison of I-V characteristics with application of EPI layer.

그림 3은 P-EPI층의 유무에 따른 anode 전류 및 전압 특성(y축; 전류, x축; 전압)을 나타내고 있다. 전류 특성은 latch-up 발생 전후의 anode 전류가 많은 차이를 보이고 있는데, 스위칭 소자로 사용 영역인 latch-up 발생 후는 낮은 ON 저항 값을 보이고 있다. 그림에서 breakover voltage, latch-up 전류, forward voltage drop를 조사하였는데, breakover voltage는 전류 값이 갑자기 변화하는 전압이고, latch-up 전류는 breakover현상이 일어난 후, 전류가 일정하게 증가하는 지점을 선택하였고, forward voltage drop은 전류 값이 5×10^{-4} A/um 일 때 전압강하를 측정하였다. 그림에서 P-EPI층을 가진 소자는 breakover voltage, latch-up 전류, forward voltage drop이 각각 3.4 V, 1.5×10^{-4} A/um, 3.5V 정도로, P-EPI층이 없는

소자의 4.4 V, 3.4×10^{-4} A/um, 3.7 V 보다 우수한 전류-전압 특성을 나타내고 있다. 이는 P-EPI층이 존재함으로써 substrate와의 blocking 역할을 강화하게 되어, 캐리어의 전도성이 좋아지게 되고, anode와 cathode사이의 equipotential-line(등전위선)도 하향 조정되었기 때문으로 사료된다. 그림 4는 EPI층의 유무에 따른 anode 전류의 turn-off 특성을 보여주고 있는데(y축; anode전류, x축; 시간), EPI층을 가진 소자가 EPI층이 없는 소자에 비해 더 빨리 전류가 감쇄하는 특성을 보인다.

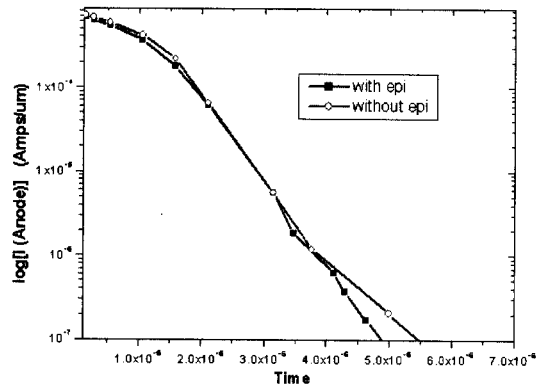
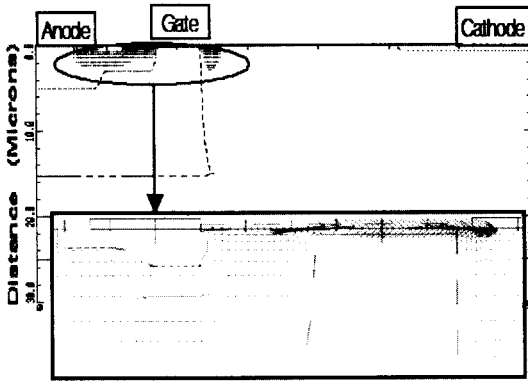


그림 4. EPI층의 적용에 따른 아노드 전류 turn-off 특성.
Fig. 4. Comparison of turn-off characteristics of anode current with application of EPI layer.

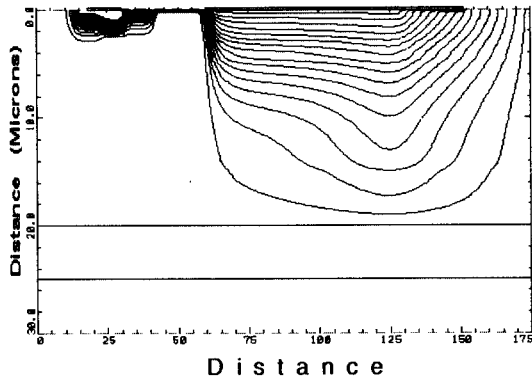
3.3 제안된 소자의 carrier flow 특성

Latch-up 발생 전후의 전류흐름의 경향과 ON-FET 및 OFF-FET 채널의 역할을 조사하기 위해 MCT의 단면구조(cross-sectional view)를 그림 5와 6에서 조사하였다. 그림 5는 P-EPI층을 가진 소자 구조에서 MEDICI 시뮬레이션으로 latch-up 발생 전의 hole(정공)의 이동과, current flow를 보여주고 있다.

그림 5(a)는 anode와 gate 사이의 P-channel을 통해 anode로부터 gate와 cathode 사이의 P-drift 영역으로 정공이 흘러가는 vector를 표시하고 있으며, 정공이 P-drift에 과잉 분포하면, N+ cathode와 사이에 forward-bias가 발생되어, npn transistor가 turn-on 하게 된다. 그림 5(b)는 전류가 채널을 통해 제한적으로 흐르고 있으며, thyristor가 turn-on 되지 않았음을 나타내고 있다.



(a) Latch-up 발생 전의 정공의 움직임

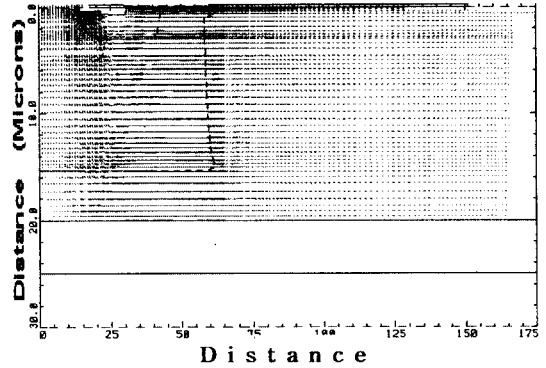


(b) Latch-up 발생 전의 current flow

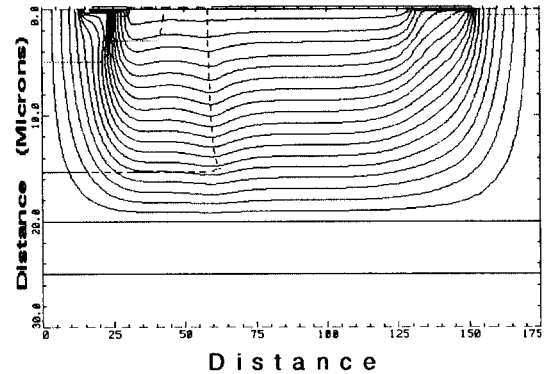
그림 5. Latch-up 발생 전의 정공 벡터와 current flow.

Fig. 5. Hole vector and current flow before latch-up.

그림 6은 latch-up이 일어난 후의 정공의 이동모습과 current flow를 보여주고 있다. 그림 6(a)는 그림 5-(a)의 과정에서 npn transistor의 turn-on으로 인하여 N-영역으로 들어온 전자가 다시 pnp transistor를 turn-on시켜 정공이 더 이상 P-channel에 의존하지 않고, 전 영역을 통하여 anode로부터 cathode로 흘러 들어감을 보여주고 있다. 그림 6(b)는 전류의 흐름을 나타내고 있는데, npn과 pnp transistor가 turn-on, 즉 thyristor가 ON되어, 전류가 특정 영역이 아닌 전 영역으로 anode에서 cathode로 흐르고 있음을 보여준다. 이때 OFF-FET 채널은 거의 anode 영역의 일부로서 역할을 하고 있음을 알 수 있다.



(a) Latch-up 발생 후의 정공의 움직임



(b) Latch-up 발생 후의 current flow

그림 6. Latch-up 발생 후의 정공 벡터와 current flow.
Fig. 6. Hole flow vector and current flow after latch-up.

3.4 제안된 소자의 I-V 특성

그림 7은 그림 1에서의 N- 영역의 불순물 도핑 농도가 변화할 때의 anode 전류 특성인데, 그림에서 y축은 anode 전류이며, x축은 anode 전압이다. N- 영역은 pnp transistor의 base, npn transistor의 collector 역할을 하고, 이곳의 전기적 파라메타가 P-channel FET의 역할을 하는 곳으로 스위칭 시간 및 전류 크기에 중요한 영향을 미치는 것으로 사료된다. 그림 7에서 불순물 농도가 높아짐에 따라 breakover voltage가 증가하였으며, 팔호안의 그림 A에서 보여주듯이 일정 anode 전류(5×10^{-4} Amp/ μ m)에서 측정된 전압, 즉 forward voltage drop (순방향 전압 강하)도 증가하였다. 이는 불순물 농도가 증가함에 따라 P-channel FET의 문턱 전압을 높이고, pnp transistor의 base-emitter 사

이의 ON 전압을 상대적으로 증가시켰기 때문에 사료된다. 괄호안의 그림 B는 latch-up이 발생할 때의 latch-up 전류인데, 불순물 농도가 증가할 때 latch-up 전류가 증가하는 현상을 보이고 있다.

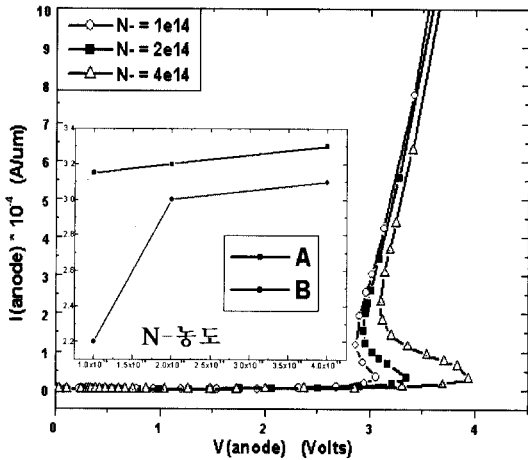


그림 7. N⁻ 영역의 도핑농도에 따른 I-V 특성.
 Fig. 7. I-V characteristics with variation of the N⁻ impurity concentration. (A : forward voltage drop [V], B : latch-up current [Amps/um])

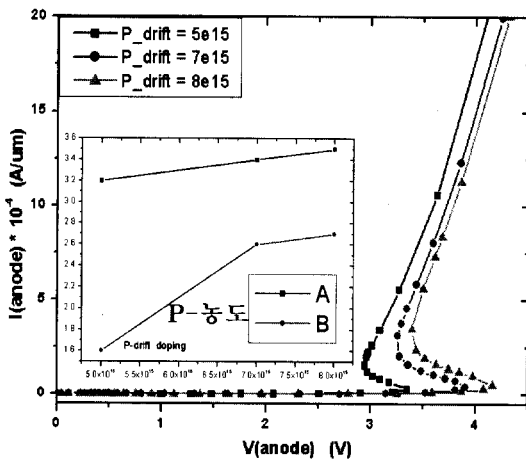


그림 8. P⁻ drift영역의 도핑농도에 따른 I-V 특성.
 Fig. 8. I-V characteristics with variation of the P⁻ impurity concentration. (A : forward voltage drop [V], B : latch-up current [Amps/um])

그림 8은 그림 1의 구조에서 anode 아래의 P-drift 영역의 불순물 도핑농도가 변화할 때의 전류 특성이다. 불순물 농도가 증가할 때, breakover voltage와 forward voltage drop이 증가하였으며, latch-up 전류도 증가하였다. P-영역은 npn transistor의 base 영역으로 carrier의 drift 영역인데, P- 불순물 농도가 증가할수록 drift 영역의 전도도는 증가하지만, N-P⁻와 P-N⁺의 전이영역 폭은 상대적으로 커지게 되고 그에 따른 유효 base 폭은 감소하므로, 일정 anode 전압에 대한 anode 전류가 감소한 것으로 생각된다. 괄호안의 그림 A, B는 forward voltage drop과 latch-up 전류를 나타낸 것으로, 그림 8의 전류-전압 특성 곡선에서 얻어진 것이다. 불순물 도핑 농도가 증가할 때 A, B는 각각 증가하는 현상을 보이고 있다.

그림 9는 ON-FET의 채널 길이, 즉 P-채널 길이가 변화할 때의 anode 전류 특성인데, 채널 길이가 증가할 때, 순방향 전압 강하, breakover voltage, latch-up 전류가 증가하였다. 일반적으로 채널 길이가 적으면, 같은 인가전압에서 높은 전류가 발생하고, 채널 저항은 낮아진다. 그림 9에서 괄호안의 그림 A, B는 forward voltage drop과 latch-up 전류를 나타낸 것으로, 일정 anode 전류(5x10⁻⁴ Amp/um)에서 측정되어진 것이다. 채널 길이가 길어질수록 A, B는 각각 증가하는 현상을 보이고 있다.

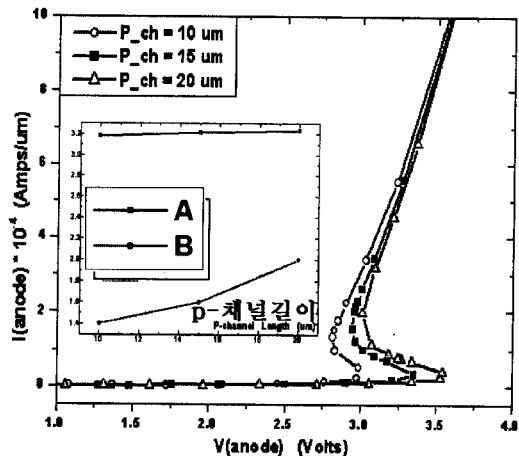


그림 9. P⁻ 채널 길이에 따른 I-V 특성.
 Fig. 9. I-V characteristics with variation of the P⁻ channel length. (A : forward voltage drop [V], B : latching current [Amps/um])

3.5 제안된 소자의 turn-off 특성

Turn-off 상태에서는 소자의 ON-FET는 OFF 상태가 되고, OFF-FET는 ON의 상태로 동작한다. 이때 transient 특성은 OFF-FET의 역할이 클 것으로 사료되어 P- 영역(N-채널)의 변수를 이용하여 스위칭 특성을 조사하였다. 그림 10은 P- 영역의 불순물 농도가 변화할 때, turn-off 특성을 조사한 것인데, y축은 anode 전류이며, x축은 감쇄시간이다. 불순물 농도가 증가할 때, 그래프의 경사도인 anode 전류의 감소율이 감소하며, OFF 시간이 증가하는 것을 나타내고 있다. N-P-N+ transistor에서 보면, N-P- 와 P-N+ 의 junction capacitance가 불순물 농도가 증가함에 따라, capacitance가 증가함으로써, OFF 시간도 길어지는 것으로 사료된다. 또 다른 요인은 불순물 농도가 증가함으로써, N-채널의 전자농도를 줄이게 되고, 이는 채널 저항의 증가로 이어져, 감쇄시간이 길어지기 때문으로 사료된다.

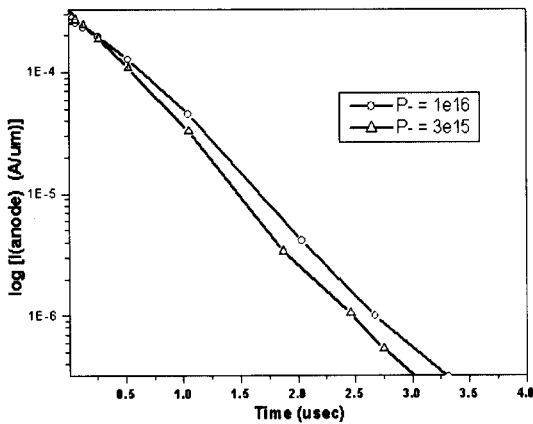


그림 10. P⁻ 영역의 도핑농도 변화에 따른 turn-off 특성.

Fig. 10. Turn-off characteristics with variation of the P⁻ impurity concentration.

그림 11은 N-채널 길이가 변화할 때, 스위칭 OFF 특성을 조사한 것인데, 채널 길이가 증가할 때 anode 전류의 감소율이 감소하였으며, OFF 시간은 증가하였다. 이는 ON-FET 채널 길이가 짧을수록 채널 저항은 감소하고, pnp transistor의 base 폭이 감소하여 base에서의 carrier의 time delay가 감소하기 때문으로 보인다.

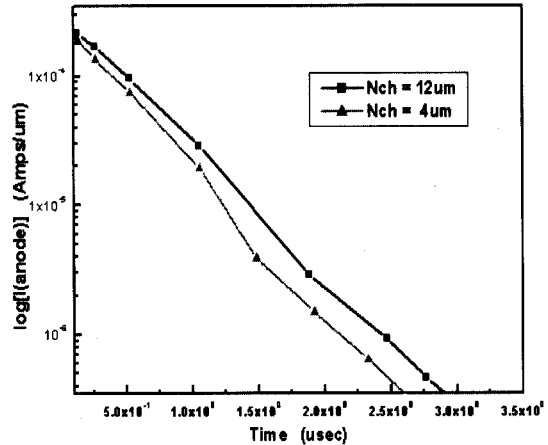


그림 11. N-채널 길이 변화에 따른 turn-off 특성.
Fig. 11. Turn-off characteristics with variation of the N-channel length.

4. 결론

MEDICI simulator를 이용하여 EPI층을 가진 수평 구조의 MOS-controlled thyristor 전력소자의 전기적 특성을 조사하였다. EPI층의 유무에 따른 비교 조사에서는 EPI층이 존재할 때, latch-up current, breakover voltage, forward voltage drop 모두 상대적으로 우수한 특성을 보였다. 그리고 turn-off 특성도 보다 빨리 감쇄하는 경향을 보여 주었는데, 이는 EPI층이 존재함으로써 누설전류를 줄이고 소자의 conductance를 증가시켰기 때문으로 사료 된다. ON-채널 및 OFF-채널 영역의 길이 및 도핑 농도에 따른 전기적 특성 조사에서는, 불순물 농도가 채널길이보다 순방향 전압 강하 및 latch-up 전류에 보다 많은 영향을 주었다. 그리고 transient 특성은 OFF-FET인 N-채널의 채널 길이가 짧을수록, 채널저항이 감소하여 더 큰 감쇄상수의 특성을 보였다.

감사의 글

이 논문은 2004년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음.

참고 문헌

- [1] Mohan, Undeland, and Robbins, "Power Electronics, Wiley", p. 505, 1995.
- [2] B. J. Baliga, "The future of power semiconductor device technology", Proceedings of the IEEE, Vol. 89, p. 822, 2001.
- [3] V. A. K. Temple, "MOS-Controlled Thyristor", IEEE Int. on Electron Devices Meeting, p. 282, 1984.
- [4] V. A. K. Temple, "MOS-Controlled Thyristor-A new class of power devices", IEEE Trans. on Electron Devices, ED-33, p. 1609, Oct. 1986.
- [5] Mohamed N. Darwish, "Lateral MOS-gate power devices-a unified view", IEEE Trans. Electron Device, Vol. ED-38, p. 1600, 1991.
- [6] B. J. Baliga, "Power Integrated Circuits - A Brief Overview", IEEE Trans. on Electron Devices, ED-33, p. 1936, 1986.
- [7] Seong-Dong Kim, Han-Soo Kim, Yern-Ik Choi, Byung-Ha Kim, and Min-Koo Han, "A Lateral MOS Controlled Thyristor with Shorted Anode Structure", in Proc. of 1995 IEEE Int. Conf. Power Electronics and Drive Systems, p. 82, 1995.
- [8] Mohamed N. Darwish, "A New Lateral MOS-controlled thyristor", IEEE Trans, Electron Device Letter, Vol. EDL-11, p. 256, 1990.