

실리콘 산화막에 대한 Ta-Mo 합금 게이트의 열적 안정성

Thermal Stability of Ta-Mo Alloy Film on Silicon Dioxide

노영진^{1,a}, 이충근¹, 홍신남¹
(Young-Jin Noh^{1,a}, Chung-Keun Lee¹, and Shin-Nam Hong¹)

Abstract

The interface stability of Ta-Mo alloy film on SiO₂ was investigated. Ta-Mo alloy films were formed by co-sputtering method, and the alloy composition was varied by controlling Ta and Mo sputtering power. When the atomic composition of Ta was about 91%, the measured work function was 4.24 eV that is suitable for NMOS gate. To identify interface stability between Ta-Mo alloy film and SiO₂, C-V and XRD measurements were performed on the samples annealed with rapid thermal processor between 600°C and 900°C. Even after 900°C rapid thermal annealing, excellent interface stability and electrical properties were observed. Also, thermodynamic analysis was studied to compare with experimental results.

Key Words : Work-function, Metal Gate, Sputtering Power, Composition, Ta-Mo alloy

1. 서론

반도체 칩의 집적도 향상을 위해 소자의 채널 길이(channel length)를 100 nm 이하로 감소시키려는 연구가 꾸준히 진행되고 있다[1]. 소자의 크기가 감소됨에 따라 단 채널 현상(short channel effects)이 발생하여 문턱전압(threshold voltage) 이하에서 누설전류(leakage current)가 크게 증가하게 된다. 소자의 크기가 감소되면 폴리 공핍 현상(poly-depletion effects)도 일어난다. 폴리 실리콘의 공핍 현상은 fringing field 현상에 의해 발생하는 corner 공핍 현상과 캐리어 공핍에 의해 발생하는 edge 공핍 현상이 있다[2]. 채널의 길이가 감소함에 따라 corner 공핍 영역이 서로 겹치는 현상이 발생하여 edge 공핍층 폭이 증가하게 된다. 따라서 소자의 채널 길이가 감소하면 폴리 공핍 현

상이 더욱 심각해진다. 폴리 공핍 현상에 의해 여분의 전압 강하가 발생하며 유효 산화막 두께(effective oxide thickness, EOT) 또한 증가하게 된다.

앞에서 열거한 문제점들을 해결하기 위해서 기존의 MOS 소자에서 사용하고 있는 SiO₂와 폴리 실리콘을 고유전율(high-k) 절연막과 금속으로 대체하는 새로운 방안이 제시되고 있다[3-7]. 금속 게이트는 폴리 실리콘의 문제점인 폴리 공핍 현상은 물론 보론(B)의 침투와 높은 면저항(sheet resistance)을 해결할 수 있다. 그러나 금속이 게이트 전극으로 사용되기 위해서는 몇 가지 조건을 만족해야 한다. 첫째, 금속 게이트는 적합한 일함수(work-function)를 가지고 있어야 한다. 금속 물질이 NMOS와 PMOS의 게이트 전극으로 사용될 때 기존에 MOS 게이트 물질로 사용된 n⁺/p⁺-폴리 실리콘과 같은 문턱전압 특성을 유지하기 위해서 각각 4.0 eV와 5.0 eV 정도의 일함수를 가져야 한다[4]. 둘째, 금속 게이트 공정이 기존 공정에 적합해야 한다. 셋째, 증착 후에 수행되는 열처리 공정에도 금속 게이트는 게이트 절연막과 열적 안정성

1. 한국항공대학교 항공전자공학과
(경기도 고양시 화전동 200-1)

a. Corresponding Author : nohyg@hanmail.net
접수일자 : 2003. 12. 18
1차 심사 : 2004. 1. 14
최종심사 : 2004. 1. 31

을 유지할 수 있어야 한다.

NMOS에 적합한 일함수를 가지고 있는 금속들은 대부분 게이트 산화막과 열적으로 불안정하다. 즉, 금속과 게이트 산화막간에 반응이 일어나 계면에 새로운 계면층을 형성하고 결국에는 소자의 전기적인 성능이 저하된다[8]. 본 논문에서는 Ta과 Mo을 이용하여 합금 게이트를 형성한 후 일함수가 NMOS에 적합한가를 조사하였다. 또한 급속 열처리(rapid thermal annealing)를 600, 700, 800, 900°C에서 수행하면서 Ta-Mo 합금 게이트의 열적 안정성을 조사하였다.

2. 실험

2.1 MOS 커패시터의 제작

보론으로 $8 \times 10^{17} \text{ cm}^{-3}$ 도핑한 p-type 실리콘 기판 위에 3500 Å과 100 Å의 필드 산화막과 게이트 산화막을 각각 열 산화법으로 성장시켰다. 이후에 순도 99.95%의 Ta과 순도 99.95%의 Mo 타깃을 이용하여 3×10^{-9} torr의 기본압력(base pressure)에서 동시에 RF 스퍼터링하여 500 Å의 Ta-Mo 합금을 게이트 전극으로 증착하였다. 게이트 전극은 lift-off 방법으로 패턴을 형성하였다. 표 1과 같이 스퍼터링 전력을 변화하여 제작된 6 종류의 MOS 커패시터의 게이트 전극은 서로 다른 합금 조성을 갖게 된다.

표 1. 시편 번호와 스퍼터링 전력 조건.

Table 1. Sputtering power conditions.

Sample Number	Ta Sputtering Power[W]	Mo Sputtering Power[W]
1	100	30
2	100	70
3	100	100
4	70	100
5	30	100
6	0	100

2.2 MOS 커패시터의 특성 측정

제작된 MOS 커패시터와 HP4280 LCR meter를 이용하여 C-V 특성을 측정하였다. C-V 곡선으로부터 평탄전압(flat-band voltage)과 일함수를 추출하였다[9]. Ta과 Mo 합금 전극의 원자 조성 비율은 FE-SEM(Field Emission-Scanning Electron

Microscopy), AES(Auger Electron Spectroscopy)를 통해서 측정하였고 XRD 등의 측정을 통해서 막의 구조적 특성을 파악하였다. 형성된 합금 게이트의 열적 안정성을 검증하기 위해 Ar 분위기에서 각각 600, 700, 800, 900°C에서 급속 열처리 공정을 시행한 후 앞의 방법과 동일하게 전기적 특성과 구조적 특성을 반복하여 측정하였다. 그리고 이론적인 열역학적인 분석을 통해 실험 결과와 비교 분석하였다.

3. 결과 및 고찰

제작한 MOS 커패시터의 스퍼터링 손상(damage)을 제거하기 위해 600°C에서 10초간 급속 열처리를 수행한 후 측정된 C-V 특성 곡선을 그림 1에 나타냈다. 그림을 살펴보면 Ta에 대한 Mo의 스퍼터링 전력이 증가할수록 특성 곡선이 오른쪽으로 이동하는 것을 볼 수가 있다.

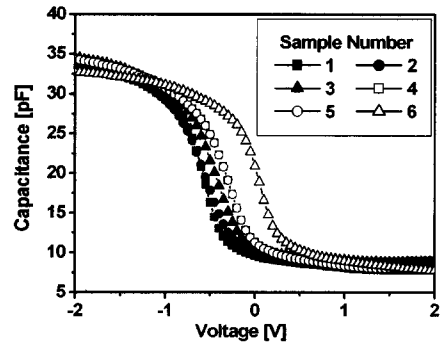


그림 1. 600°C 열처리 후 MOS 커패시터의 C-V 특성 곡선.

Fig. 1. C-V curves of MOS capacitors after 600°C annealing.

표 2에는 그림 1의 C-V 특성 곡선으로부터 추출한 각 시편의 평탄전압, 유효 산화막 두께, 일함수를 나타내었다. 표에서 Ta에 대한 Mo의 스퍼터링 전력이 증가할수록 일함수 값이 증가하고 있는 것을 알 수 있다. Ta과 Mo을 각각 100 W와 70 W의 스퍼터링 전력으로 형성한 Ta-Mo 합금 게이트(2번 시편)가 NMOS에 적합한 일함수인 4.24 eV를 나타내었으며, 이 시편을 FE-SEM으로 측정 한 원자 조성 비율은 Ta이 91%, Mo이 9%로 나타

났다. 1번 시편의 경우에도 600°C 열처리 이후에 NMOS에 적합한 일함수를 나타냈지만 700°C 이상의 열처리 온도에서 축적 정전 용량이 증가하는 열적 불안정성을 나타냈다.

표 2. 600°C 열처리 후 V_{FB} , EOT, 일함수의 값.
Table 2. The values of V_{FB} , EOT and work function after 600°C annealing.

Sample Number	V_{FB} (V)	EOT (Å)	Work Function (eV)
1	-0.754	97.5	4.27
2	-0.788	96.4	4.24
3	-0.678	95.6	4.35
4	-0.527	96.7	4.50
5	-0.389	99.2	4.64
6	-0.209	97.5	4.81

그림 2는 AES로 측정된 2번 시편의 깊이에 따른 원자 조성 비율을 보여주고 있다. AES로 측정된 Ta-Mo 합금 게이트의 원자 조성 비율은 FE-SEM 결과와 일치하는 것을 알 수 있다.

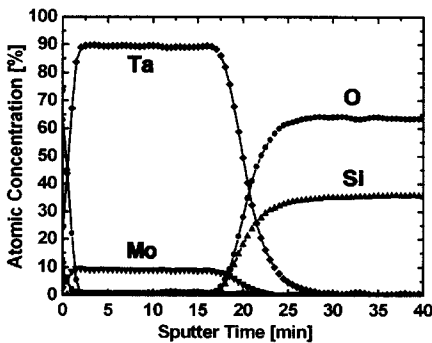


그림 2. 2번 시편의 AES depth profile.
Fig. 2. AES depth profile of the No. 2 sample.

Ta-Mo의 상태도(phase diagram)를 살펴보면 Ta-Mo 시스템은 연속 고용체(continuous solid solution)를 이루고 있는 것을 알 수 있다[10]. 즉 Ta과 Mo 사이에는 고용 한도(solubility limits)가 존재하지 않기 때문에 Ta과 Mo은 서로 전 범위에서 고용이 가능한 고용체 합금이다. 표 3에는 Ta과 Mo의 원자 특성을 나타내었다. Ta과 Mo의 원자 반경의 차이는 6~7% 정도이다. Ta과 Mo의

원자 반경의 차이가 15% 미만이며 Ta과 Mo은 같은 결정 구조와 회절선 지수(hkl)를 가지고 있기 때문에 Ta과 Mo 합금은 치환형 고용체(substitutional solid solution)를 이룬다[11]. 또한 Ta-Mo 치환형 고용체의 결정 구조와 회절선 지수는 순수한 Ta과 Mo 원소와 같은 특징을 나타낸다.

표 3. Ta과 Mo의 원자 특성.
Table 3. Characteristics of Ta and Mo atoms.

	Ta	Mo
Atomic Number	73	42
Electron Configuration	[Xe] 4f ¹⁴ 5d ³ 6s ²	[Kr] 4d ⁵ 5s ¹
Crystal Structure	BCC	BCC
Atomic Radius	1.49Å	1.39Å
[h k l]	[1 1 0]	[1 1 0]

그림 3에는 100W의 Ta과 70W의 Mo 합금 게이트에 대한 열처리 전의 XRD 측정 결과를 나타내었다. 앞에서 설명한 것과 마찬가지로 순수 Ta, Mo과 같은 회절선 지수를 가지는 Ta-Mo 고용체 피크(peak)가 나타난 것을 볼 수 있다[11]. 또한 Ta-Mo 합금 게이트 형성 후 게이트와 SiO₂ 사이에 새로운 결정 구조를 가지는 계면층이 형성되지 않은 것을 알 수 있다.

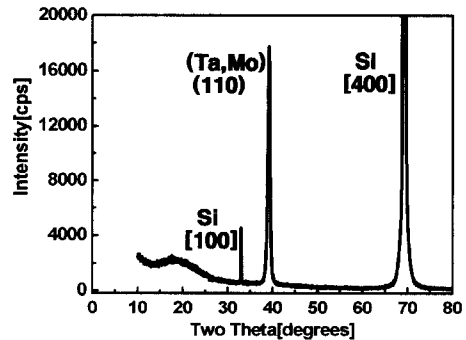


그림 3. 비열처리 Ta-Mo 합금 게이트의 XRD 결과 [Ta(100W), Mo(70W)].
Fig. 3. XRD results of as-deposited Ta-Mo alloy film [Ta(100W), Mo(70W)].

NMOS 적합한 일함수를 나타낸 Ta-Mo 합금 게이트(2번 시편)의 열적 안정성을 검증하기 위해 다른 열처리 조건에서 급속 열처리 공정을 수행한 후 유효 산화막 두께를 살펴보았다. 그림 4는 여러 온도에서 급속 열처리를 실시한 후 측정된 유효 산화막 두께를 보여주고 있다. 열처리를 하지 않았을 때와 900°C 열처리했을 때의 유효 산화막 두께를 비교해 보면 대략 1 Å 정도의 산화막 두께가 차이가 나는 것을 알 수가 있다. Mo를 첨가하지 않고 Ta만을 게이트 전극으로 사용하였을 경우에는 550°C 열처리 이후에도 약 10 Å의 새롭게 형성된 계면층이 존재했다는 보고가 있다[12]. 그러나 Ta에 Mo를 약 9%만 첨가하여 형성된 합금을 게이트로 사용했을 경우에는 게이트와 실리콘 산화막 사이에 계면층이 거의 존재하지 않는다는 것을 알 수 있다. Ta에 Mo를 첨가하여 형성된 합금 게이트는 본 연구에서 수행한 최고 온도인 900°C 까지 안정한 것을 알 수가 있다.

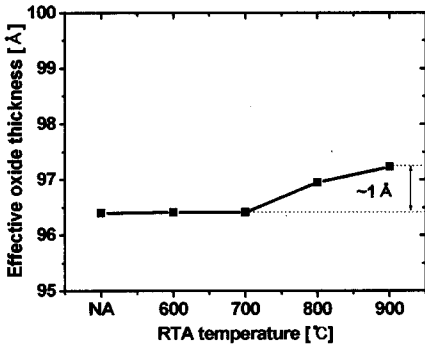


그림 4. 열처리에 따른 유효 산화막 두께의 변화 [Ta(100W), Mo(70W)].

Fig. 4. Change of EOT with annealing temperature [Ta(100W), Mo(70W)].

그림 5에는 Ta과 Mo의 스퍼터링 전력을 각각 100 W와 70 W로 하여 제작한 MOS 커패시터를 여러 온도에서 급속 열처리하고 측정된 C-V 특성 곡선이 나타나 있다. C-V 특성 곡선이 열처리 온도가 높아질수록 오른쪽으로 이동하는 것을 볼 수 있는데 이것은 스퍼터링에 의한 손상과 고정전하 (fixed charge)의 감소에 기인한다[13]. 그러나 700°C에서 900°C 사이의 열처리에서는 C-V 특성 곡선이 조금만 이동하는 것을 볼 수가 있다. 즉, 어느 정도의 온도까지는 스퍼터링 손상이나 고정전

하의 영향으로 C-V 특성 곡선이 이동하지만 그 이상의 온도에서는 안정한 고온 특성을 보이고 있다. 또한 측정 상태의 정전 용량 값도 열처리 전과 비교해서 저하되지 않은 것을 볼 수가 있다.

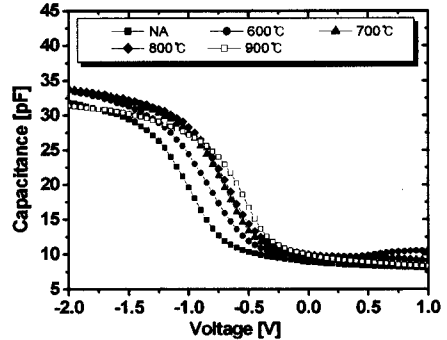


그림 5. 열처리 온도별 C-V 특성 곡선 [Ta(100W), Mo(70W)].

Fig. 5. C-V curves dependent on annealing conditions [Ta(100W), Mo(70W)].

그림 6은 여러 온도로 급속 열처리를 수행한 후 XRD로 측정된 Ta-Mo 합금 게이트와 SiO₂ 사이의 계면 상태 변화를 나타내고 있다. 열처리 온도에 따라 XRD 피크의 강도(intensity) 값의 변화는 나타났지만 비열처리(NA) XRD 피크와 동일한 결과 값을 보이고 있다. 즉, 900°C 이후에도 Ta-Mo 합금 게이트의 특성 변화가 없어 안정한 계면 특성을 나타내는 것을 알 수 있다.

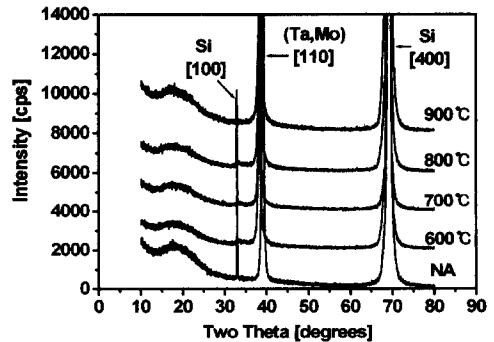


그림 6. 열처리에 따른 XRD 피크의 변화 [Ta(100W), Mo(70W)].

Fig. 6. Change of XRD peaks with annealing conditions [Ta(100W), Mo(70W)].

Mo없이 Ta만 스퍼터링한 시편에 대해 열처리 하기 이전과 600°C 열처리한 후에 측정된 XRD 결과를 그림 7에 나타내었다. 그림으로부터 600°C 열처리 이후의 계면에 tantalum silicide 물질이 형성되었고 유효 산화막 두께도 대략 13 Å 정도 증가하는 현상을 나타냈다. 이는 참고문헌[12]로부터 이미 예견된 결과이다. 그러나 이처럼 불안정한 Ta에 Mo을 9%만 첨가하여도 900°C까지 안정된 계면 특성이 나타나는 것을 발견하였다.

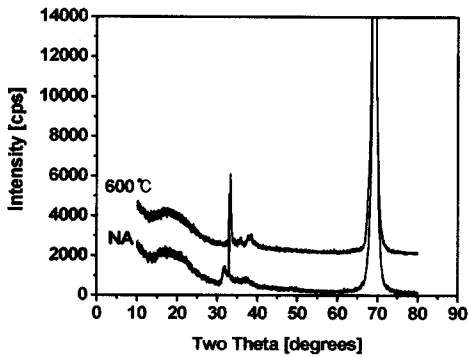


그림 7. 열처리에 따른 순수 Ta 게이트 XRD 피크의 변화.

Fig. 7. Change of pure Ta gate's XRD peak with annealing conditions.

Ta-Mo 합금 게이트와 실리콘 산화막 사이에 어떤 반응이 일어나는 가는 정확하게 측정할 수가 없다. 그러나 열역학적인 해석은 Ta-Mo 게이트 MOS 구조에서 기본적인 계면의 화학적 반응에 대한 이해를 도울 수 있다. 앞의 실험적인 결과들에 대해 열역학을 바탕으로 이론적으로 계산해 보았다[14]. 표 4에는 SiO₂에 대한 Ta과 Mo의 반응식과 900°C에서의 생성 반응 Gibbs 자유에너지를 나타내었다[15]. 표에서 양수 값의 생성 반응 Gibbs 자유에너지를 가지는 반응식은 왼쪽 방향으로 반응을 일으키고, 음수 값의 생성 반응 Gibbs 자유에너지를 가지는 반응식은 오른쪽 방향으로 반응을 일으킨다. 즉, Ta은 SiO₂와 화학적인 반응을 하여 tantalum oxide를 형성하는 불안정한 금속이지만, Mo의 경우에는 어느 정도 고용도에 이르기까지 Mo과 SiO₂ 사이에서 내부 확산을 하지만 SiO₂와 화학적인 반응을 일으키지 않는 안정한 물질임을 알 수 있다[16]. Ta의 경우에는 tantalum oxide 형성에 대해서 매우 큰 음수 값의 생성 반응 Gibbs

자유에너지를 가지는 것을 볼 수가 있는데 이것은 Ta의 매우 높은 산소 고용도를 나타내고 결국에는 게이트 산화막 내에 있는 산소 원자의 재 분포를 초래한다. 그러나 SiO₂와 열적으로 안정한 Mo을 첨가함으로써 Ta-Mo 합금 게이트와 SiO₂의 계면이 열적으로 안정해 진다는 것을 실험적인 결과로 확인 할 수 있었다.

표 4. Ta, Mo-SiO₂ system의 반응식과 900°C의 Gibbs free energy.

Table 4. Tie line reactions and Gibbs free energy at 900°C for Ta, Mo-SiO₂ system.

Tie Line Reaction	ΔG_f (kJ/mol)
$14Ta+5SiO_2 = 2Ta_2O_5+5Ta_2Si$	-212.381
$37Ta+15SiO_2 = 6Ta_2O_5+5Ta_5Si_3$	-7453.137
$4Mo+SiO_2 = MoO_2+Mo_3Si$	221.909
$8Mo+3SiO_2 = 3MoO_2+Mo_5Si_3$	642.319
$3Mo+2SiO_2 = 2MoO_2+MoSi_2$	530.160
$11Mo+3SiO_2 = 2MoO_3+3Mo_3Si$	880.677
$7Mo+3SiO_2 = 2MoO_3+Mo_5Si_3$	857.269
$3Mo+2SiO_2 = 2MoO_2+MoSi_2$	530.160

4. 결론

게이트 전극 물질로 폴리 실리콘을 대체하기 위해 Ta과 Mo을 동시에 스퍼터링하여 Ta-Mo 합금 게이트를 형성하였다. Ta과 Mo의 스퍼터링 전력을 각각 100W, 70W로 형성한 Ta-Mo 합금 게이트는 NMOS에 적합한 일함수인 4.24 eV를 나타내었으며 FE-SEM으로 분석한 원자 조성 비율은 Ta이 91%이며 Mo이 9%로 나타났다. Ta-Mo 합금 게이트의 열적 안정성을 조사하기 위해 900°C로 급속 열처리를 수행하고 살펴본 유효 산화막 두께의 변화는 열처리 이전과 비교하여 1 Å 정도로 미미하였다. Ta-Mo 합금 게이트와 SiO₂의 계면에는 900°C 열처리 이후에도 새로운 결정 구조의 계면층이 형성되지 않는 것을 XRD와 유효 산화막 두께의 분석으로부터 알 수 있었다. 열역학적인 분석에 의하면 Ta은 SiO₂에 대해 불안정한 물질이지만 안정한 Mo을 9%만 첨가함으로써 열적 안정성이 뛰어나고 또한 SiO₂와의 계면 상태도 우수한 Ta-Mo 합금 게이트를 형성할 수 있다는 것을 알 수 있었다.

감사의 글

본 논문은 2003년 한국항공대학교 교비 특별연구과제 연구비에 의하여 지원된 연구결과이며, 이에 감사 드립니다.

참고 문헌

- [1] H. Iwai and S. I. Ohmi, "Problems and solutions for downsizing CMOS below $0.1\mu\text{m}$ ", ICE2000 Proc., p. 1, 2000.
- [2] C. H. Choi, P. R. Chidambaram, R. Khamankar, C. F. Machala, Z. Yu, and R. W. Dutton, "Dopant profile and gate geometric effects on polysilicon gate depletion in scaled MOS", IEEE Trans. Electron Dev., Vol. 49, No. 7, p. 1227, 2002.
- [3] C. Chaneliere, S. Four, J. L. Autran, R. A. B. Devine, and N. P. Sandler, "Properties of amorphous and crystalline Ta_2O_5 thin films deposited on Si from a $\text{Ta}(\text{OC}_2\text{H}_5)_5$ precursor", J. Appl. Phys., Vol. 83, No. 9, p. 4823, 1998.
- [4] R. Lin, Q. Lu, P. Ranade, T. J. King, and C. Hu, "An adjustable work function technology using Mo gate for CMOS devices", IEEE Electron Device Lett., Vol. 23, No. 1, p. 49, 2002.
- [5] 심경석, 이상렬, "센서 기능성 박막 : 레이저 공정 변수에 따른 고유전율 ($\text{Pb}_{0.72}\text{La}_{0.28}$) $\text{Ti}_{0.93}\text{O}_3$ 박막 특성 변화", 전기전자재료학회 논문지, 12권, 7호, p. 602, 1999.
- [6] 최우성, 소병문, 홍진웅, " Al_2O_3 가 첨가된 ZnO의 전기적 특성", 전기전자재료학회논문지, 9권, 6호, p. 572, 1996.
- [7] 김종열, 정종척, 박용희, 성만영, " Al_2O_3 절연 박막의 형성과 그 활용방안에 관한 연구", 전기전자재료학회논문지, 7권, 1호, p. 57, 1994.
- [8] V. Misra, G. P. Heuss, and H. Zhong, "Use of metal-oxide-semiconductor capacitors to detect interactions of Hf and Zr gate electrode with SiO_2 and ZrO_2 ", Appl. Phys. Lett., Vol. 78, No. 26, p. 4166, 2001.
- [9] J. R. Hauser and K. Ahmed, "Characterization of ultrathin oxides using electrical C-V and I-V measurements", National Institute of Standards and Technology, Gaithersburg, MD1998.
- [10] H. Baker, Binary Alloy Phase Diagrams. ASM, OH: ASM international, 1992.
- [11] B. D. Cullity, "Elements of X-ray Diffraction", Addison Wesley, p. 157, 1999.
- [12] T. Ushiki, K. Kawai, I. Ohshima, and T. Ohmi, "Chemical reaction concerns of gate metal with gate dielectric in Ta gate MOS device: An effect of self-sealing barrier configuration interposed between Ta and SiO_2 ", IEEE Trans. Electron Dev., Vol. 47, No. 11, p. 2201, 2000.
- [13] H. Zhong, G. Heuss, and V. Misra, "Characterization of RuO_2 electrode on Zr silicate and ZrO_2 dielectrics", Appl. Phys. Lett., Vol. 78, No. 8, p. 1134, 2001.
- [14] D. R. Gaskell, "Introduction to Metallurgical Thermodynamics", McGraw-Hill, p. 226, 1984.
- [15] I. Brain, "Thermochemical data of pure substances", John Wiley and Sons, p. 1440, 1994.
- [16] R. Beyers, "Thermodynamic considerations in refractory metal-silicon-oxygen systems", J. Appl. Phys., Vol. 56, No. 1, p. 147, 1984.