

NO기반 게이트절연막 NMOS의 AC Hot Carrier 특성

Characteristics of AC Hot-carrier-induced Degradation in nMOS with NO-based Gate Dielectrics

장성근^{1,a}, 김윤장²

(Sung-Keun Chang^{1,a} and Youn-Jang Kim²)

Abstract

We studied the dependence of hot-carrier-induced degradation characteristics on nitrogen concentration in NO(Nitrided-Oxide) gate of nMOS, under ac and dc stresses. The ΔV_t and ΔG_m dependence of nitrogen concentration were observed. We observed that device degradation was suppressed significantly when the nitrogen concentration in the gate was increased. Compared to N_2O oxynitride, NO oxynitride gate devices show a smaller sensitivity to ac stress frequency. Results suggest that the improved ac-hot carrier immunity of the device with NO gate may be due to the significantly suppressed interface state generation and neutral trap generation during stress.

Key Words : AC stress, Hot-carrier-induced degradation, Nitrided oxide, Nitrogen concentration, Boron penetration

1. 서 론

반도체 기술의 발전과 함께 반도체 소자 크기가 임계영역으로까지 작아짐에 따라 기존 반도체 소자의 집적기술과 성능개선을 위한 새로운 기술로의 도전이 지속적으로 이루어지고 있다. 트랜지스터의 게이트 길이가 0.2 μm 이하로 작아짐에 따라 n-채널 및 p-채널 MOSFET이 단채널 효과(short channel effect : SCE)에 대한 억제 효과가 우수한 표면 동작 모드(surface-operation mode)로 동작하기 위해 단극 폴리 실리콘(n^+ -Si)대신 쌍극 폴리 실리콘(n^+ , p^+ -Si)게이트를 채택하고 있다. 초 집적 회로(ULSI) 기술에서 쌍극 폴리 실리콘(n^+ , p^+ -Si) 게이트를 채택함으로써 얻을 수 있는 여러 가지

장점과 더불어 게이트 도핑물질이 얇은 게이트 절연막을 통해 채널 영역으로 확산되는 문제, 쌍극 폴리 실리콘(n^+ , p^+ -Si)내의 도핑 농도가 결정되는 문제 등 많은 문제점도 함께 가지고 있다. 또한 게이트 절연막 두께가 감소함에 따라 게이트 누설 전류가 증가하여 CMOS 소자의 동작특성, 소자의 신뢰성과 수명에 심각한 문제를 일으키게 된다. 이러한 문제점을 해결하기 위해 신뢰성 있는 고품질 초박막 게이트 절연막의 개발은 필수적이며 이에 대한 많은 연구가 이루어지고 있다[1-3]. p-채널 MOSFET에서 붕소 침투를 억제하는 능력과 n-채널 MOSFET에서 고온 캐리어에(hot carrier) 대한 면역 특성이 우수한 질소를 포함한 게이트 질화산화막(Nitrided Oxide)을 초 집적회로 반도체 공정에서 순수 산화막 게이트 대신 사용하기 위해 여러 가지 기술이 제안되고 있으며, 대부분 NO, NH_3 , 혹은 N_2O 분위기에서 만들어진 질화산화막(Nitrided Oxide)이 사용되고 있다[4].

본 논문에서는 초 집적회로(ULSI) 기술개발에 필수적인 고품질 초박막(40 Å) 게이트 절연막을

1. 청운대학교 전자공학과
(충남 홍성군·읍 남장리 산29)
2. 하이닉스 반도체 시스템IC 연구소
a. Corresponding Author : skchang@chungwoon.ac.kr
접수일자 : 2004. 2. 12
1차 심사 : 2004. 3. 11
심사완료 : 2004. 4. 27

30 Å의 순수 산화막을 NO 분위기 가스에서 질소 농도를 변화시키면서 여러 가지 질화산화막 게이트 절연막을 가진 n-채널 및 p-채널 MOSFET을 제작하여 게이트 절연막내에 포함된 질소 농도 변화에 따른 트랜지스터의 전기적 특성과 고온 캐리어 열화 특성을 직류 및 교류 스트레스 조건에서 연구하였다.

2. 실험

본 연구에서 사용된 시료는 8인치 P-형 기판 위에 아래와 같은 CMOS 공정으로 제작되었다. STI(Shallow Trench Isolation)공정을 적용하여 소자를 절연시키고, 쌍우물 및 문턱전압을 조절하기 위해 이온주입 하고, 게이트 절연막으로 30 Å의 순수 산화층을 800 °C에서 습식 산화법으로 30분 동안 성장시켰다. 그후 초기 순수 산화막을 표1과 같이 로(furnace)온도 및 NO농도를 850 °C에서 40분(NO 20%), 950 °C에서 10분(NO 5%, NO 100%)으로 조건을 달리하여 열처리하여 산화막내의 질소(N_{peak}) 농도를 변화시켰다. 열처리된 게이트 절연막의 두께는 엘립소미터(ellipsometer) 및 C-V 방법으로 측정하였다.

쌍극 폴리 실리콘 게이트 형성을 위해 nMOS의 소스, 드레인 및 게이트폴리는 비소(As)를, pMOS의 소스, 드레인 및 게이트폴리는 BF_2 를 이온주입 하고 RTP(Rapid Thermal Processing)시스템을 이용하여 1000 °C에서 이온 활성화 공정을 시행, 시료를 제작하여 각 소자의 DC 특성을 먼저 측정하고, 고온 캐리어 열화 특성은 다음과 같은 조건으로 측정하였다. DC 스트레스는 $I_{sub-max}$ 조건에 해당하는 $V_g = 0.5V_d = 0.9V$ 를 선택하였으며, AC 스트레스는 소스와 기판을 접지시키고 V_{ds} 는 DC 스트레스 조건과 같은 1.8 V, V_g 는 0 ~ 0.9V의 펄스를 인가하였다. 문턱전압의 변이(ΔV_t), 선형 콘덕턴스의 열화(ΔG_m)는 여러 가지 종류의 스트레스를 가한 후 측정하였다. 게이트 절연막내의 전하 트랩의 변화는 전하 펌핑(charge-pumping) 기술에 의해 해석되었다[5].

3. 결과 및 토의

표 1은 게이트 절연막내의 질소 농도에 따른 소자의 DC 특성 및 고온 캐리어 열화 특성을 얻기

위한 게이트 절연막 생성 공정조건과, SIMS을 이용하여 측정된 S_i/S_iO_2 계면에서의 질소 농도, MOSFET 소자의 DC, 및 AC 스트레스를 인가하기 전 전기적 특성 및 C-V 곡선의 반전모드에서 측정된 게이트 절연막 두께를 함께 요약 정리한 것이다.

표 1. 공정 구분 및 스트레스 인가 전MOSFET 특성 값 요약.

Table 1. Summary of process split and MOSFET characteristics measured in pre-stress.

구분	NO 어닐링조건	V_t (V)	$G_{m,max}$ (mS/mm)	I_{dsat} ($\mu A/\mu m$)	$T_{ox,inv}$ (Å)	질소 농도 (at %)
a형	850°C, 40분, NO 20%	0.470	72.8	597	39.3	~1.5
b형	900°C, 10분, NO 5%	0.472	73.6	589	40.1	~1.8
c형	900°C, 10분, NO 100%	0.450	67.5	586	40.2	~2.0

그림 1은 NO 어닐링 조건에 따른 nMOS 및 pMOS의 문턱전압(V_t) 특성을 게이트 길이에 따라 나타낸 것이다. 공정 조건이 다른 각각의 시료에 따른 특성차이는 거의 없고 NO 어닐링의 온도와 시간 차이에 따른 약간의 문턱전압의 차이만 있다. 그리고 pMOS의 문턱전압 특성의 균일도 측면에서 불소의 채널 침투 흔적은 거의 발견할 수 없었다.

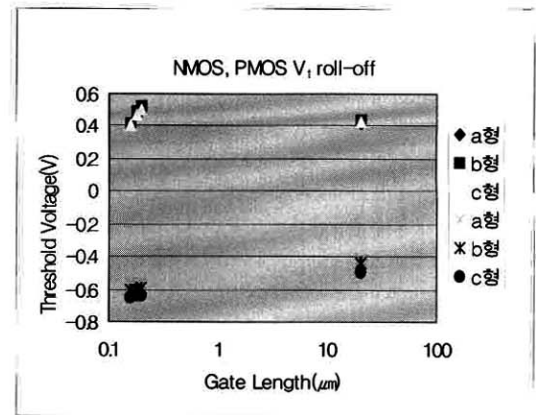


그림 1. nMOS 및 pMOS의 V_t roll-off 특성.

Fig. 1. V_t roll-off characteristics of nMOS and pMOS.

그림 2는 W/L=20 / 0.18 μm nMOS의 I_d - V_g 특성을, 그림 3은 I_d - V_d 특성을 비교 측정 한 것이며, 게이트 절연막내의 질소 농도 변화에 따른 V_t , I_{dsat} , $G_{m,max}$ 값은 표 1에 정리된 바와 같이 스트레스 인가 전 MOSFET 특성은 거의 차이가 없으며, 3가지 시료 모두 우수한 특성을 나타내고 있다.

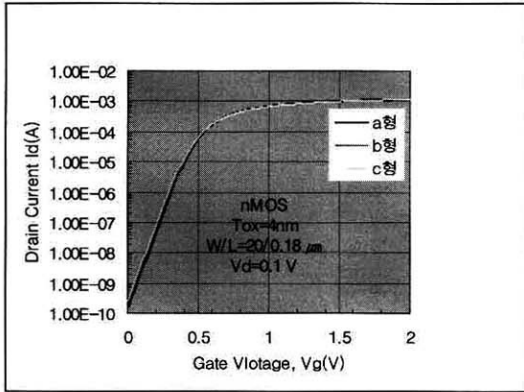


그림 2. W/L=20 / 0.18 μm nMOS의 I_d - V_g 특성.
 Fig. 2. I_d - V_g characteristics of W/L=20 / 0.18 μm nMOS.

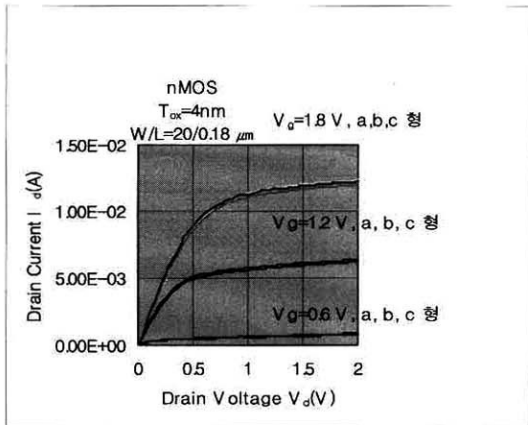


그림 3. W/L=20 /0.18 μm nMOS의 I_d - V_d 특성.
 Fig. 3. I_d - V_d Characteristics of W/L=20 /0.18 μm nMOS.

그림 4는 NO 열처리 공정을 달리한 시료에서 DC 및 AC 스트레스 주파수에 따른 G_m 열화의 변화율을 비교하여 나타낸 것이며, 그림에서 보는 바와 같이 게이트 절연막내 질소 농도가 증가함에

따라 G_m 열화가 감소하는 것을 알 수 있다. a형 시료에 대한 ΔG_m 은 스트레스 주파수에 대해서 약간의 주파수 의존성을 보여주고 있다. 또한 약 100 Hz에서 ΔG_m 의 최고치를($\sim 13.4\%$) 나타내고 있다. 이러한 결과는 N_2O 산화막에 대해서도 비슷한 결과가 관측되었다[6]. 반면 c형 시료에서 ΔG_m 의 스트레스 주파수 의존성은 거의 없다. 이상의 결과에서 보면, 질소농도가 높아지면 G_m 열화 특성이 개선되고 스트레스 주파수에 대한 의존성이 매우 낮아짐을 알 수 있다. 일반적으로 G_m 열화 이유중의 하나는 D_{it} 증가에 의한 것으로 알려져 있다[7].

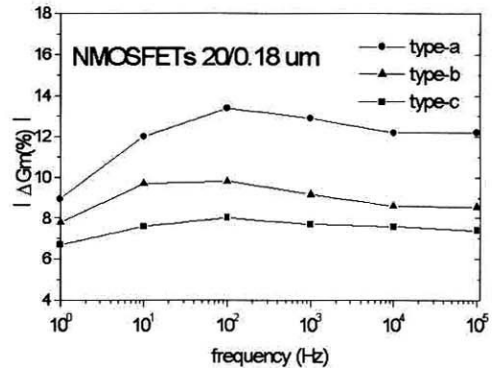


그림 4. 1000초 AC 스트레스후 ΔG_m 의 주파수 의존성. 소스 및 기판은 접지, $V_d=1.8\text{ V}$, V_g 는 duty 사이클 50%, 상승/하강 시간 = 100ns인 0~0.9 V의 펄스를 인가함. DC 스트레스는 $V_g=0.9\text{ V}$, $V_d=1.8\text{ V}$ 인가함(데이터는 Y축에 있음).

Fig. 4. Frequency dependency of ΔG_m after 1000 s ac stress. $V_d=1.8\text{ V}$, V_g was pulsed between 0 and 0.9 V with a duty cycle of 50%, 100 ns rise/fall time and with source and substrate grounded. DC stress was performed at $V_g=0.9\text{ V}$, $V_d=1.8\text{ V}$ (data points lie on the y-axis).

한편 각각의 시료에 대한 ΔV_t 의 주파수 의존성은 그림 5에서 보는 바와 같이 DC 및 AC 스트레스에 대한 ΔV_t 의 열화정도를 나타내고 있는 각 시료의 초기 기울기($10^0 \rightarrow 10^1$)를 제외하면 AC 주파수에 덜 민감함을 보여주고 있다. [6]에서 보고된 N_2O 절연막의 주파수 변화에 대한 G_m 열화 및 $I_{cp,max}$ 변화가 본 논문의 경우보다 큰 것으로 나

타나고 있는 바 이것은 Si/SiO₂ 계면에 NO 절연막의 치밀한 질소 분포에 기인한 것으로 판단된다. NO 절연막의 내구력은 이미 잘 알고 있는 것처럼 Si/SiO₂계면에 질소의 축적에 기인하여 NO 공정 동안 strained Si-O결합을 Si-N결합으로 치환시킴으로써 산화막 결합과 전하 트래핑 비율을 감소시키는 것으로 알려져 있다[8,9]에서 보고된 바와 같이 NO 절연막은 같은 온도 조건에서 N₂O 절연막보다 더 높은 질소 농도와 치밀한 분포를 가진다. 이러한 사실이 스트레스 주파수에 덜 민감하게 하는 열쇠가 된다고 판단된다.

DC 스트레스보다 AC 스트레스에서 열화가 증가하는 것은 DC 스트레스시 나타나지 않는 중성 트랩(N_{et})에 기인된 것으로 알려져 있다[10]. 중성 트랩의 성질을 조사하기 위해서 전자 주입을 행하였다.

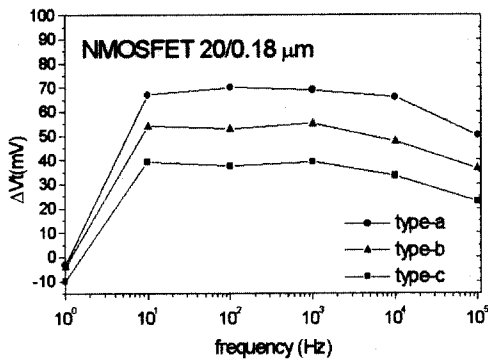


그림 5. 1000초 AC 스트레스후 ΔV_t 의 주파수 의존성. AC 및 DC 스트레스 조건은 그림4와 동일함.(DC 데이터는 Y축에 있음).

Fig. 5. Frequency dependency of ΔV_t after 1000 s ac stress. The ac and dc stress condition is identical to those of fig. 4.(DC data points lie on the y-axis).

그림 6은 전하 펌핑전류(I_{cp})를 AC 스트레스전, 후 및 AC 스트레스와 채널 고온전자(channel hot electro : CHE)주입 후 측정된 것을 나타낸다. 그림 6에서 CHE주입 전, 후의 I_{cp_max} 의 차이는 30 μA ~ 10 μA 로 매우 적게 나타났다. 이것은 AC 스트레스시 생성되는 홀 트래핑이 거의 없음을 의미하는바, 게이트 절연막 특성이 매우 안정된 것을 나타내며, 질소 농도가 높을수록 더욱 안정된 것을 알 수 있다.

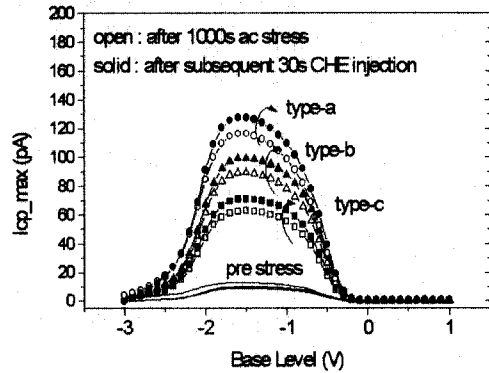


그림 6. 1000초 AC 스트레스와 30초 채널 고온전자 주입 후 3가지 시료에 대한 I_{cp} vs 게이트 펄스 기준 레벨. AC 스트레스 조건은 그림 4와 동일 함. 채널 고온전자 주입 조건은 $V_g=V_d=1.8$ V임. 전하 펌핑 전류 측정 조건은 $V_{gh}=2$ V, $f=100$ KHz, 펄스 상승/하강 시간=100 ns, 소스/드레인 역방향 바이어스= 0.05 V.

Fig. 6. Charge-pumping current I_{cp} versus gate pulse base level for three type samples after 1000 s ac stress and subsequent 30 s channel-hot-electron(CHE) injection. ac stress condition is identical with that of Fig. 4. Channel-hot-electron injection was performed at $V_g=V_d=1.8$ V. Charge-pumping was performed with $V_{gh}=2$ V, $f=100$ KHz, pulse rise/fall time=100 ns, source/drain reverse bias=0.05 V.

또한 그림 7에서 보는 바와 같이 1000초 AC-스트레스를 가한 후 ΔV_t 는 시료 a에서 53 mV, 시료 b에서 37 mV, 시료 c에서 24 mV로 측정되었으며, 각 시료의 초기 기울기(0→10°)는 AC 스트레스에 대한 ΔV_t 의 열화정도를 나타내고 있으며 질소 농도가 높을수록 열화 정도가 작아짐을 알 수 있다. 반면에 CHE주입 후 ΔV_t 의 변화(~12 mV)는 거의 없었다. 이것은 앞의 결과와 함께 Si/SiO₂계면에 있는 질소가 중성트랩의 생성을 효과적으로 억제하고 있음을 확인시켜 주는 것이다[8].

그림 8은 질소 농도가 높을수록 1000초 AC 스트레스 후 V_t 와 G_m 의 열화정도가 낮게 나타나는 것을 명백히 보여 주는 것이며, ΔV_t 와 ΔG_m 은 비슷한 경향을 보여 주고 있다.

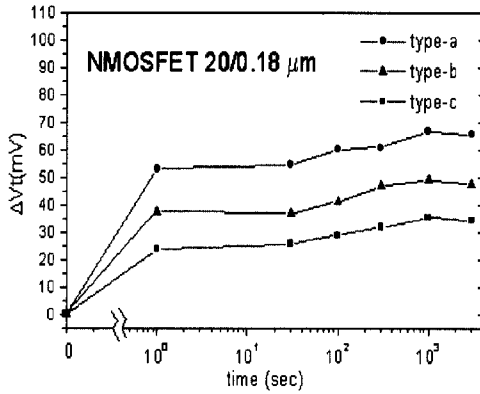


그림 7. 1000초 스트레스와 후속 CHE 주입 후 nMOS의 ΔV_t . AC 스트레스 및 CHE 주입 조건은 그림 6과 동일함.(1000초 AC 스트레스 후의 ΔV_t 는 10⁰, 스트레스전 값은 0에 나타냄).

Fig. 7. ΔV_t of nMOS after 1000 s ac stress and subsequent CHE injection. The ac stress and CHE injection condition is identical to that of Fig. 6. (ΔV_t after 1000 s ac stress lies at 10⁰, prestress at 0 on the y-axis).

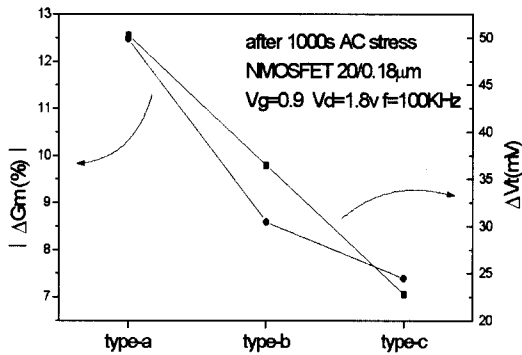


그림 8. 1000초 ac 스트레스후 nMOS의 ΔG_m , ΔV_t . AC 스트레스조건은 그림 6과 동일함.

Fig. 8. ΔG_m , ΔV_t of nMOS after 1000 sec ac stress (stress frequency=100 KHz). The ac stress condition is identical to that of Fig. 6.

4. 결론

NO가스를 기반으로 생성한 게이트 절연막의 질소 농도를 달리하여 제조한 MOSFET의 AC 및 DC 스트레스에 따른 nMOS의 열화 특성을 연구하였다. MOSFET DC특성에는 게이트 절연막의 질소 농도 변화에 따른 차이가 없었으며, 모두 좋은 특성을 보였다. 질소 농도가 높아지면 G_m 열화특성이 개선되고 스트레스 주파수에 대한 의존성이 매우 낮아짐을 알 수 있다. 1000초 AC 스트레스를 가한 후 CHE 주입 전, 후의 전하 펌핑전류(I_{cp}) 및 ΔV_t 측정 결과에서 매우 안정된 게이트 절연막 특성을 확인하였으며, 게이트 절연막내의 질소 농도가 높을수록 소자의 ΔV_t 및 ΔG_m 특성의 열화는 감소하였다.

감사의 글

본 논문 연구에 필요한 시료 제작과 측정 장비 사용을 허락해 주신 하이닉스 반도체 시스템 IC 연구소와 포항공과대학교 AND Lab.에 감사드립니다. 또한 본 논문은 2003년도 청운대학교 학술연구 조성비 지원에 의하여 연구되었습니다.

참고 문헌

- [1] 이철인, 최현식, 서용진, 김창일, 김태형, 장의구, "N₂O가스로 열산화된 게이트 산화막의 특성", 전기전자재료학회논문지, 6권, 3호, p. 269, 1993.
- [2] 김태형, 김창일, 최동진, 장의구, "N₂O가스로 재산화시킨 oxynitride막의 특성", 전기전자재료학회 논문지, 7권, 1호, p. 25, 1994.
- [3] 윤성필, 이상은, 김선주, 서광열, 이상배, "산화막의 NO/N₂O 질화와 재산화 공정을 이용한 전하트랩형 NVSM용 게이트 유전막의 성장과 특성", 전기전자재료학회논문지, 12권, 5호, p. 389, 1999.
- [4] B. Yu, D. H. Ju, W. C. Lee, N. Kepler, T. J. King and C. Hu, □□Gate engineering for deep-submicron CMOS transistors□□, Electron Devices, Vol. 45, No. 6, p. 1253, 1998.

- [5] Paul Hermans, Johan Witters, Guido Groeseneken, and Hermam E. Maes, "Analysis of the charge pumping technique and its application for evaluation of MOSFET degradation", *IEEE Electron Device*, Vol. 36, No. 7, p. 1318, 1989.
- [6] James C. Chen, Zhihong Liu, J. T Krick, Ping K. Ko, and Chenming Hu, "Degradation of N_2O -annealed MOSFET characteristics in response to dynamic oxide stressing", *IEEE Electron Device Lett.*, Vol. 14, No. 5, p. 225, 1993.
- [7] Z. H. Liu, E. Rosenbaum, P. K. Ko, C. Hu, Y. C. Cheng, C. G. Sodini, B. J. Gross, and T. P. Ma, "A comparative study of the effects of dynamic stressing on high-field endurance and stability of reoxidized-nitrided, fluorinated and conventional Oxides", *IEEE IEDM*, p. 723, 1991.
- [8] G. Q. Lo, J. Ahn, and Dim-Lee Kwong, "AC hot-carrier effects in MOSFET's with furnace N_2O -nitrided gate oxides", *IEEE Electron Device Lett.*, Vol. 13, No. 6, p. 341, 1992.
- [9] Yoshio. Okada, Philip J. Tobin, Kimberly. Reid, Rama I. Hegde, Bikas Maiti, and Sergio A. Ajuria, "Gate oxynitride grown in nitric oxide (NO)", *VLSI Symp. Tech. Dig.*, p. 105, 1994.
- [10] K. Mistry and B. Doyle. "The role of electron trap creation in enhanced hot-carrier degradation during AC stressing", *IEEE Electron Device Lett.*, Vol. 11, No. 6, p. 267, 1990.