

Pt/Bi_{3.25}La_{0.75}Ti₃O₁₂/ZrO₂/Si (MFIS)-FET 구조를 위한 ZrO₂ Buffer Layer의 영향

Effect of ZrO₂ Buffer Layers for Pt/Bi_{3.25}La_{0.75}Ti₃O₁₂/ZrO₂/Si (MFIS)-FET Structures

김경태¹, 김창일^{1,a}

(Kyoung-Tae Kim¹ and Chang-Il Kim^{1,a})

Abstract

We investigated the structural and electrical properties of BLT films grown on Si covered with ZrO₂ buffer layer. The BLT thin film and ZrO₂ buffer layer were fabricated using a metalorganic decomposition method. The electrical properties of the MFIS structure were investigated by varying thickness of the ZrO₂ layer. AES and TEM show no interdiffusion and reaction that suppressed using the ZrO₂ film as a buffer layer. The width of the memory window in the C-V curves for the MFIS structure decreased with increasing thickness of the ZrO₂ layer. It is considered that the memory window width of MFIS is not affected by remanent polarization. Leakage current density decreased by about four orders of magnitude after using ZrO₂ buffer layer. The results show that the ZrO₂ buffer layers are prospective candidates for applications in MFIS-FET memory devices.

Key Words : MFIS-FET(MFIS 전계효과 트랜지스터), BLT, ZrO₂, Ferroelectric, Non-volatile memory device

1. 서론

최근 강유전체 박막은 비휘발성 강유전체 메모리 소자인 FRAM(ferroelectric random access memories)으로의 적용 가능성에 기인하여 많은 주목을 받고 있다[1,2]. 강유전체를 이용한 기억소자는 FRAM(ferroelectric random access memory), DRAM(dynamic random access memory), FRAM 트랜지스터의 게이트 유전 물질을 강유전체 물질로 이용한 MFSFET(metal ferroelectric semiconductor field effect transistor)으로 크게 구별된다[1]. 이중 FRAM의 경우 강유전체박막의 분극 반전과 그 이력곡선의 특성을 이용한 고속, 저소비

전력, 정보의 비휘발성등의 장점을 가지고 있으나, 정보를 읽을 때 기억된 정보가 파괴되는 단점을 가지고 있지만, MFSFET은 cell 한개로 강유전체의 분극 특성을 이용하기 때문에 정보를 비파괴적으로 읽을 수 있을 뿐만 아니라 빠른 구동속도, 고집적화의 장점을 가지고 있다[3,4]. MFS-FET의 강유전체로는 Pb(Zr,Ti)O₃, SrBi₂Ta₂O₉, (Bi,La)₄Ti₃O₁₂ 등을 많이 사용하고 있다[5]. PZT의 경우 분극피로, imprint, retention 등의 문제점을 가지고 있고, SBT는 분극피로가 거의 없지만 높은 공정온도가 필요하다는 문제점이 있다. 그 중 BLT가 박막에 ± 5 V의 펄스파를 3×10^9 회까지 인가하여도 피로 현상이 없는 우수한 분극 피로 특성을 나타내고, 650 °C의 낮은 공정 온도에서 증착이 가능하며, 잔류 분극값의 경우 SBT 박막은 $6 \sim 14 \mu\text{C}/\text{cm}^2$ 인데 비해 $25 \mu\text{C}/\text{cm}^2$ 정도의 큰 잔류 분극값을 갖는 등의 우수한 특성을 가지고 있어 소자 제작 시 우수한 특성을 나타낼 것이다[6,7]. 그러나

1. 중앙대학교 전자전기공학부

(서울시 동작구 흑석동 221)

a. Corresponding Author : cikim@cau.ac.kr

접수일자 : 2005. 1. 6

심사완료 : 2005. 3. 23

이러한 MFS-FET도 Si 위에 직접 강유전체를 증착하기 때문에 제작과정에서 강유전체와 Si의 상호반응으로 인해 계면특성이 나빠지게 된다[8]. 계면 특성이 나빠지게 되면 전기장을 인가했을 때 전기장의 대부분이 강유전층이 아닌 다른 부분에 걸리게 되어 소자 구동시 동작 특성에 영향을 주게 된다. 이러한 문제점을 해결하기 위한 방법으로 강유전체와 Si 사이에 계면특성이 좋고, Si으로 강유전체의 확산반응을 막아줄 수 있는 유전상수가 높은 절연층을 삽입하는 MFIS 구조가 제안되었다. 현재 절연층으로는 ZrO_2 , $YMnO_3$, MgO , $SiON$, CeO_2 등의 여러 물질이 연구 되어지고 있다[4,9]. 일반적으로 절연층은 좋은 계면을 형성하기 위해 Si 위에 heteroepitaxial 성장해야 하고, 높은 유전상수를 갖으며, Si과 반응하지 않고, 확산 방지막의 특성을 가지고 있어야 한다[10].

본 연구는 ZrO_2 버퍼층을 사용하여 그 위에 BLT 박막을 증착시켜 MFIS 구조를 제작하여 그 특성을 연구하였다. ZrO_2 박막은 유전상수는 약 16~22 정도의 값을 가지고 있고, ZrO_2 박막은 Si 계면에서 안정한 것으로 보고 되고 있어 국내외에서 활발히 연구되어지고 있다[11].

본 연구에서는 MOD (metalorganic decomposition)법으로 BLT 및 ZrO_2 박막을 제조하여, p형 Si 기판 위에 ZrO_2 를 증착하고, 그 위에 BLT를 스�핀 코팅법으로 증착하여 MFIS 구조의 전기적, 구조적 특성을 연구하고, ZrO_2 를 절연층으로 BLT 박막을 강유전층으로 이용한 MFIS-FET 구조의 비휘발성 메모리 소자의 응용 가능성을 고찰하고자 한다.

2. 실험

ZrO_2 막이 증착될 p-형 Si 기판은 자인산화막 (SiO_2)을 제거하기 위해 유기 세정 및 표준 RCA 법으로 세정하였다. 우선 ZrO_2 박막은 zirconium (IV) propoxide solution [$C_{12}H_{26}O_4Zr$]와 용매로 methanol [CH_3OH]을 사용하여 ZrO_2 용액을 제조한 후 Si 위에 스�핀 코팅법으로 증착하였다. BLT 용액을 제조하기 위해 bismuth(III) acetate [$(CH_3CO_2)_3Bi$], lanthanum-acetate hydrate [$(CH_3CO_2)_3La \cdot x \cdot H_2O$], titanium iso-propoxide [$Ti[OCH(CH_3)_2]_4$]를 사용하였고, bismuth(III) acetate와 lanthanum-acetate의 용매로는 acetic acid, titanium iso-propoxide의 용매로는 ethylen glychol의 일종인 2-methoxyethanol을 사용하였다.

표 1. ZrO_2 와 BLT 박막의 증착 조건.

Table 1. Deposition condition of ZrO_2 and BLT thin films.

	ZrO_2	BLT
RPM	4000 (30초)	4000 (30초)
Hot plate	400 °C 10분	400 °C 10분
어닐링 (O_2 분위기)	700 °C 1시간	650 °C 1시간

BLT 박막은 ZrO_2/Si 박막과 Si 위에 직접 스�핀 코팅법으로 증착하여 BLT/ ZrO_2/Si , BLT/Si의 두 가지 형태의 구조를 만들었다. ZrO_2 와 BLT 박막의 증착 조건은 표 1에 나타내었다. 전기적 특성을 측정하기 위해 같은 방법으로 MFIS (Metal Ferro-electric Insulator Semiconductor) 구조인 Pt/BLT/ $ZrO_2/Si/Pt$ 형태와 MFM 구조인 Pt/BLT/Pt구조의 시료를 제작하였다. 상부 전극으로 쓰일 Pt는 지름이 300 μm 인 세도우 마스크를 이용하여 BLT 위에 DC 스퍼터링 방법으로 증착하였다.

증착된 박막의 결정구조를 확인하기 위하여 X-ray diffraction (XRD-Rigaku, RTP 300 RC)을 사용하였고, 박막깊이에 따른 성분원소의 분포와 계면에서의 각 원소의 확산 상태를 알아보기 위해서 AES (Auger electron spectroscopy) depth profile을 수행하였다. 박막 내부의 BLT와 ZrO_2 의 계면 사이의 미세구조를 관찰하고자 TEM (transmission electron microscopy)을 이용하여 관찰하였다. 강유전 특성은 precision workstation (Radiant Technologies, USA)을 사용하여 측정하였다. 1 MHz의 주파수에서 0.2 V/s로 sweep하면서 ± 3 V에서 ± 7 V까지의 범위로 전압인가 하여 HP4192 impedance analyzer를 이용하여 C-V 특성을 분석하였다. 전류-전압 특성은 HP 4156C semiconductor parameter analyzer를 사용하였다.

3. 결과 및 고찰

그림 1은 p형 Si 기판 위에 증착 시킨 ZrO_2 (160 nm)/Si, BLT/ ZrO_2 (40 nm)/Si 박막의 XRD 패턴을 나타내었다. BLT박막의 XRD 회절패턴은 $Bi_2Ti_3O_{12}$ 의 표준 분말 회절 데이터를 이용하여 분석하였다. 160 nm 두께의 ZrO_2 박막의 XRD 회절패턴은 (110) 결정성이 강한 다결정 패턴을 나타내

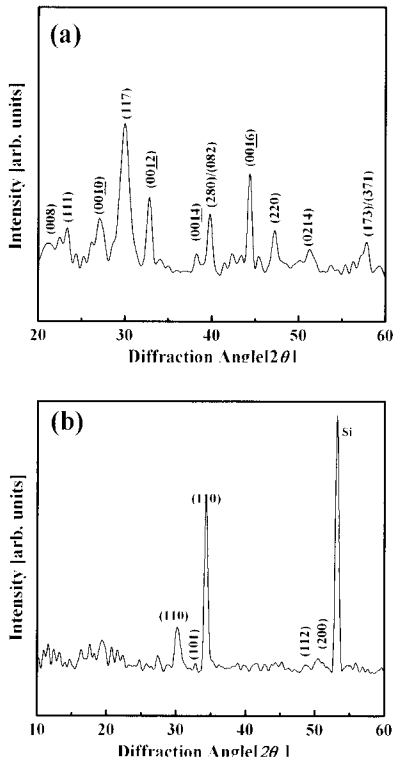


그림 1. X선 회절 패턴 (a) BLT/ZrO₂/Si, (b) ZrO₂/Si.

Fig. 1. XRD patterns of BLT/ZrO₂/Si structure and (b) ZrO₂/Si structure.

있으며, BLT 박막은 (117) 방향성이 강한 BTO 층상 페로브스카이트 다결정 구조의 전형적인 XRD 패턴을 나타내었다. 이는 하부층의 ZrO₂ 박막의 (110) 결정성으로 인하여 BLT 박막의 결정성에 영향을 준 것으로 판단되며, 이차상은 관찰되지 않았다.

그림 2는 ZrO₂ 박막의 계면 확산 방지막(buffer layer)으로서의 효과를 확인하기 위해, BLT/ZrO₂/Si 구조의 박막깊이에 따른 성분 원소분포와 계면에서의 각 원소의 분포 상태를 AES를 이용하여 분석한 결과이다. ZrO₂ 박막은 1회 코팅시마다 약 40 nm의 두께로 코팅이 되는데 여기서는 2회 코팅한 것으로 약 80 nm의 두께를 가진다. 모든 실험에 사용된 BLT 박막 두께는 210 nm로 고정하였다. 일반적으로 강유전체 박막과 Si 계면사이에는 상호확산에 의해 계면 특성이 나빠지게 되고 낮은 유전상수를 가지는 비정질의 SiO₂ 층이 생성

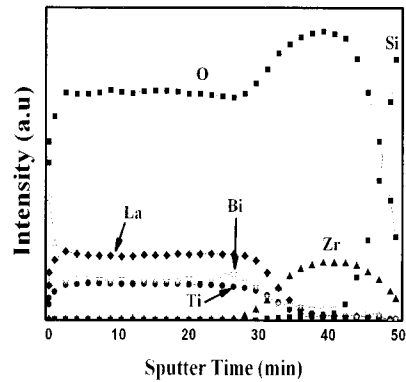


그림 2. BLT(210 nm)/ZrO₂(80 nm)/Si 구조의 AES depth profile.

Fig. 2. AES depth profile of BLT(210 nm)/ZrO₂(80 nm)/Si structure.

되는 것과 같은 문제점이 있다. 또한, 전기장을 인가했을 때 전기장의 대부분이 강유전층이 아닌 낮은 유전상수를 가지는 비정질의 SiO₂ 층인 계면 부분에 걸리게 되어 소자 구동 시 동작 특성에 영향을 주게 된다. 그림에서 나타난 바와 같이 Bi, La, Ti의 농도가 BLT 박막 전체를 통해 균일함을 알 수 있고, 강유전체 층인 BLT이 ZrO₂ 확산 방지막에 의해 Si 층까지 확산하지 않은 계면 특성을 나타내었다. 이러한 결과는 BLT 박막 및 ZrO₂ 박막의 높은 열처리 온도에서도 매우 안정된 계면 상태를 유지하는 것으로 판단되며 MFIS 구조에서 ZrO₂ 박막의 적용가능성을 나타내었다.

그림 3은 BLT/ZrO₂/Si 구조의 단면 TEM 사진으로, 사용된 시료는 AES에서 사용한 것과 같은 두께의 것이다. 그림 1의 XRD 패턴을 통해 확인한 바와 같이 BLT 박막은 다결정 특성을 보이고 각 층마다 확실한 경계면을 나타냄을 알 수 있다. MFIS-FET에서 나타나는 강유전체 박막과 Si 사이에 좋지 않은 계면 특성의 원인이 되는 강유전체 층인 BLT 성분인 Bi, La, Ti의 상호 확산은 일어나지 않은 것으로 판단되며, Si과 ZrO₂ 사이에 약간의 SiO₂층이 형성된 것을 볼 수 있다. 이는 산소 분위기에서 박막을 열처리하는 동안 생성된 것으로 사료된다. 따라서 진압을 인가할 경우 BLT, ZrO₂, Si 층으로 각각 나뉘어 걸리게 될 것이다. 즉, 메모리 윈도우 폭이 이러한 저유전층으로 인하여 감소하는 결과를 나타낼 것이며, 이러한 확산 계면층은 소자에 있어서 치명적인 문제점으로 나타난다.

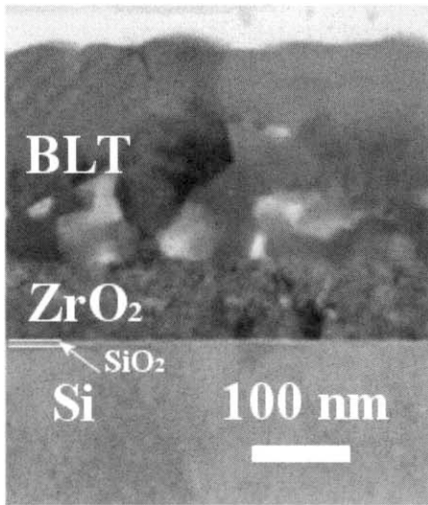


그림 3. BLT(210 nm)/ZrO₂(80 nm)/Si 구조의 TEM 단면 사진.
 Fig. 3. Cross-section TEM image of BLT(210 nm)/ZrO₂(80 nm)/Si structures.

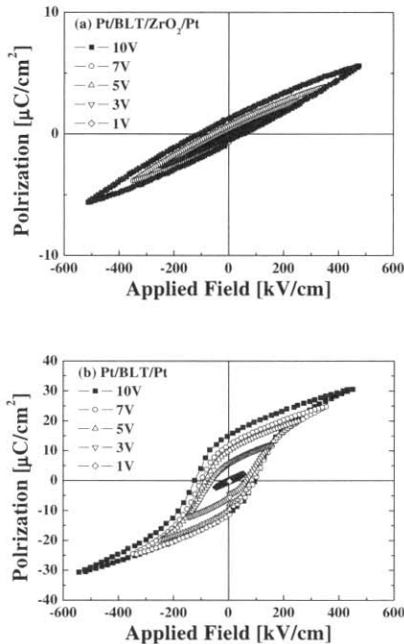


그림 4. (a) Pt/BLT/ZrO₂/Pt 구조와 (b) Pt/BLT/Pt 구조의 이력곡선.
 Fig. 4. P-E Hysteresis of (a) Pt/BLT/ZrO₂/Pt and (b) Pt/BLT/Pt structure.

MFIS 구조에서 ZrO₂의 영향을 살펴보기 위해서 MFIM 구조인 Pt/BLT/ZrO₂/Pt 와 MFIM 구조인 Pt/BLT/Pt 구조를 제작하여 P-E 이력곡선을 그림 4에 나타내었다. Pt/BLT/ZrO₂/Pt 구조의 이력곡선을 1~10 V를 인가하여 측정하였다. 일반적으로 그림 4(b)와 같이 Pt/BLT/Pt 구조의 경우 BLT의 강유전 특성으로 인해 이력곡선이 포화되고 인가 전압이 증가함에 따라 잔류 분극값 및 항전계가 증가하지만, ZrO₂를 삽입한 MFIM 구조는 ZrO₂의 상유전 특성으로 인해 이력 곡선이 포화 되지 않고 분극값 또한 작다. 반면 항전계에 있어서는 MFIM 구조에 비해 큰 값을 갖는다. 항전계가 증가할 경우 C-V 곡선에서 메모리 윈도우 값이 증가하고 이 경우 정보 저장 능력을 향상시켜 강유전체 게이트의 전기적 특성이 증진된다[12].

그림 5는 ZrO₂ 두께에 따른 BLT/ZrO₂/Si 구조의 1 MHz C-V 특성을 나타내었다. 또한 각 두께에 따른 memory window 폭의 그래프가 삽입되었다. ZrO₂ 두께는 40, 80, 120 nm로 다양화하였다. 0.2 V/s로 sweep하고 -5 V에서 +5 V로 다시 +5 V에서 -5 V의 전압을 인가하였다. 강유전체의 분극반전에 의한 시계 방향의 이력 곡선이 관찰되었다. 이는 강유전체의 분극 상태에 따라서 Si 표면 위에 작용하는 유효전압이 변하게 되기 때문으로 P-E 그래프가 포화 영역에 이를 때 C-V 그래프 또한 포화되게 된다. 일반적으로 메모리 윈도우 값은 Mobile ion, 항전계, 결정 방향, 막의 두께, 결정의 크기 등과 관련이 있다. 따라서 막의 결정화가 잘 이루어져야하고 유전율값도 커야 하는데 커패시턴스 값을 구하는 식에 의해 살펴보면 전체 유전율은 절연층의 두께가 얇고 강유전층의 두께가 두꺼워야 커짐을 알 수 있다. 위에서 설명한 것과 같이 40 nm의 두께의 ZrO₂층을 삽입한 Pt/BLT/ZrO₂/Si 구조에서 2.1 V의 가장 큰 메모리 윈도우 값을 나타내었고, 두께가 증가할수록 감소하는 경향을 나타내었다. 이는 큰 유전율 값을 갖는 얇은 ZrO₂ 막으로 인해 BLT 박막에 걸리는 전압이 증가하게 되고 전압이 증가하게 되면 강유전체의 특성으로 분극값과 항전계가 증가하게 된다. 이러한 항전계의 증가로 인하여 이력곡선의 폭인 메모리 윈도우가 증가하게 된다. 커패시턴스 값은 축적에서 반전상태까지 변하며, 이력곡선의 방향은 전하주입에 의한 현상이 아니라 강유전성의 분극 반전에 의한 현상과 일치한다. ZrO₂ 두께에 따라 메모리 윈도우 값이 감소하는 특성을 나타내었는데 이는 유전상수 값이 BLT 보다 훨씬 작은 ZrO₂ 층의 두께가 두꺼워 질수록 강유전체와 ZrO₂ 층에 인가되

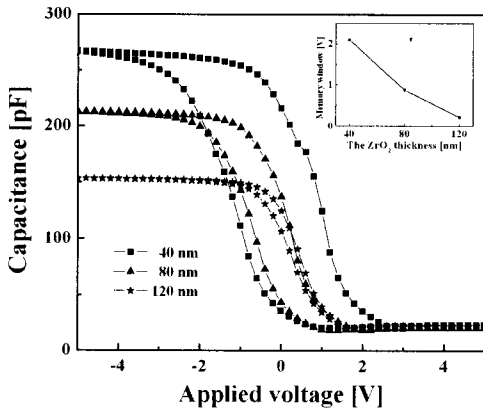


그림 5. ZrO₂ 두께에 따른 Pt/BLT (210 nm)/ZrO₂/Si 구조의 C-V 특성 (ZrO₂ 두께에 따른 Pt/BLT(210 nm)/ZrO₂/Si 구조의 memory window 폭 삽입).

Fig. 5. Capacitance-voltage characteristic of Pt/BLT(210 nm)/ZrO₂/Si structures measured with the different ZrO₂ thickness (Insert for memory window width of Pt/BLT (210 nm)/ZrO₂/Si structure measured with the different thickness of ZrO₂ film).

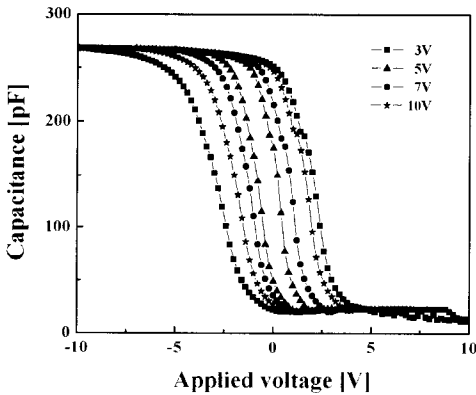


그림 6. Pt/BLT(210 nm)/ZrO₂(40 nm)/Si 구조의 voltage sweep에 따른 C-V 특성.

Fig. 6. Capacitance-voltage characteristics of Pt/BLT(210 nm)/ZrO₂(40 nm)/Si structure measured with different voltage sweeps.

는 전압분배가 ZrO₂층에 크기 걸리고 BLT 강유전체층에 걸리는 인가전압이 작아지기 때문이다. 낮은

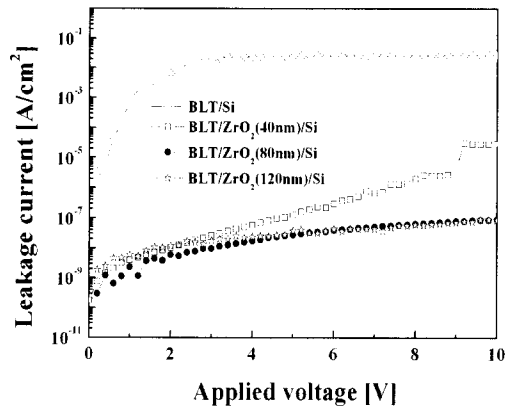


그림 7. BLT(210 nm)/Si 과 ZrO₂ 두께에 따른 BLT(210 nm)/ZrO₂/Si 구조의 I-V 특성.

Fig. 7. Current-voltage characteristics of BLT (210 nm)/Si structure and BLT(210 nm)/ZrO₂/Si structures measured with different ZrO₂ thickness.

인가전압에 의해 BLT 층에 걸리는 전기장의 크기가 작아져 분극값이 작아지게 되고 따라서 메모리 윈도우값도 작아지게 된다. 또한 ZrO₂ 두께에 따라 커패시턴스값이 감소하는 특성을 나타내었는데 이는 Si층이 절연층 사이에 저유전층의 형성이 증가하여 결국 MFIS 구조에서 전체 커패시턴스 값의 감소를 가져오는 것으로 판단되어진다.

그림 6은 40 nm 두께의 ZrO₂를 삽입한 Pt/BLT/ZrO₂/Si 구조의 voltage sweep에 따른 C-V 특성이다. C-V 특성은 1 MHz의 주파수에서 0.2 V/s로 sweep하면서 ±3 V에서 ±10 V까지 범위 전압 인가하였다. 인가전압이 커짐에 따라 메모리 윈도우값 또한 증가하는 것을 알 수 있다. 이는 인가 전압이 음(-)에서 양(+)으로 변할 때 플랫폼 밴드 전압이 sweep 전압에 따라 증가하지만 양(+)에서 음(-)으로 바뀔 때는 sweep 전압에 따라 단계적으로 감소하지 않기 때문에 sweep 전압에 따른 플랫폼 밴드 전압의 차이가 발생하기 때문으로 판단된다[13].

그림 7은 40~120 nm 두께의 ZrO₂박막이 삽입된 Pt/BLT(210 nm)/ZrO₂/Si과 Pt/BLT(210 nm)/Si 구조의 전류-전압 특성을 나타낸다. MFS 구조는 0.2 A/cm²의 누설전류값을 갖는다. 반면 MFIS 구조는 3 V의 인가전압에서 각각 2.58×10⁻⁸, 1.78×10⁻⁸, 9.54×10⁻⁹ A/cm²의 값을 갖는다. 이 값은

누설전류가 ZrO_2 를 버퍼층으로 사용함으로써 개선될 수 있음을 나타낸다.

4. 결 론

강유전체 BLT 박막과 절연물질로 사용된 ZrO_2 박막은 MOD법에 의해 제조하여 스핀 코팅 방법으로 Pt/BLT/ ZrO_2 /Si의 MFIS 및 Pt/BLT/Si의 MFS 구조를 제작하였다. ZrO_2 와 BLT 박막은 각각 (110)과 (117) 결정성이 강한 다결정임을 XRD를 통해 관찰 하였다. AES와 단면 TEM 사진을 통해 양호한 막 상태와 BLT와 Si 사이에 확산이 일어나지 않은 우수한 계면 특성을 관찰할 수 있었다. 1 MHz C-V 곡선에서 40 nm 두께의 절연층을 사용한 Pt/BLT/ ZrO_2 /Si 구조에서 메모리 윈도우는 2.1 V로 가장 크게 나타났다. 또한 진압 인가를 크게 할수록 메모리 윈도우값이 커짐을 알 수 있다. 이와 같은 실험 결과를 통해 ZrO_2 를 절연층으로 사용한 Pt/BLT/ ZrO_2 /Si의 MFIS FET 구조의 비휘발성 메모리소자로서 응용 가능성이 확인 되었다.

감사의 글

이 논문은 2004년도 중앙대학교 학술연구비 지원에 의하여 수행되었음.

참고 문헌

[1] J. F. Scott and C. A. Paz de Araujo, "Ferroelectric memories", Science, Vol. 246, No. 4936, p. 1400, 1989.

[2] 김병호, 윤희성, 정병식, 신동식, "MOD 법에 의한 강유전성 $Sr_xBi_xTa_{2-x}O_{9-x}$ (SBT)박막의 제조 및 후열처리 효과에 관한 연구", 전기전자재료학회논문지, 11권, 3호, p. 229, 1998.

[3] B. K. Moon, H. Ishiwara, E. Tokumitsu, and M. Yoshimoto, "Characteristics of ferroelectric $Pb(Zr,Ti)O_3$ films epitaxially grown on $ZrO_2(111)/Si(111)$ substrates", Thin Solid Films, Vol. 385, No. 1-2, p. 307, 2001.

[4] Y. T. Kim and D. S. Shin, "Memory window of Pt/SrBi₂Ta₂O₉/ZrO₂/Si structure for metal ferroelectric insulator semiconductor field effect transistor", Appl.

Phys. Lett., Vol. 71, No. 24, p. 3507, 1997.

[5] 김병호, 윤희성, 정병식, 신동식, "MOD 법에 의한 강유전성 $Sr_xBi_xTa_{2-x}O_{9-x}$ (SBT)박막의 제조 및 후 열처리 효과에 관한 연구", 전기전자재료학회논문지, 11권, 3호, p. 229, 1998.

[6] 김태훈, 김병호, 송석표, "MOD 법으로 제조한 강유전성 SBT 박막에서 하부전극이 유전 및 전기적 특성에 미치는 영향", 한국전기전자재료학회논문지, 13권, 8호, p. 694, 2000.

[7] 김경태, 김창일, 권지운, 심일훈, "MOD 법으로 제작된 $Bi_{3.35}La_{0.75}Ti_3O_{12}$ 박막의 강유전 특성", 전기전자재료학회논문지, 15권, 6호, p. 486, 2002.

[8] T. Kijima, Y. Fujisaki, and H. Ishiwara, "Fabrication and characterization of Pt/(Bi, La)₃Ti₃O₁₂/Si₃N₄/Si metal ferroelectric insulator semiconductor structure for FET-type ferroelectric memory applications", Jpn. J. Appl. Phys., Vol. 40, No. 4B, p. 2977, 2001.

[9] H. S. Choi, Y. T. Kim, S. I. Kim, and I. H. Choi, "Electrical characteristics of Pt/SrBi₂Ta₂O₉/Ta₂O₅/Si using Ta₂O₅ as the buffer layer", Jpn. J. Appl. Phys., Vol. 40, No. 4B, p. 2940, 2001.

[10] M. B. Lee, T. Ohnishi, T. Maeda, and M. Kawasaki, "Growth and characterization of ferroelectric $Pb(Zr,Ti)O_3$ films on interfacial Zr-controlled $ZrO_2(111)/Si(111)$ Structures", Jpn. J. Appl. Phys., Vol. 36, No. 10, p. 6500, 1997.

[11] C. K. Maiti, G. K. Dalapati, S. Chatterjee, S. K. Samanta, S. Varma, and S. Patil, "Electrical properties of high permittivity ZrO_2 gate dielectrics on strained-Si", Solid State Electronics, Vol. 48, No. 12, p. 2235, 2004.

[12] Lim, M. and Kalkur, T. S., "Electrical characteristics of Pt-bismuth strontium tantalate (BST)-P-Si with zirconium oxide buffer layer", Integr. Ferroelectric, Vol. 14, p. 247, 1996.

[13] T. J. Choi, Y. S. Kim, C. W. Yang, and J. C. Lee, "Electrical properties of $Bi_{3.35}La_{0.75}Ti_3O_{12}$ thin films on Si for a metal-ferroelectric-insulator-semiconductor structure", Appl. Phys. Lett., Vol. 79, No. 10, p. 1516, 2001.