

## 게이트와 드리프트 영역 오버랩 길이에 따른 LDMOST 전력 소자의 전기적 특성

### Electrical Characteristics of LDMOST under Various Overlap Lengths between Gate and Drift Region

하종봉<sup>1</sup>, 나기열<sup>1</sup>, 조경록<sup>1</sup>, 김영석<sup>1,a</sup>

(Jong-Bong Ha<sup>1</sup>, Kee-Yeol Na<sup>1</sup>, Kyoung-Rok Cho<sup>1</sup>, and Yeong-Seuk Kim<sup>1,a</sup>)

#### Abstract

In this paper the gate overlap length of the LDMOST is optimized for obtaining longer device lifetime. The LDMOST device with drift region is fabricated using the 0.25  $\mu\text{m}$  CMOS process. The gate overlap lengths on drift region are 0.1  $\mu\text{m}$ , 0.4  $\mu\text{m}$ , 0.8  $\mu\text{m}$ , and 1.1  $\mu\text{m}$ , respectively. The breakdown voltages, on-resistances and hot-carrier degradations of the fabricated LDMOST devices are characterized. The LDMOST device with gate overlap length of 0.4  $\mu\text{m}$  showed the longest on-resistance lifetime, 0.02 years and breakdown voltage of 22 V and on-resistance of 23  $\text{m}\Omega \cdot \text{mm}^2$ .

**Key Words :** LDMOST, Reliability, Breakdown voltage, On-resistance

#### 1. 서론

전력 반도체 소자는 자동차, 디스플레이, 통신 산업 등의 성장에 따라 그 수요가 지속적으로 늘어나고 있다. 이러한 분야에서 사용되는 전력 반도체 소자는 주로 스위칭 기능을 하며, 응용 분야에 따라 다양한 형태의 소자구조로 구현되어 시장에 출시되고 있다. 최근 들어서는 소자들의 집적도를 향상하는 목적으로 LDMOST(Lateral Double-diffused MOSFET)에 대한 많은 연구가 진행되어 왔고, 특히 저전압 CMOS 로직 소자와 동일한 실리콘 웨이퍼에 구현하는 기술들이 주목을 받고 있다[1,2].

LDMOST 소자는 주어진 항복 전압을 만족하면서 높은 전압에 의한 스트레스에 견디도록 설계되어야 한다. LDMOST 소자에서 드레인 영역이 높은 항복 전압 특성을 가지기 위해서는 불순물의

농도와 구조에 대한 조정이 필요하며, 여기에서 발생하는 기생 효과들을 제어할 수 있는 기술들이 요구되고 있다. 높은 전압을 견딜 수 있는 드레인 구조를 형성하기 위해서는 드레인 영역의 불순물 농도를 낮추어야 한다. 그러나 드레인 영역의 불순물 농도를 과도하게 낮추는 경우에는 소자의 온-저항(on-resistance)을 증가시키는 작용을 한다. 따라서 드레인 영역의 불순물 농도의 조정만으로 소자의 항복 전압과 온-저항을 동시에 확보하는 방법은 한계에 도달하게 된다. 한편, 드레인 단자에 인가되는 외부의 높은 전압은 소자 내에서 많은 열-캐리어(hot-carrier)를 만들게 된다. 여기에서 발생된 열-캐리어들로 인하여 소자의 특성들이 열화 되고, 시스템에서도 큰 장애를 야기하고 있다. 이와 같이, LDMOST 소자에서는 항복 전압과 온-저항 그리고 열-캐리어에 의한 신뢰성 항목들이 중요한 특성이 된다[3-5].

그림 1에서는 일반적인 LDMOST 소자 구조와 본 논문에서 사용된 LDMOST 소자의 구조를 보여주고 있다[1]. 일반적인 n-채널 MOSFET에서 드레인 구조는 높은 도핑 농도로 형성되는 n<sup>+</sup>영

1. 충북대학교 반도체공학과  
(충북 청주시 개신동 12)

a. Corresponding Author : kimys@cbu.ac.kr

접수일자 : 2005. 3. 31

심사완료 : 2005. 6. 13

역과, 비교적 낮은 도핑으로 형성되는 p형 기판으로 접합을 이루고 있다. 이 구조에서는 높은 항복 전압을 구현하기가 어렵다. 이를 해결하기 위하여 낮은 도핑 농도를 이용한 드리프트 영역을 만드는데, 높은 불순물로 도핑되어 있는 드레인 영역과 낮은 도핑으로 만들어지는 기판 사이에서 드리프트 영역이 완충 역할을 한다. 서두에서 언급한바와 같이 항복 전압만을 고려하여 드리프트 영역의 불순물 농도를 낮게 조정하는 경우, 드리프트 영역의 저항을 높이게 되므로 소자의 온-저항을 상승시키는 부정적인 결과를 초래하기도 한다. 일반적으로 항복 전압과 온-저항은 반비례 관계이며, 항복 전압을 높이기 위하여 사용한 낮은 도핑 영역은 온-저항을 나쁘게 하므로, 단순히 접합 부분에서 불순물 도핑 조절만으로는 최적의 소자 조건을 찾는 데는 한계가 있다.

본 논문에서는 LDMOST 소자의 항복 특성과 온-저항, 그리고 열-캐리어의 발생에 직접적인 영향을 미치는 부분인 게이트 영역과 드리프트 영역의 물리적인 오버랩 길이를 조정하여 공정상의 한

계를 극복하면서 최적의 소자 구조를 찾는 시도를 진행 하였다. 소자의 집적도를 결정하는 피치(pitch)는 일정하게 유지하면서, 드리프트 영역과 게이트 영역이 겹치게 되는 오버랩 길이( $L_{ov}$ )를 레이아웃에서 조정하였다(그림 1(b) 참조). 완성된 소자들에 대해서 항복 전압, 온-저항 그리고 열-캐리어에 의한 온-저항의 열화 측면에서 측정을 하였고, 얻어진 측정 데이터로부터 LDMOST 소자의 최적 구조를 추출하였다.

## 2. LDMOST 소자 제작

본 논문에서는 LDMOST 소자 제작을 위해 p형 실리콘 기판을 이용하였으며, 총 14층의 마스크 레이어와 2층 급속 배선 공정을 사용하였다. 그림 1(b)에서와 같이 소자의 드리프트와 게이트간의 오버랩 길이( $L_{ov}$ )를 0.1  $\mu\text{m}$ , 0.4  $\mu\text{m}$ , 0.8  $\mu\text{m}$ , 1.1  $\mu\text{m}$ 로 변화시키고 나머지 설계 변수들은 고정하였다. 결과적으로 오버랩 길이 변화에 따른 소자의 게이트 길이는 0.5  $\mu\text{m}$ , 0.8  $\mu\text{m}$ , 1.2  $\mu\text{m}$ , 1.5  $\mu\text{m}$  이었다.

LDMOST 소자의 제작 공정 진행 순서는 그림 2와 같다. 소자 격리를 위하여 STI(Shallow Trench Isolation) 공정을 사용하였으며, 트렌치 깊이는 4000 Å으로 진행하였다. STI 후속 공정으로

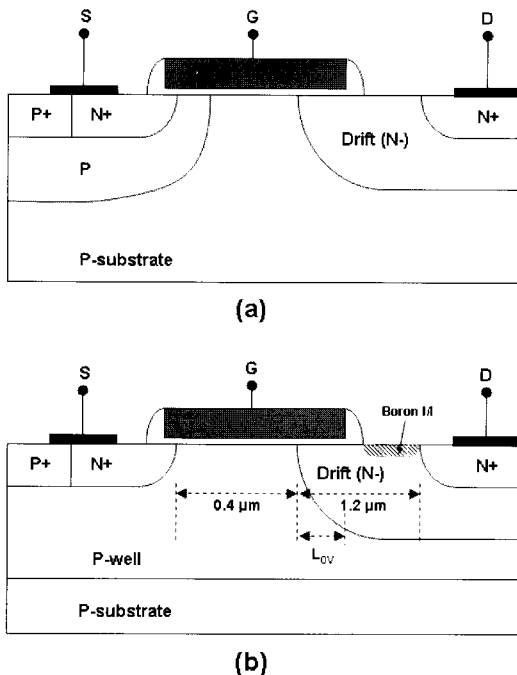


그림 1. (a) 일반적인 LDMOST 소자 단면도, (b) 본 논문에 사용된 LDMOST 소자 단면도.  
Fig. 1. Cross-sectional view of (a) typical LDMOST (b) fabricated LDMOST.

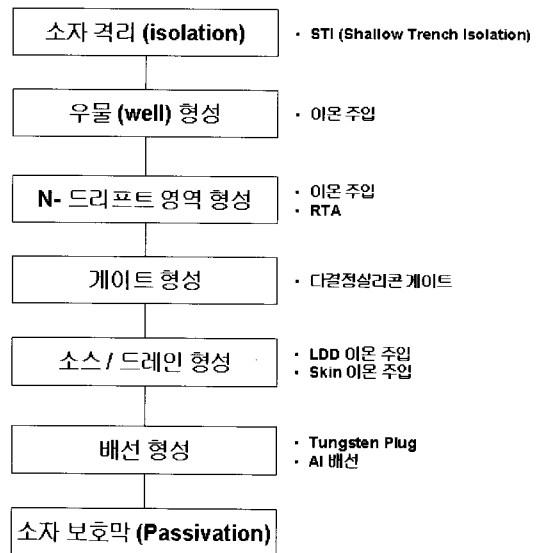


그림 2. LDMOST 소자 제작 공정 흐름도.  
Fig. 2. Process flow of LDMOST device.

n-채널 LDMOST 소자 제작을 위한 p형 우물을 이온주입 방법으로 진행하였다. P형 우물 형성 후에는 인(phosphorus) 이온주입을 이용하여 드리프트 영역을 형성 하였다. 게이트 산화막의 두께는 120 Å 이었으며, 게이트 물질로 나결정 실리콘을 적용하였다. 후속 공정으로 LDD(Lightly Doped Drain) 이온 주입을 진행하였다. 그리고 산화막을 이용한 LDD 스페이서(spacer)를 형성한 후 드리프트 영역 표면에서 절연막으로의 열-캐리어 포획 현상을 막기 위해 드리프트 영역 표면에 붕소(boron)를 추가로 이온주입 하였다(skin 이온 주입). 그 이후 소스/드레인 및 기판 콘택 영역을 형성한 후, 배선공정과 소자의 보호막(passivation) 공정을 진행하였다.

### 3. 소자 측정 결과 및 분석

실리콘 CMOS 공정으로 게이트 전압 3.3 V, 드레인 동작 전압 12 V~16 V를 가지는 LDMOST 소자를 제작하고, HP4156 DC 반도체 소자분석기를 이용하여 소자의 특성들을 확인하였다.

#### 3.1 오버랩 길이 변화에 따른 소자의 항복 전압 특성

그림 3은 제작된 소자의 항복 전압 특성을 보여

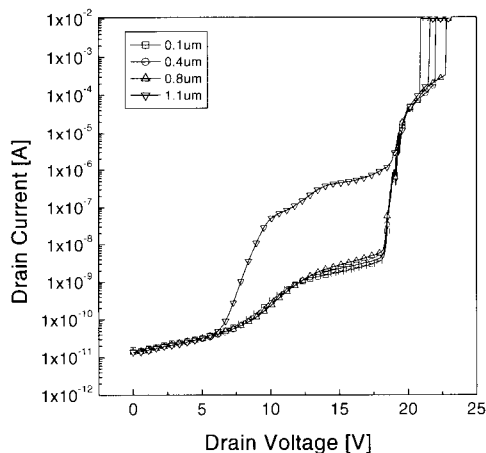


그림 3. 게이트와 드리프트 영역 오버랩 길이의 변화에 따른 전압-전류 특성 ( $V_G - V_S = V_{SUB} = 0 V$ ).

Fig. 3. Voltage-current characteristics for various  $L_{OV}$  lengths.

주고 있다. 게이트, 소스, 기판 전극들을 접지하고 드레인 전압을 0 V ~ 25 V로 가변하였다. 그림 3에서 볼 수 있듯이, 게이트와 드리프트 영역의 오버랩 길이가 0.8  $\mu m$  보다 작은 경우에는 오버랩 길이가 증가할수록 항복전압이 증가하는 것이 관찰되었다. 한편 드레인 전압이 10 V ~ 18 V 까지의 구간에서, 오버랩 길이가 0.1  $\mu m$  ~ 0.8  $\mu m$  의 소자들은 유사한 수준의 누설 전류 특성을 보이나 오버랩 길이가 1.1  $\mu m$  인 소자는 누설 전류가 약 100배 정도 높게 측정이 되었다. 이와 같은 현상을 분석하기 위하여 오버랩 길이에 따른 LDMOST 소자의 단자별 전류를 확인하였다.

그림 4는 기판과 드레인 접합면에서 전기적인 항복 현상이 일어나기까지 LDMOST 소자의 단자별 전류 성분을 보여 주고 있다. 항복 현상이 발생하기 까지 드레인 전류 변화는 오버랩 길이 0.1  $\mu m$  에서 0.8  $\mu m$  소자가 유사하므로, 여기에서는 오버랩 길이 0.1  $\mu m$  소자의 특성에 대해서만 언급하였다. 항복 현상 발생 이전 단계까지는 기판 단자로 흘러 들어가는 전류량과 드레인 단자에 흐르는 전류량이 일치하였으나, 항복 현상이 발생한 후에는 드레인 단자에 흐르는 전류는 모두 소스 단자로 흐르게 된다. 그 이유는 드리프트 영역과 소스 영역 사이에서 핀치오프가 발생하기 때문이다. 그리고 게이트 단자에 흐르는 누설 전류는 변화가 없이 일정하게 나타났다.

그림 5는 게이트와 드리프트 영역의 오버랩 길이가 1.1  $\mu m$  인 소자에 대한 항복 현상이 발생할 때까지 단자별 전류 특성을 보여주고 있다. 이 경

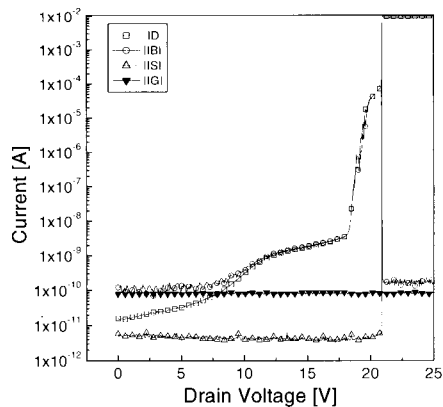


그림 4. 오버랩 길이 0.1  $\mu m$  소자의 전압-전류 특성.  
Fig. 4. Voltage-current characteristics for  $L_{OV} = 0.1 \mu m$ .

우에는 드레인 전압이 낮은 구간에서의 드레인 전류는 기판의 전류와 동일한 수준이나, 항복 현상이 발생한 후에는 게이트와 드레인 간에 전류가 흐르는 것을 확인할 수 있었다. 항복현상 전후에 단자별 전류의 차이가 발생하는 이유는 다음과 같다. 오버랩의 길이가 긴 소자는 게이트와 드레인 단자와의 거리가 가까워져서 드레인에 인가된 전압이 게이트 가장자리로 집중된다. 또한 오버랩 길이가 긴 소자의 경우는 상대적으로 skin 이온주입으로 형성된 붕소 불순물 영역이 감소하여, n<sup>+</sup> 단자에 인가된 전압의 많은 부분이 게이트 가장자리에 몰리게 된다. 따라서 드레인 전압이 증가함에 따라 게이트 산화막에서 F-N 터널링으로 인한 게이트 단자의 누설 전류가 증가하게 되고, 드레인에 더 높은 전압이 인가되면 결국 게이트 절연막 파괴에 이르게 된다. 이와 같은 게이트와 드리프트간의 오버랩 길이 변화에 따라 항복 현상 이후에 게이트-드레인간 전류의 해석을 2차원 소자 시뮬레이션[6]으로 확인하였다.

그림 6은 게이트와 드리프트 영역의 오버랩 길이가 0.1 μm와 1.1 μm인 소자의 드레인에 12 V를 인가한 상태에서 소자의 포텐셜 분포와 충돌 이온화 비율(impact ionization rate)을 2차원 시뮬레이션으로 확인한 결과이다. 그림 6에서 보듯이 게이트와 드리프트 영역의 오버랩 길이가 증가하면서 드리프트 영역내의 포텐셜 분포가 드레인 n<sup>+</sup> 영역으로 점차 확산 되는 것을 볼 수 있다. 또한 오버랩 길이가 증가함에 따라 충돌 이온화 비율이 감

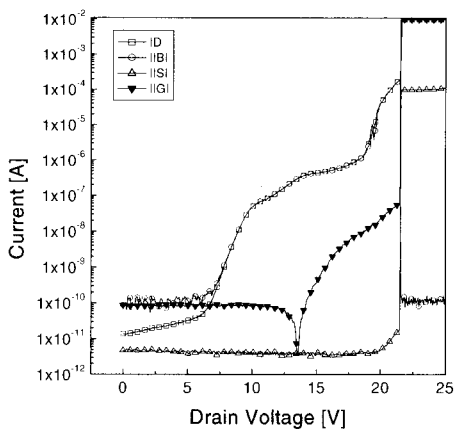
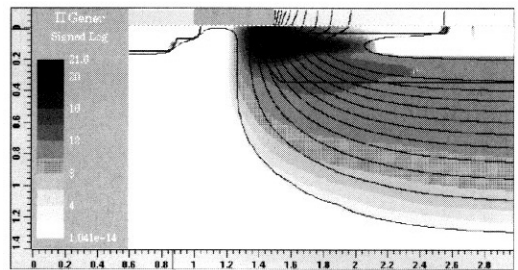
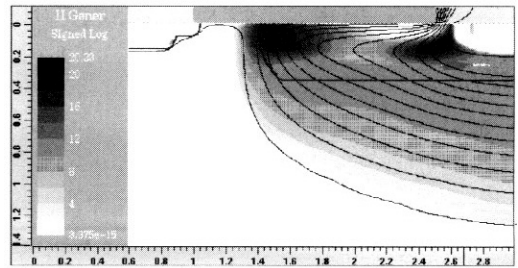


그림 5. 오버랩 길이 1.1 μm 소자의 전압-전류 특성.  
Fig. 5. Voltage-current characteristics for  $L_{ov} = 1.1 \mu m$ .

소하는 것도 확인 할 수 있다. 결론적으로 걱정된 오버랩 길이는 드레인 포텐셜의 분산 이동으로 인하여 항복 전압 특성을 개선시킬 수 있으나, 그 이상에서는 게이트와 드레인 사이에 인가되는 높은 전계로 인하여 게이트 절연막이 파괴된다는 것을 알 수 있다. 본 논문에 사용된 LDMOST 소자는 게이트의 오버랩 길이가 0.1 μm ~ 0.8 μm 인 구간에서 20 V 이상의 항복 전압을 구현하였다. 이상과 같은 결과로 게이트와 드리프트 영역의 오버랩 길이가 일정 수준 이상이 되면, 게이트 산화막의 절연 특성을 파괴 시킨다는 것을 알 수 있다.



(a)



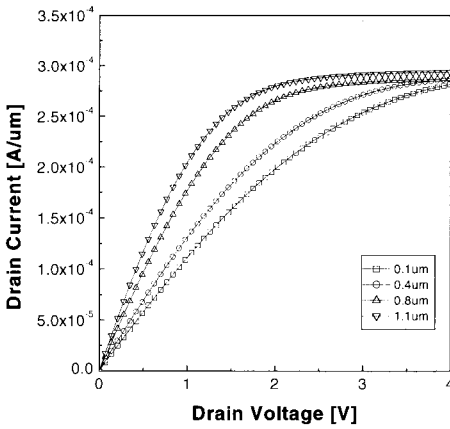
(b)

그림 6. 오버랩 길이에 따른 포텐셜 분포 및 충돌 이온화 비율에 대한 2차원 소자 시뮬레이션 ( $V_G = V_S = V_{SUB} = 0 V$ ,  $V_D = 12 V$ , equipotential contour = 1 V/div.). (a)  $L_{ov} = 0.1 \mu m$  (b)  $L_{ov} = 1.1 \mu m$

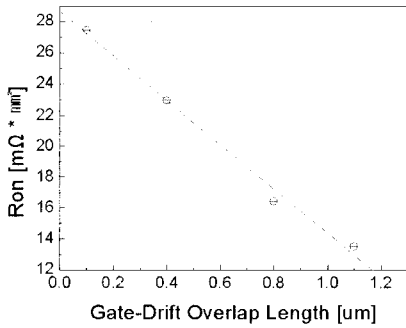
Fig. 6. 2-D potential contour and avalanche multiplication rate for various  $L_{ov}$  lengths ( $V_G = V_S = V_{SUB} = 0 V$ ,  $V_D = 12 V$ , equipotential contour = 1 V/div.). (a)  $L_{ov} = 0.1 \mu m$  (b)  $L_{ov} = 1.1 \mu m$

**3.2 오버랩 길이 변화에 따른 소자의 온-저항 특성**

LDMOST 소자에서 온-저항 특성은 항복 전압 특성과 함께 중요한 변수이다. 온-저항 특성에 영향을 미치는 주요 요소는 소스/드레인 및 채널 영역에서의 저항과 드리프트 영역내의 전류 경로에서 발생하는 저항이다. 게이트와 드리프트 영역의 오버랩 변화에 따른 온-저항 특성을 측정 한 결과를 그림 7에 나타내었다. 드리프트와 게이트간 오버랩 길이가 증가할수록 온-저항 특성은  $27.5 \text{ m}\Omega \cdot \text{mm}^2$  에서  $13.5 \text{ m}\Omega \cdot \text{mm}^2$  로 감소하였다. 각 소자들의



(a)



(b)

그림 7. 드리프트 게이트간 오버랩 길이 변화에 따른 (a)  $I_D$ - $V_{DS}$  특성 ( $V_G = 3.3 \text{ V}$ ,  $V_{SUB} = V_S = 0 \text{ V}$ ), (b) 온-저항 특성 ( $V_G = 3.3 \text{ V}$ ,  $V_D = 0.5 \text{ V}$ ).

Fig. 7. (a)  $I_D$ - $V_{DS}$  characteristics (b) on-resistance characteristics for various  $L_{OV}$  lengths.

채널 영역과 소스/드레인 영역에서의 저항 성분은 모두 동일한 조건이므로, 이 차이는 오버랩 길이가 변화된 드리프트 영역 내에서 발생된 것으로 판단할 수 있다.

$N^+$  드레인 영역에서 게이트 영역까지의 전류의 경로는 드리프트 영역과 게이트와 드리프트간 오버랩 영역으로 구분할 수 있다. 드레인 쪽에 가까운 드리프트 영역에는 표면에 p형 불순물(skin 이온주입)영역이 존재하므로, 전류 경로가 p형 불순물 영역의 바로 아래 부분에 형성 된다. 그리고 게이트와 드리프트 오버랩 영역에는 p형 불순물이 없으므로 게이트 절연막 바로 아래의 축적(accumulation)층으로 전류 경로가 형성된다. 드리프트와 게이트간의 오버랩 영역이 길어질수록 전류 경로에서 축적층의 길이가 길어지는 결과를 초래하므로, 온 저항은 낮아지게 된다. 즉, skin 이온주입으로 형성된 p형 불순물 영역의 물리적인 길이가 감소할수록 - 드리프트와 게이트간 오버랩 영역이 증가할수록 - 온-저항은 감소하게 된다. 그러나  $L_{OV}$ 가  $1.1 \mu\text{m}$ 인 경우처럼 게이트와 드레인 사이에 p형 불순물 영역이 없는 경우에는 표면에서 절연막으로의 열-캐리어 포획이 심각하게 발생할 수 있으므로, skin 이온주입 영역을 형성한 후에 적절한 게이트 오버랩 길이를 이용하여 낮은 불순물 농도 구간으로 흐르는 전류 경로를 최단거리로 만들어야 한다. 결과적으로 드리프트와 게이트간의 오버랩 길이가 증가 할수록 온-저항을 개선시키는 주요 요인으로 작용한다.

**3.3 오버랩 길이 변화에 따른 소자의 기관 전류 특성**

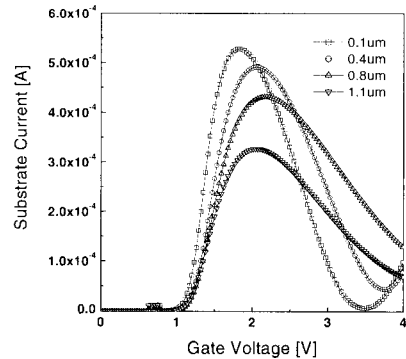


그림 8. 게이트 오버랩 길이 변화에 따른 기관 누설 전류 특성 ( $V_D = 12 \text{ V}$ ).

Fig. 8. Substrate leakage current characteristics for  $L_{OV}$  variation ( $V_D = 12 \text{ V}$ ).

기관 전류는 전자-정공 쌍의 발생 정도와 열-캐리어 발생을 예측할 수 있는 지표이다. 그림 8은 드리프트와 게이트간 오버랩 길이 변화에 대한 기관 누설 전류 특성이다. 이 결과에서 기관 누설 전류는 게이트 전압에 따라 증가하다가, 어느 지점에서 최고치를 가진 후 다시 감소한다. 이는 게이트 전압과 수평 전계 그리고 드레인 전류에 의해서 결정이 된다. 그림 8에서 게이트 오버랩 길이가 증가할수록 기관 누설 전류 최고값은 감소하였다. 그림 8에서 보여주는 기관 누설 전류는 p형 기관과 인접한 드리프트 영역의 가장자리에서 충돌 이온화에 의한 전자-정공 쌍 발생에 기인한 전류이다. 게이트 오버랩 길이가 증가할수록 p형 기관과 드리프트 영역의 경계에서 전계의 크기가 감소하므로 충돌 이온화 비율이 낮아지는 것을 예상 할 수 있으며, 그 결과 기관 누설 전류도 감소하게 된다. 이와 같이 게이트 오버랩 길이가 증가하면서 드리프트 가장자리에서의 충돌 이온화 비율이 감소하는 현상은 그림 6에서와 같이 2차원 소자 시뮬레이션에서도 확인 되었다.

**3.4 열-캐리어 스트레스 인가에 따른 온-저항 특성 변화**

본 논문에서는 LDMOST 소자의 응용분야에서 큰 문제가 되고 있는 소자 신뢰성에 대해 온-저항 특성을 이용하여 분석해 보았다. 게이트 오버랩 길이에 따라 열-캐리어 스트레스에 의한 온-저항의 수명은 그림 9와 같이 나타났다.

스트레스 인가 조건은 주어진 드레인 전압에서 기관 누설 전류 최고치를 가지는 게이트 전압 조건을 설정 하였으며, 초기조건에서부터 10,000 초 사이에 10 개의 구간에 걸쳐 측정을 진행하였다. 소자 수명의 기준은 온-저항이 10% 열화 되는 시점으로 정의하고 관찰 하였다. 드레인 동작전압을 12 V로 가정할 때, 그림 10에서와 같이 게이트와 드리프트 영역간 오버랩 길이 변화에 따라 차이가 나타나는 것을 알 수 있다. 그림 10에서 보는 바와 같이 게이트와 드리프트간 오버랩 길이가 0.4 μm 소자에서는 열-캐리어 스트레스에 의한 소자 열화 특성이 개선되지만, 0.1 μm 혹은 0.8 μm 오버랩 소자에서는 열화 특성이 악화되는 것을 알 수 있다.

게이트와 드리프트 영역 사이의 오버랩 길이가 0.4 μm인 소자가 0.1 μm인 소자에 비해 열 캐리어 특성이 개선된 이유는 오버랩 길이가 증가함에 따라 드리프트 영역과 p형 우물 사이에서 발생하는 열-캐리어 발생률이 감소하기 때문이다. 이 현상은 그림 6에서 보여준 2차원 소자 시뮬레이션 결과와 동일하다.

한편, 게이트와 드리프트 영역 사이의 오버랩 길이가 0.8 μm인 소자에서 열-캐리어 특성이 열화 되는 원인은 드리프트와 게이트 영역 사이의 오버랩이 증가함에 따라 게이트 아래의 축적층을 이동

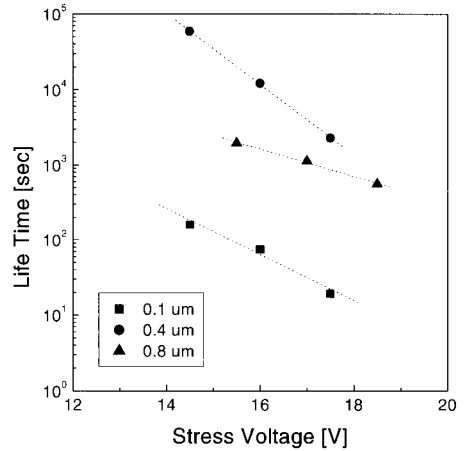


그림 9. 열-캐리어 스트레스 인가 후 온-저항의 수명 (L<sub>ov</sub> = 0.1 μm, 0.4 μm, 0.8 μm).

Fig. 9. Lifetime of on-resistance after hot-carrier stress (L<sub>ov</sub> = 0.1 μm, 0.4 μm, 0.8 μm).

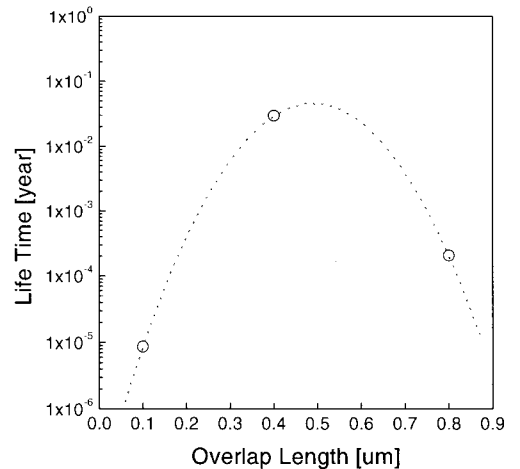


그림 10. 게이트 드리프트간 오버랩 변화에 따른 온 저항의 수명 (V<sub>D,Operation</sub> = 12 V).

Fig. 10. Lifetime of on-resistance for L<sub>ov</sub> variation (V<sub>D,Operation</sub> = 12 V).

하는 열-캐리어들의 게이트 주입 효율이 증가하기 때문이다[7]. 즉, p형 우물과 드리프트 경계의 공핍층에서 발생한 열-캐리어들은 드리프트와 게이트 오버랩 영역을 지나 드레인으로 이동하게 된다. 이때 드리프트와 게이트 오버랩 영역이 길면 길수록, 오버랩 영역을 지나가는데 많은 시간이 걸리게 된다. 확률적으로 열-캐리어들이 드리프트와 게이트 오버랩 영역을 지나는 시간이 길면 길수록, 열-캐리어들이 게이트로 주입되는 효율도 높아지는 것이다. 그림 8에서 보는 바와 같이 드리프트와 게이트간 오버랩 길이가 증가하면서 기판 누설 전류 최대치는 점차로 감소하였다. 그럼에도 불구하고 그림 10에서와 같이 온-저항의 수명이 저하하는 현상은 게이트 영역 아래의 축적층을 이동하는 열-캐리어들의 게이트 주입 효율로 설명할 수 있다. 일반적으로는 열-캐리어에 스트레스에 의한 소자의 열화 현상을 기판 누설 전류 성분만을 이용하여 판단을 하고 있으나, 이는 열-캐리어의 발생지점이 채널영역에서 드레인쪽에 가까운 소자의 경우로 제한된다. 본 논문에서 사용되어진 LDMOST 소자의 경우에는 p형 기판과 드리프트사이에서 발생하는 열-캐리어 발생 정도 및 드리프트와 게이트간 오버랩 영역을 이동하는 열-캐리어들의 게이트 주입 효율을 함께 고려하여야 한다.

#### 4. 결론

0.25  $\mu\text{m}$  CMOS 공정기술을 이용하여 LDMOST 소자를 제작하였으며, 소자의 게이트와 드리프트 영역의 오버랩 길이를 0.1  $\mu\text{m}$ , 0.4  $\mu\text{m}$ , 0.8  $\mu\text{m}$ , 1.1  $\mu\text{m}$ 로 변화시켜 항복 전압, 온 저항 그리고 열-캐리어에 의한 스트레스 인가한 후 온-저항 열화 측면에서 소자의 특성을 분석하였다.

드리프트와 게이트간 오버랩 길이가 증가 할수록 채널 방향의 전계의 세기가 낮아져서 항복 전압 특성은 개선되었다. 그러나 드리프트와 게이트간 오버랩 길이가 1.1  $\mu\text{m}$  이상이 되는 소자는 게이트와 드레인간의 물리적인 거리가 감소하게 되므로 드레인 바이어스에 의해 게이트 절연막이 파괴되는 현상이 관찰 되었다. 또한 드리프트와 게이트간 오버랩 길이가 증가 할수록 드리프트 표면의 skin 이온주입 영역이 감소하고, 드리프트 표면의 축적층으로 전류 경로가 형성되어 온 저항이 개선되었다. 다음으로, 온-저항의 열화 특성을 확인하기 위해 열-캐리어 스트레스 인가 후 온-저항 값을 확인해 본 결과, 드리프트와 게이트간 오버랩

길이가 0.4  $\mu\text{m}$ 인 소자에서 최적의 결과를 얻을 수 있었다. 오버랩 길이가 0.4  $\mu\text{m}$  이하인 소자에서는 p형 기판과 드리프트 사이의 공핍영역에서 열-캐리어의 발생율이 높기 때문이고, 오버랩 길이가 0.4  $\mu\text{m}$  이상인 소자에서는 p형 기판과 드리프트사이의 공핍영역에서 발생한 열-캐리어가 게이트 절연막 아래의 오버랩 영역을 이동하면서 게이트 전극으로 주입되는 효율이 높기 때문이다.

결론적으로 게이트와 드리프트 영역의 오버랩 길이가 0.4  $\mu\text{m}$  부근의 소자에서 항복전압 22 V, 온-저항 23  $\text{m}\Omega\cdot\text{mm}^2$ , 온-저항의 수명 0.02 년의 특성을 얻었다.

#### 감사의 글

이 논문은 2005년도 교육인적자원부 지방연구중심대학 육성사업의 지원에 의하여 연구되었음.

#### 참고 문헌

- [1] Y.-S. Kim, Jerry G. Fossum, and Richard K. Williams, "New physical insights and models for high-voltage LDMOST IC CAD", IEEE Trans. Electron Devices, Vol. 38, No. 7, p. 1641, 1991.
- [2] J. Mitros, C. Tsai, H. Shichijo, K. Kunz, A. Morton, D. Goodpaster, D. Mosher, and T. R. Efland, "High-voltage drain extended MOS transistors for 0.18- $\mu\text{m}$  logic CMOS process", IEEE Trans. Electron Devices, Vol. 48, No. 8, p. 1751, 2001.
- [3] A. W. Ludikhuizen, M. Slotboom, A. Nezar, N. Nowlin, and R. Brock, "Analysis of hot-carrier degradation and snapback in sub-micron 50 V lateral MOS transistors", in Proc. IEEE Int. Symp. on Power Semiconductor Devices and IC's, Germany, p. 53, 1997.
- [4] R. Zhu, V. Parthasarathy, J. Capilla, W. Peterson, M. Bacchi, M. Zunino, and R. Baird, "Suppression of substrate injection by RESURF LDMOS devices in a smart power technology for 20-30 V applications", in IEEE Bipolar/BiCMOS Circuits and Tech. Meeting Dig., p. 184, 1998.

- [5] P. Moens, M. Tack, R. Degraeve, and G. Groeseneken, "A Novel Hot-hole Injection Degradation Model for Lateral nDMOS Transistors", in IEDM Tech. Dig., p. 39.6.1, 2001.
- [6] MEDICI User Manual, Synopsys, 2003.
- [7] D. M. Kim, M. K. Cho, and W. H. Kwon, "Stacked gate mid-channel injection flash EEPROM cell - Part I: Programming speed and efficiency versus device structure", IEEE Trans. Electron Devices, Vol. 45, No. 8, p. 1696, 1998.