

채널구조와 바이어스 조건에 따른 $\text{Si}_{0.8}\text{Ge}_{0.2}$ pMOSFET의 저주파잡음 특성

Low-frequency Noise Characteristics of $\text{Si}_{0.8}\text{Ge}_{0.2}$ pMOSFET Depending upon Channel Structures and Bias Conditions

최상식¹, 양현덕¹, 김상훈², 송영주², 이내응³, 송종인⁴, 심규환^{1,a}

(Sang-Sik Choi¹, Hun-Duk Yang¹, Sang-Hoon Kim², Young-Joo Song², Nae-Eung Lee³, Jong-In Song⁴, and Kyu-Hwan Shim^{1,a})

Abstract

High performance $\text{Si}_{0.8}\text{Ge}_{0.2}$ heterostructure metal-oxide-semiconductor field effect transistors (MOSFETs) were fabricated using well-controlled delta-doping of boron and $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ heterostructure epitaxial layers grown by reduced pressure chemical vapor deposition. In this paper, we report $1/f$ noise characteristics of the SiGe pMOSFETs measured under various bias conditions of the gate and drain voltages changing in linear operation regions. From the noise spectral density, we found that the gate and drain voltage dependence of the noise represented same features, as usually scaled with f^{-1} . However, $1/f$ noise was found to be much lower in the device with boron delta-doped layer, by a factor of $10^{-1}\sim 10^{-2}$ in comparison with the device fabricated without delta-doped layer. $1/f$ noise property of delta-doped device looks important because the device may replace bipolar transistors most commonly embedded in high-frequency oscillator circuits.

Key Words : $1/f$ noise, SiGe, MOSFET, Delta-doping

1. 서론

현재 반도체 제작 기술은 정보통신 기술의 발전과 더불어 고집적화, 고속동작, 저소비전력을 위한 소자의 극미세화에 대한 연구가 주류를 이루고 있다. 그 중에서도 SiGe 반도체는 고주파 성능이 우수하여 이동통신의 확충과 맞물려 경제적 가치가 급증하고 있다[1].

SiGe 반도체는 기존의 안정화된 실리콘(Si) 반도체 공정을 기반으로 하고 있어서 우수한 양산

능력과 저가격에 가장 적합하다. 더욱이 빠른 동작 특성, 선형성, 고주파잡음, 저주파잡음, 낮은 전류에서의 높은 전류이득으로 인한 특성이 매우 우수하여 수 GHz대까지의 고주파 고속통신 분야의 RFIC나 광통신용 IC를 제조할 수 있는 이점이 있다. 특히 반도체 기술의 핵심인 CMOS 소자의 축소기술은 이미 sub-micron 시대를 지나 수십 나노급 게이트 길이를 갖는 소자 제작으로 발전하고 있다. 따라서 f_T 는 200 GHz대로 발표되고 있고, 이를 이용한 RFIC의 개발이 활발하다. 또한 strained 구조를 이용하는 MOS 소자는 고성능 프로세서에 적용되고 있다.

이러한 추세 속에서 SiGe는 실리콘 기술이 sub-micron 이하로 내려가면서 존재하는 subthreshold 전류, $1/f$ 잡음, 신뢰성에 대한 문제를 극복할 것으로 전망된다. SiGe를 이용하여 MOS의 성능을 높이면, 일반 논리소자부터 고주파 소자까지 한 칩에 집적화가 가능하여 제품의 소형화와 경량화에 획

1. 전북대학교 반도체과학기술학과
(전북 전주시 덕진구 덕진동1가 664-14)
2. 전자통신연구원 SiGe 소자팀
3. 성균관대학교 신소재공학부
4. 광주 과학기술원 정보통신공학과
a. Corresponding Author : khshim@chonbuk.ac.kr
접수일자 : 2005. 8. 22
1차 심사 : 2005. 10. 18
심사완료 : 2005. 11. 8

기적인 기여를 할 것으로 기대된다[2,3].

CMOS 에서 산화막과 실리콘 사이에서 운반자의 충돌과 트랩으로 인한 flicker 잡음과 게이트와 채널 저항으로 인한 열잡음이 존재한다. flicker 잡음에 대한 모델에 일부 논쟁의 여지가 있지만 McWhorter의 Carrier Number Fluctuation(CNF) 모델[4], Hooge의 Carrier Mobility Fluctuation(CMF) 모델[5], Hung의 Correlated carrier and mobility fluctuation 모델[6] 등으로 설명되고 있다. 대체로 주파수에 반비례하여 1/f 잡음이라고도 하는데 Si 소자에서 보다 SiGe 소자에서 더욱 개선된 1/f 잡음특성이 발표되고 있다[7]. 저주파잡음은 고주파에서 사용되는 전자회로의 위상잡음과 지터잡음의 소스로 작용하며, 소자의 신뢰성에도 연계되어 있어 중요한 의미를 지닌다.

본 논문에서는 SiGe p-MOSFET의 1/f 잡음 특성을 알아보았다. 선형 영역에서 바이어스 조건에 따른 잡음 특성의 변화를 측정 분석하였고, 소자의 성능 향상을 위한 델타도핑이 잡음의 특성에 미치는 영향을 알아보기 위하여 같은 조건에서 델타도핑 없이 제작한 소자와 비교하여 분석하였다[8].

2. 실험

본 실험에서는 게이트의 길이가 0.35 μm 으로 제작된 p-MOSFET을 사용하였다. 이중접합 구조인 소자의 채널에 사용된 Si/Si_{0.8}Ge_{0.2}/Si quantum-well 구조의 에피성장에는 RPCVD (Reduced Pressure Chemical Vapor Deposition)가 사용되었다. n-type 실리콘 기판위에 100 Å의 Si 씨앗층,

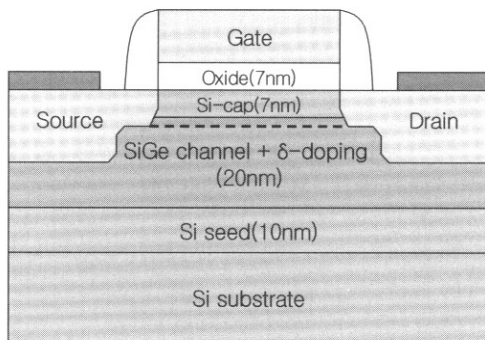


그림 1. SiGe p-MOSFET의 단면도.

Fig. 1. Schematic cross-section view of SiGe p-MOSFET.

200 Å의 Si_{0.8}Ge_{0.2} 채널층, 70 Å의 Si cap층을 차례로 성장하였다. 게이트 산화막은 800 °C, H₂/O₂ 분위기에서 열산화에 의해 70 Å 두께로 성장하였고, RPCVD를 이용하여 phosphorus 도핑된($> 2 \times 10^{20} \text{ cm}^{-3}$) 게이트 폴리 층을 550 °C에서 증착하였다.

그림 1은 측정에 사용된 소자의 단면도이다. 샘플 UD(Un-Doped)은 도핑 없이 성장시킨 소자이고, 샘플 DD(Delta-Doped)는 Boron이 $1 \times 10^{12} \text{ cm}^{-2}$ 의 농도로 δ -doping되었다. DC 특성은 HP4155A 반도체 파라미터 분석기를 이용하여 측정하였다. 잡음 측정 시스템은 SR570 저잡음 증폭기와 Agilent E4440A 스펙트럼 분석기가 사용되었고, PC의 VEE프로그램과 GPIB에 의해 제어되었다. 실험에서 얻어진 잡음의 Power Spectral Density(PSD; A²/Hz)는 10 Hz~1 MHz 대역의 주파수에서 50번 측정된 값의 평균치이다.

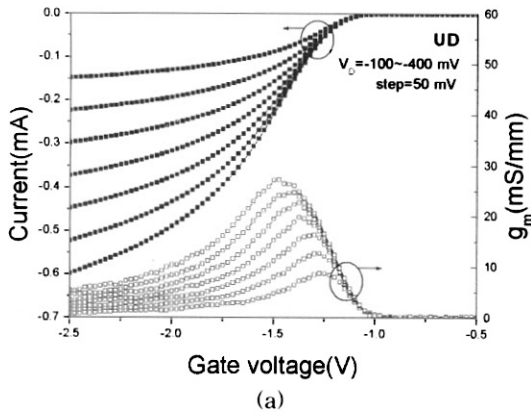
3. 결과 및 고찰

본 실험에서 측정한 잡음특성을 분석하기 위하여 DC 특성으로 V_G-I_D와 Transconductance를 측정하였으며 그 결과는 그림 2와 같다. 두 종류의 소자에서 모두 V_G와 V_D가 증가 할수록 드레인 전류(I_D)도 증가하는 정상적인 특성을 보였다. 문턱전압(Threshold Voltage, V_{th})은 -1.1 V로 동일하게 측정되었지만, 샘플 DD소자에서 드레인 전류가 더 많이 흐르는 것을 확인할 수 있다. 즉, 트랜스컨덕턴스는 UD소자에서 27 mS/mm 의 값을 보였으며, DD소자에서는 같은 조건에서 38 mS/mm로 40 % 향상되었다.

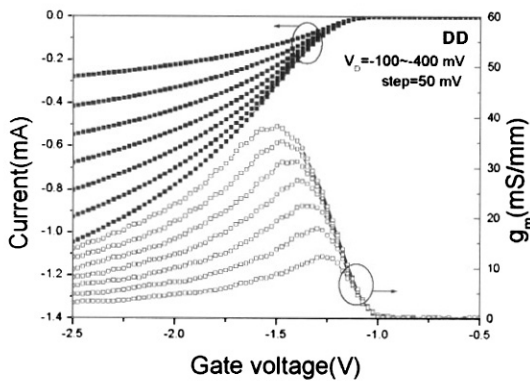
게이트 전압 (|V_G-V_{th}|=0.1~0.9 V)과 드레인 전압 (V_D=-100~-400 mV)을 변화시키면서 Noise Spectral Density가 어떻게 변화하는지 측정하였다. 잡음은 Drain Current Spectral Density(S_I, A²/Hz)로 측정하였으며, 간단한 해석을 위해 다음과 같이 Input Noise Power Spectral Density(S_{Vg}, V²/Hz) 으로 변환하였다. 여기에서 g_m과 I_d는 각각 transconductance와 드레인 전류를 의미한다.

$$S_{V_g} = \frac{S_I}{I_d^2} \left(\frac{I_d}{g_m} \right)^2 \quad (1)$$

그림 3은 no doping된 p-MOSFET(UD)에서 W/L=30 μm /0.35 μm , 게이트 Finger 2개인 소자의



(a)

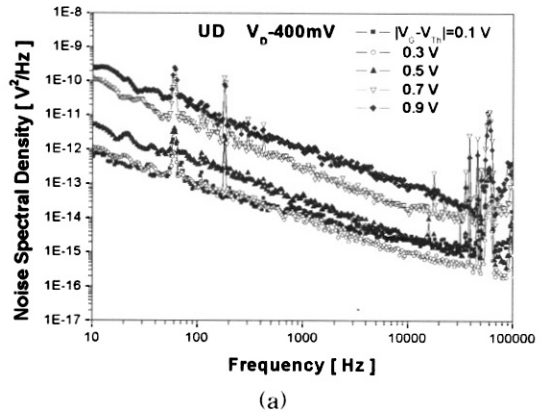


(b)

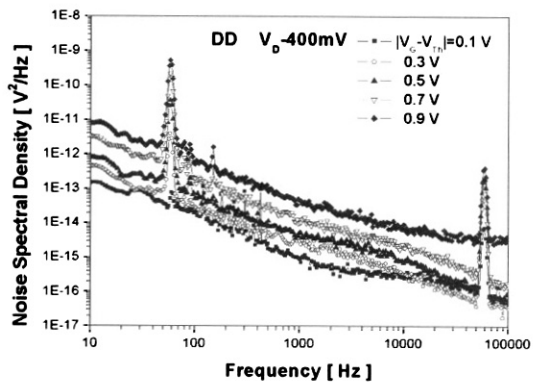
그림 2. Si_{0.8}Ge_{0.2} p-MOSFET의 드레인 전류와 트랜스컨덕턴스 특성. (a) UD, (b) DD
Fig. 2. Drain current and transconductance of Si_{0.8}Ge_{0.2} p-MOSFET. (a) UD, (b) DD

게이트 바이어스에 따른 잡음 특성을 측정 한 결과이다. 그림에서 알 수 있듯이 모든 측정결과에서 주파수에 반비례하는(1/f) 결과를 나타냈다. 그리고 Lorentzian 스펙트럼이 없으므로 이종접합 에피와 산화막 계면에서의 Generation-recombination(GR)에 따른 부가적인 잡음은 없는 것으로 나타났다. 즉, 소자의 제작공정의 Si_{0.8}Ge_{0.2}/Si 에피성장과 게이트 산화막에 GR잡음을 발생시키는 deep level은 보이지 않아 conventional CMOS의 수준의 quality 임을 알 수 있다.

그림 2의 UD 소자의 경우 $|V_G - V_{th}|$ 가 0.1 V에서 0.9 V로 증가할수록 주파수가 10 Hz에서의 Noise Spectral Density가 $2.33 \times 10^{-12} \text{ V}^2/\text{Hz}$ 에서 $2.47 \times 10^{-10} \text{ V}^2/\text{Hz}$ 로 100배 정도 증가하였다. δ -doping한 DD 소자에서도 Noise Spectral Density



(a)



(b)

그림 3. 게이트 바이어스에 따른 (a) UD, (b) DD 소자의 noise spectral density.
Fig. 3. Gate bias dependence of noise spectral density of (a) UD and (b) DD devices.

가 $1.44 \times 10^{-13} \text{ V}^2/\text{Hz}$ 에서 $8.38 \times 10^{-12} \text{ V}^2/\text{Hz}$ 로 게이트 전압에 비례하여 증가하였다. 동일한 바이어스 조건($V_G - V_{th} = 0.1 \text{ V}$, $V_D = -400 \text{ mV}$)에서 두 소자를 비교해 봤을 때 B80소자는 $2.33 \times 10^{-12} \text{ V}^2/\text{Hz}$, DD 소자는 $1.44 \times 10^{-13} \text{ V}^2/\text{Hz}$ 로 δ -doping한 소자가 잡음 특성이 더 우수함을 알 수 있다.

게이트 전압이 subthreshold에서 weak inversion을 거쳐 strong inversion으로 변화하면서 McWhorter의 CNF에서 Hooge의 CMF의 component가 증가하는 것으로 판단된다[11]. 그림 2의 $V_G - I_D$ 곡선에서 알 수 있듯이 선형영역에서 게이트 전압이 증가할수록 드레인 전류도 선형적으로 증가하며, 채널에 흐르는 전류증가에 따라 채널과 산화막 계면에서의 홀 트랩에 의해 잡음이 증가한 것으로 판단된다.

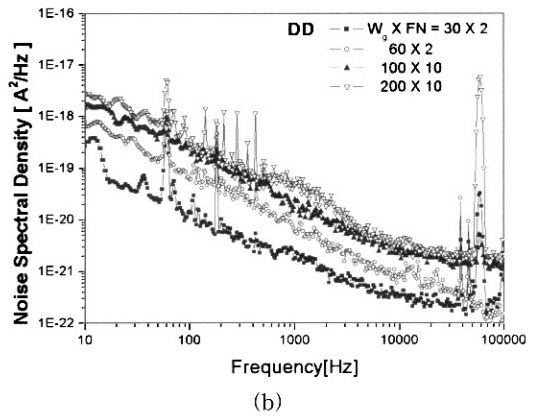
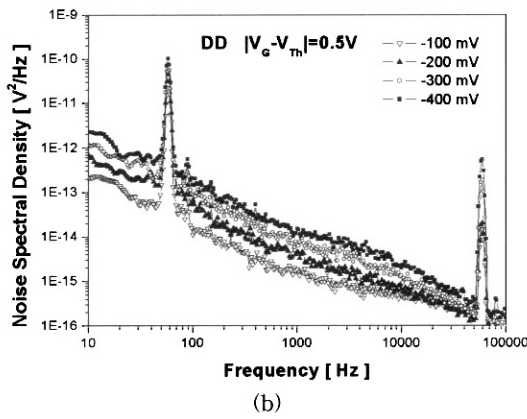
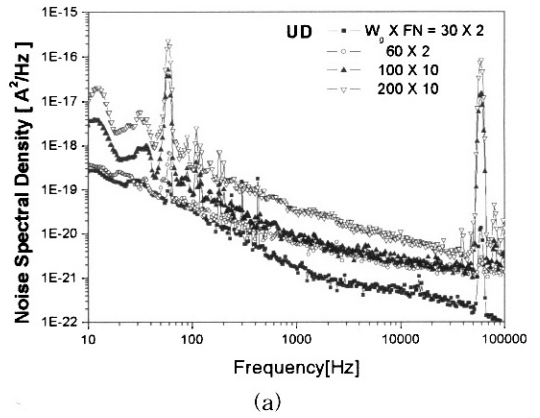
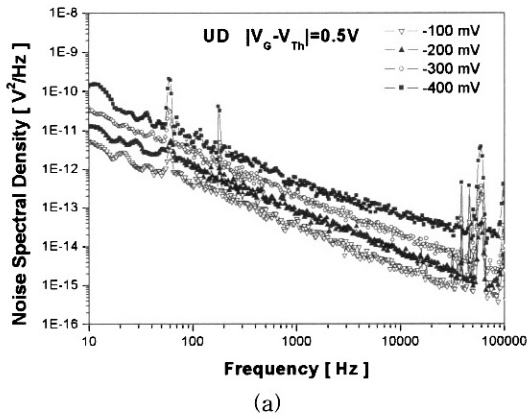


그림 4. 드레인 바이어스에 따른 (a) B08, (b) B10 소자의 noise spectral density.

Fig. 4. Gate bias dependence of noise spectral density of (a) B08 and (b) B10 devices.

다음으로 Strong Inversion 조건에서 잡음의 드레인 바이어스에 따른 변화를 알아보기 위하여 $|V_G - V_{th}|$ 를 0.5 V로 고정하고 드레인 전압을 -100 mV에서 -400 mV로 변화시키면서 잡음을 측정하였다. 그림 4의 UD 소자에서 드레인 전압이 -100 mV에서 -400 mV로 증가 할수록 10 Hz에서의 Noise Spectral Density도 $5.19 \times 10^{-12} \text{ V}^2/\text{Hz}$ 에서 $1.49 \times 10^{-10} \text{ V}^2/\text{Hz}$ 로 30배 정도 증가하는 것을 확인할 수 있다. DD 소자에서도 $2.20 \times 10^{-13} \text{ V}^2/\text{Hz}$ 에서 $2.28 \times 10^{-12} \text{ V}^2/\text{Hz}$ 로 잡음이 증가하였다. 단, DD 소자는 UD 소자에 비해 23배 정도 개선된 잡음 특성을 보였다.

드레인에 인가된 바이어스가 증가 할수록 전계에 의해 가속되는 운반자가 높은 에너지를 얻게 되는 경우 impact ionization에 의한 hot-carrier의

그림 5. 게이트 면적 변화에 따른 (a) UD, (b) DD 소자의 잡음특성.

Fig. 5. Gate dimension dependence of noise spectral density of (a) UD and (b) DD devices.

증가로 소스-드레인 전류가 증가하면서 소자내의 결합에서의 trap-detrap 되어 운반자의 컬럼산란이 심화되어 잡음이 증가하는 것으로 판단된다[9]. 또한, 델타도핑에 의해 strong inversion 조건에서 1/f 잡음이 작게 얻어지는 점은 Hooge 모델에 의거하면 이동도의 산란이 작은 것을 의미한다. 이렇게 CMF의 감소에 따르는 1/f 잡음의 변화는 König에 의해서도 보고된 바 있다[10]. Si/SiGe의 구조에서 주로 운반자가 SiGe 채널층으로 이동하여 Si cap층으로 분리되면서 CMF이 감소한다. 그리고 델타도핑된 샘플(DD)에서 이러한 효과가 더욱 심화되어 CMF에 따른 잡음의 발생이 최소화되는 것으로 이해된다.

그림 5는 게이트 면적에 따른 잡음 특성을 알아

보기 위하여 게이트 폭과 finger수가 다른 소자에 대해 측정된 결과이다. 채널의 면적이 증가할수록 채널에 흐르는 전류가 증가하여 시스템에 의한 잡음으로 그래프 상에 10^{-20} 대에서 베이스 레벨이 나타났고, 그 이상에서 측정된 Noise Spectral Density 값으로 비교 분석 하였다. 2 finger $0.35 \times 30 \mu\text{m}^2$, 2 finger $0.35 \times 60 \mu\text{m}^2$, 10 finger $0.35 \times 100 \mu\text{m}^2$, 그리고 10 finger $0.35 \times 200 \mu\text{m}^2$ 의 소자에서 게이트 면적이 증가 할수록 잡음도 증가함을 알 수 있다.

앞에서와 마찬가지로 채널에 흐르는 전류 증가에 의해 잡음이 증가한 것으로 판단된다. 게이트 면적으로 normalize하면, DD 샘플은 일정한 PSD 값을 보이는데 UD 샘플에서는 significant한 증가를 보이게 된다. 전반적으로 Multi-finger 구조의 소자에서 게이트 폭이 큰 경우 델타도핑 된 DD 소자는 델타도핑 없이 제작된 UD 소자에 비하여 1/2~1/3 수준의 저주파잡음을 보였다. 따라서 델타도핑을 적용하면 게이트 폭이 작은 디지털 소자는 물론이고, 전류를 많이 요구하는 multi-finger의 전력증폭기 소자에서도 더욱 유리함을 알 수 있다. 최근 많은 관심을 끌고 있는 RF 통신용 CMOS 전력증폭소자로서의 응용에 있어서도 소자의 신뢰성이나 IMD 특성에 유용해 보인다.

이상으로서 $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ 의 이중접합 구조를 사용하는 pMOSFET의 저주파잡음 특성에 대해 살펴 보았다. SiGe pMOS는 거기에다가 델타도핑을 사용하지 않아도 기존의 Conventional MOS 소자에 비해 우수한 1/f 잡음특성을 보이는데, 델타도핑을 적용하면 더욱 성능이 개선됨을 알 수 있었다. 잡음감소에 기여하는 물리적인 원인으로 델타도핑에 의해 운반자의 이동을 일정한 채널영역으로 제한하여 CMF component를 줄인다.

향후 게이트 누설전류, 게이트-드레인, 채널-bulk 사이에 인가되는 전계의 분포와 그에 따른 hot carrier의 생성에 따른 세부적인 영향을 이해하기 위해 연구가 요구된다. 그리고 SiGe/Si 구조에서 델타도핑의 위치와 농도의 변화와 같은 소자의 구조에 따른 영향도 1/f 잡음을 최소화한 소자의 설계에 필요로 된다.

4. 결 론

본 논문에서는 $\text{Si}_{0.8}\text{Ge}_{0.2}$ p-MOSFET 소자의 바이어스 조건, 소자 크기, 델타도핑에 따른 1/f 잡음 특성을 분석하였다. $|V_G - V_{th}|$ 를 0.1 V에서 0.9 V까지 변화시켜 측정된 결과 잡음이 델타도핑이 없는

소자에서 100배, 델타도핑 된 소자에서 60배 정도 증가하였다. 드레인 바이어스를 -100 mV에서 -400 mV까지 변화시켜 측정된 결과에서도 델타도핑이 없는 소자에서 30배, 델타도핑 된 소자에서 23배 정도 잡음이 증가함을 확인할 수 있었다. 소자의 크기에 따른 잡음 특성 변화에서도 게이트의 면적이 넓어질수록 Noise Spectral Density도 증가하였다. 동일한 바이어스 조건에서 델타도핑 된 소자와 안 된 소자를 비교해본 결과에서는 델타도핑 한 소자에서 심하게 감소한 잡음 특성을 보였다. 소자의 소스-드레인에 흐르는 전류가 증가하면서 채널과 산화막 계면에서 trap charge에 의한 쿨롱 산란이 증가하여 잡음이 증가되고, 인가된 바이어스가 증가할수록 드레인의 높은 전계로 인해 잡음이 증가한 것으로 사료된다.

감사의 글

본 연구는 학술진흥재단의 신진교수지원사업 (KRF-2004-003-D0189)에 의해 수행되었습니다.

참고 문헌

- [1] 송영주, 김상훈, 이내용, 강진영, 심규환, “저온 래디컬산화법에 의한 고품질 초박막 게이트 산화막의 성장과 이를 이용한 고성능 실리콘-게르마늄 이중구조 CMOS의 제작”, 전기전자재료학회논문지, 16권, 9호, p. 756, 2003.
- [2] A. D. Lambert, B. Alderman, R. J. P. Lander, E. H. C. Parker, and T. E. Whall, “Low frequency measurements of P-channel $\text{Si}_{1-x}\text{Ge}_x$ MOSFETs”, IEEE Electron Device, Vol. 46, No. 7, p. 1484, 1999.
- [3] 양현덕, 심규환, “실리콘-게르마늄 반도체의 기술동향”, ITFIND 주간기술동향, 1157호, 2004.
- [4] McWhorter, A. L., “Semiconductor surface physics”, University of Pennsylvania Press, Philadelphia, USA, p. 27, 1957.
- [5] Hooge, F. N., Kleinpenning, T. G. M., and Vandamme, L. K. J., “Experimental studies in 1/f noise”, Rep. Prog. Phys., Vol. 44, No. 5, p. 497, 1981.
- [6] Hung, K. K., Ko, P. K., Hu, C., and Cheng,

- Y. C., "A unified model for the flicker noise in metal-oxide-semiconductor field effect transistor", *IEEE Trans. Electron Devices*, Vol. 37, No. 3, p. 654, 1990.
- [7] Serguei Okhonin, Marcel A. Py, and Bogdan Geogescu, "DC and low-frequency noise characteristics of SiGe P-channel FET's design for 0.13- μm technology", *IEEE Electron Device*, Vol. 46, No. 7, p. 1514, 1999.
- [8] Y.-J. Song, S.-H. Kim, S.-H. Lee, H.-C. Bae, J.-Y. Kang, K.-H. Shim, J.-H. Kim, and J.-I. Song, "DC and FR characteristics of RPCVD grown modulation doped $\text{Si}_{0.8}\text{Ge}_{0.2}$ pMOSFETs", *Solid-State Electronics*, Vol. 48, p. 315, 2003.
- [9] 나준희, 최서윤, 김용구, 이희덕, "PMOSFET에서 hot carrier lifetime은 hole injection에 의해 지배적이며, nano-scale CMOSFET에서의 NMOSFET에 비해 강화된 PMOSFET 열화 관찰", *전자공학회논문지*, 41권, 7호, p. 592, 2004.
- [10] M. Myronov, S. Durov, O. A. Mironov, E. H. C. Parker, T. E. Whall, T. Hackbarth, G. Hock, H. J. Herzog, and U. Konig, "Low-frequency noise suppression and dc characteristics enhancement in sub- μm metamorphic p-MOSFETs with strained $\text{Si}_{0.3}\text{Ge}_{0.7}$ channel grown by MBE", *Applied Surface Science*, Vol. 224, No. 2 p. 265, 2004.
- [11] P. W. Chien, S. L. Wu, S. J. Chang, S. Koh, and Y. Shiraki, "High-performance SiGe heterostructure FET grown on silicon-on-insulator", *Materials Science in Semi. Proc.*, Vol. 8, p. 367, 2005.
- [12] Jomaah, J. and Balestra, F., "Low-frequency noise in advanced CMOS/SOI devices", *IEE Proc. Circuits and Devices Syst.*, Vol. 151, No. 2, p. 111, 2004.