

USN/RFID Reader용 저전력 시그마 델타 ADC 변환기 설계에 관한 연구

Design of Low Power Sigma-delta ADC for USN/RFID Reader

강이구¹, 현득창¹, 홍승우², 이종석², 성만영^{2,a}

(Ey Goo Kang¹, Deuk Chang Hyun¹, Seung Woo Hong², Jong Seok Lee², and Man Young Sung^{2,a})

Abstract

To enhance the conversion speed more fast, we separate the determination process of MSB and LSB with the two independent ADC circuits of the Incremental Sigma Delta ADC. After the 1st Incremental Sigma Delta ADC conversion finished, the 2nd Incremental Sigma Delta ADC conversion start while the 1st Incremental Sigma Delta ADC work on the next input. By determining the MSB and the LSB independently, the ADC conversion speed is improved by two times better than the conventional Extended Counting Incremental Sigma Delta ADC. In processing the 2nd Incremental Sigma Delta ADC, the inverting sample/hold circuit inverts the input the 2nd Incremental Sigma Delta ADC, which is the output of switched capacitor integrator within the 1st Incremental Sigma Delta ADC block. The increased active area is relatively small by the added analog circuit, because the digital circuit area is more large than analog. In this paper, a 14 bit Extended Counting Incremental Sigma-Delta ADC is implemented in 0.25 μm CMOS process with a single 2.5 V supply voltage. The conversion speed is about 150 Ksamples/sec at a clock rate of 25 MHz. The 1 MSB is 0.02 V. The active area is $0.50 \times 0.35 \text{ mm}^2$. The averaged power consumption is 1.7 mW.

Key Words : USN/RFID, Reader, ADC, Conversion speed, Sigma-delta, Low power

1. 서론

디지털 영상, 의료 영상, 첨단 오디오 응용, 무선 통신 시스템 등의 다양한 기기들이 발전함에 따라 빠른 신호 처리 등의 중요성이 대두되었다. 디지털 시스템은 신호 연산의 용이성, 빠른 처리속도, 노이즈 감소 등의 다양한 장점을 가지므로 이 장점들을 응용한 연구가 증가하였다. 이에 따라 디지털 신호처리를 위해 아날로그 신호를 디지털로 바꾸는 아날로그 디지털 변환기가 중요한 회로로 부각되었으며 영상 매체와 멀티미디어 기기의 등장에

따라 고성능 고해상도의 아날로그 디지털 변환기에 대한 수요가 매우 증가하고 있다.

본 논문에서는 USN/RFID Reader에 적합한 성능을 가지는 아날로그 디지털 변환기의 설계에 연구 초점을 두었다. 또한 시제품으로 제작한 USN/RFID Reader에 적합한 A/D 변환기를 제안하고 설계하였다. USN/RFID Reader의 아날로그 출력 신호가 지속되는 시간은 15 μsec 이다. 그러므로 ADC의 변환 시간은 15 μsec 이내이어야 한다. 적용하려는 A/D 변환기의 아날로그 신호가 이미지 정보이므로 14 비트의 고해상도로 설계하였다.

1. 극동대학교 정보통신학부
(충북 음성군 왕장리 산 5번지)
2. 고려대학교 전기공학부
(서울시 성북구 안암동 5가 1)
a. Corresponding Author : semicad@korea.ac.kr
접수일자 : 2006. 6. 7
1차 심사 : 2006. 8. 7
심사완료 : 2006. 8. 21

2. 확장 카운팅 증분형 시그마 델타 A/D 변환기

그림 2.1은 확장 카운팅 증분형 시그마 델타 A/D 변환기(Extended Counting Incremental Sigma

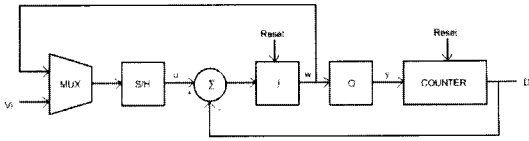


그림 2.1. 확장 카운팅 증분형 시그마 델타 A/D 변환기 회로의 블록 다이어그램.

Fig. 2.1. Block diagram of extended counting incremental sigma-delta A/D converter circuit.

Delta ADC) 회로의 구성 블록을 나타내고 있다. 회로 구성을 보면 MSB의 결정을 위해 초기 A/D 변환기 입력신호가, LSB의 결정을 위해 적분기의 출력 신호 $W[i]$ 가 순차적으로 시그마 델타 모듈레이터의 입력으로 인가되도록 MUX 회로, MSB 또는 LSB를 결정하는 A/D 변환기, 변환 시간동안 신호 U가 일정한 입력 전압값을 유지하도록 하는 샘플앤홀드 회로, 적분기, 1 비트의 비교기로 구성하였고, 출력단은 데시메이션 필터를 간단한 카운터로 구성하였다.

그림 2.2에 본 논문에서 제안하여 속도를 향상한 증분형 시그마 델타 A/D 변환기의 블록 다이어그램을 나타내었다. 디지털 출력값 $D[i]$ 는 $W[N+1]$ 과 공통 모드 전압 V_{cm} 사이의 전압 비교를 통해 결정된다. 디지털 출력의 1 비트 차이를 결정하는 입력 전압의 1 LSB 전압 차이가 클럭 시간 N 뒤에 적분기의 출력 전압값의 차이가 V_{cm} 전압과 V_{REF} 전압 차이가 같을 때라는 것을 수식 (3.8)로부터 알 수 있다. 입력 신호가 샘플앤홀드 회로의 입력에 인가되고, MSB의 비트를 결정하는 동안 신호가 1번째 증분형 시그마 델타 모듈레이터의 입력에 들어간다. 증분형 시그마 델타 A/D 변환기의 동작을 통해 MSB가 결정된 뒤, 1번째 증분형 시그마 델타 A/D 변환기의 적분기의 출력 전압 값이 샘플앤홀드 회로의 입력으로 인가된다. LSB를 결정을 위한 2번째 증분형 시그마 델타 A/D 변환기의 스위치 커패시터 적분기에 연결된 적분기와 LSB를 카운트하기 위한 카운터를 초기화해야 하므로 리셋 신호가 2.5 V로 된다. 2번째 증분형 시그마 델타 A/D 변환기의 동작을 통하여 LSB의 비트를 결정한다. MSB가 결정되면 임시적으로 저장하고 다시 입력신호를 받아들여 1번째 증분형 시그마 델타 A/D 변환기가 동작한다.

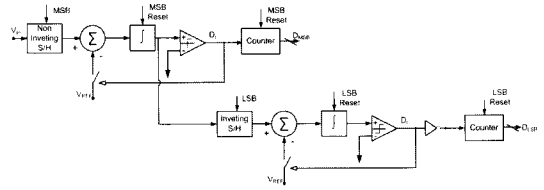


그림 2.2. MSB와 LSB의 비트를 독립적으로 결정하는 확장 카운팅 증분형 시그마 델타 A/D 변환기 회로의 블록 다이어그램.

Fig. 2.2. Block diagram of extended counting incremental sigma-delta A/D converter circuit to decide MSB and LSB bit, separately.

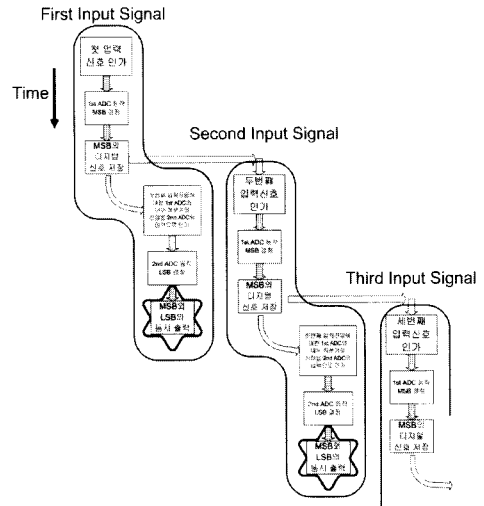


그림 2.3. MSB와 LSB의 비트를 독립적으로 결정하는 확장 카운팅 증분형 시그마 델타 A/D 변환기의 동작 흐름도.

Fig. 2.3. Operating flow of extended counting incremental sigma-delta A/D converter circuit to decide MSB and LSB bit, separately.

그림 2.3은 본 논문에서 제안한 확장 카운팅 시그마 델타 A/D 변환기의 동작 상황을 간단한 흐름도로 나타내었다. 아날로그 회로의 면적을 클럭을 생성하는 디지털 회로의 면적에 비하여 작기 때문에 추가한 아날로그 회로에 의한 면적의 증가는 전체 면적에 비하여 상대적으로 작다.

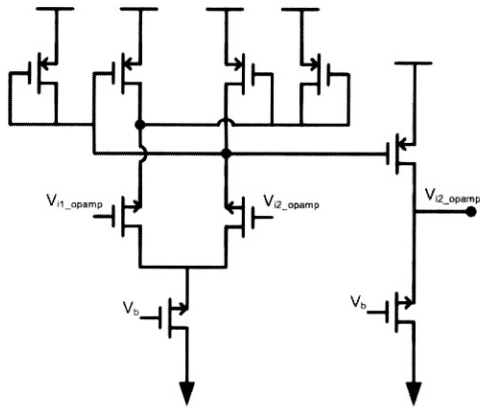


그림 3.1. 연산증폭기의 회로 구성도.
Fig. 3.1. Circuit of op-amp.

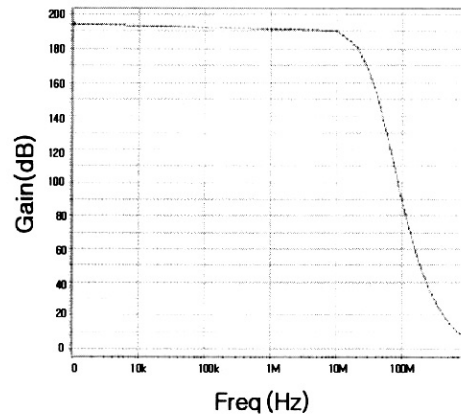


그림 3.3. 연산증폭기의 주파수 응답 특성.
Fig. 3.3. Frequency response of op-amp.

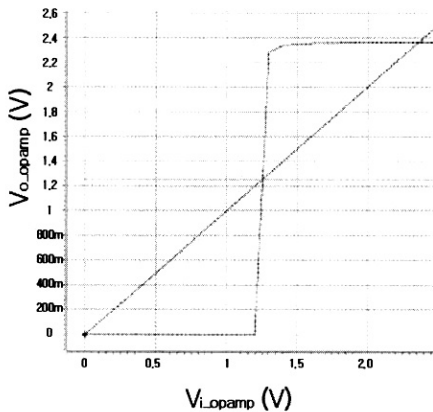


그림 3.2. 연산증폭기의 DC 시뮬레이션 특성.
Fig. 3.2. DC characteristic of op-amp.

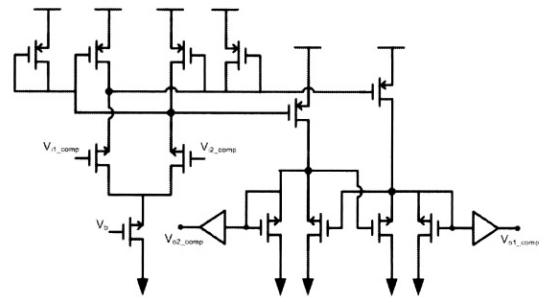


그림 3.4. 비교기의 회로 구성도.
Fig. 3.4. Circuit of comparator.

3. 제안한 회로의 특성 해석 및 고찰

3.1 연산증폭기

그림 3.1에서 +, - 의 두 입력을 받아들이는 2개의 NMOS소자에서 신호를 받아들여 공통 소스 증폭기로 동작한다. NMOS와 연결된 4개의 PMOS중에서, 2개의 PMOS 소자는 다이오드 연결 부하로 동작하여 NMOS의 드레인에 대하여 저항으로서 동작한다. 출력 전압은 NMOS의 g_m 값에 비례하고 PMOS의 g_m 값에 반비례한다. 다른 2개의 PMOS소자에서 각각의 드레인과 게이트는 반대로 연결되어 양의 피드백으로서 작용하게 된다. 그래서 입력이 큰 차이에 대해서 +, -의 입력 전압값에 따라

증폭 능력이 달라진다. 이로 인해서 양의 피드백으로 차동 증폭 능력이 더 강하게 동작시킬 수 있다. 그림 3.2의 DC 분석에서 선형성이 유지됨을 확인하였다. 그림 3.3의 AC 분석으로부터 이 비교기 회로는 40 MHz까지 동작한다.

3.2 비교기

비교기는 래치형 비교기로 2 단으로 설계하였다. 첫 번째 단은 전치 증폭기로서 두 입력 전압을 각각 증폭하여 2번째 단의 비교기 동작을 원활하게 만든다. 1번째 단은 OPAMP와 마찬가지로 방식으로 설계하였다. 즉, 입력단은 공통 소스 증폭기로 동작하고, 부하 부분은 다이오드 연결 모드의 MOS와 양의 피드백 동작의 MOS로 구성되어 있다. 두 번째 단은 양의 피드백 구조를 다시 이용하여 입력 차이를 더 크게 한 뒤, 인버터의 사이즈를 조절하여 동작을 정확하게 동작하도록 조절하였다.

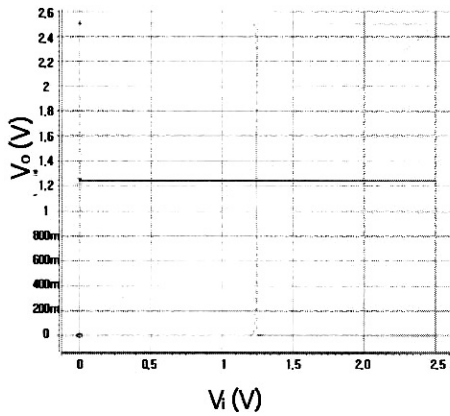


그림 3.5. 비교기의 시간 응답 특성.
Fig. 3.5. Time response of comparator.

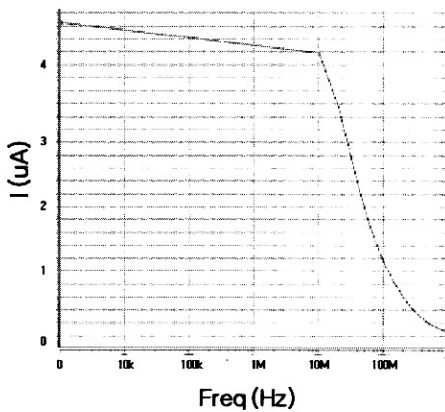


그림 3.6. 비교기의 주파수 응답 특성.
Fig. 3.6. Frequency response of comparator.

비교하는 두 신호는 입력 신호 (V_{i1})와 공통 모드 전압 ($V_{i2}=V_{cm}$)으로서, 입력신호가 공통모드 전압보다 크면 V_{o1_comp} 이 2.5 V이고 V_{o2_comp} 가 0 V를 출력하고, 입력신호가 공통모드 전압보다 작으면 V_{o1_comp} 이 0 V이고 V_{o2_comp} 가 2.5 V를 출력하는 회로이다. 클럭 주파수가 50 ns의 주기이므로 20 MHz 이상의 주파수에서 동작하면 정확히 동작하게 된다. 그림 3.5의 DC 분석으로부터 입력전압 차이가 1 mV일 때의 선형 동작을 확인하였다. 그림 3.6의 AC 분석으로부터 이 비교기 회로는 38 MHz까지 동작시킬 수 있다. 전류는 170 μ A가 흐른다.

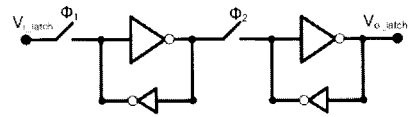
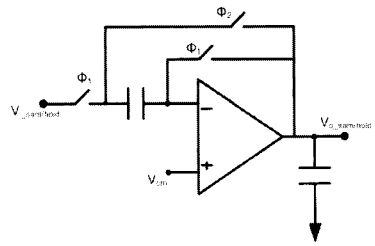
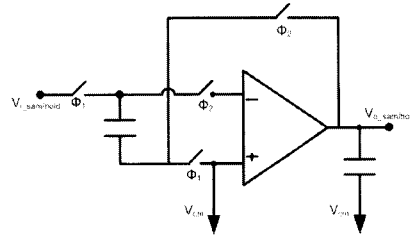


그림 3.7. 래치의 회로 구성도.
Fig. 3.7. Circuit of latch.



(a)

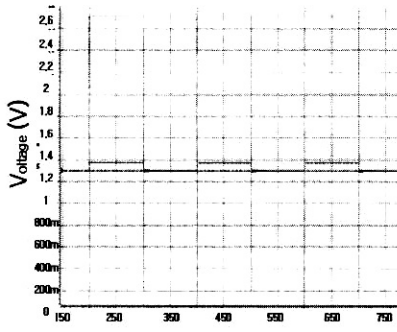


(b)

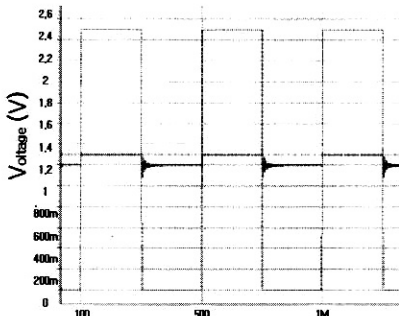
그림 3.8. 회로의 구성도.
(a) 샘플앤홀드 회로
(b) 반전 샘플앤홀드 회로
Fig. 3.8. Circuit of sample & hold and inversion sample & hold circuit.
(a) sample & hold circuit
(b) inversion sample & hold circuit

3.3 래치

그림 3.7에서 인버터의 기호의 크기의 차이는 전류 전도능력의 차이를 의미하므로 두 인버터에서 NMOS 소자와 PMOS소자의 폭의 비율은 같지만, 큰 크기의 기호인 인버터가 소자의 폭이 더 길고 길이는 더 짧다. 2개의 래치를 비중첩 클럭인 Φ_1 과 Φ_2 를 이용하여, 증폭 모드에서 출력 전압이 이전 출력전압을 유지하도록 클럭 Φ_1 은 스위치드 커패시터의 샘플링 모드에서 2.5 V가 되고 클럭 Φ_2 은 0 V가 된다. 스위치드 커패시터의 증폭 모드에서는 반대로 Φ_1 은 스위치드 커패시터의 샘플링 모드에서 0 V가 되고 클럭 Φ_2 은 2.5 V가 된다.



(a)



(b)

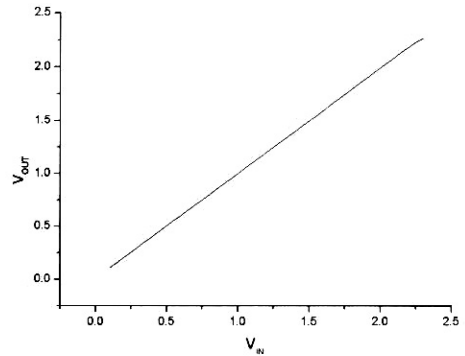
그림 3.9. 클럭 변화에 따른 회로의 시간 응답 특성.
 (a) 입력전압이 1.1 V일 때, 샘플앤홀드 회로의 특성
 (b) 입력전압이 1.3 V일 때, 반전 샘플앤홀드 회로의 특성

Fig. 3.9. Time response according to clock variation.
 (a) sample & hold circuit (input voltage = 1.1 V)
 (b) inversion sample & hold circuit (input voltage = 1.3 V)

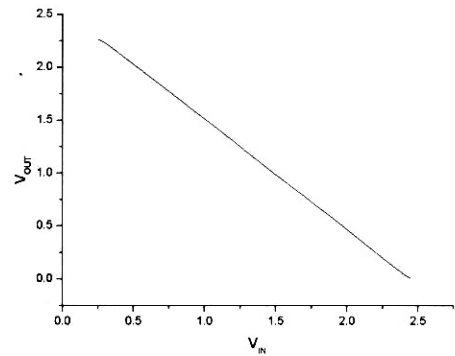
그러므로 각 클럭은 스위치드 커패시터에서 이용한 비중첩 클럭 ϕ_1 과 ϕ_2 을 이용한다.

3.4 샘플앤홀드 회로와 반전 샘플앤홀드 회로

그림 3.8(a)는 MSB를 결정하기 위해 A/D 변환기의 입력 전압이 일정한 전압으로 유지되도록 하는 역할의 샘플앤홀드 회로를 나타내었다. 그림 3.9(a)는 변환하기 위한 입력 전압이 샘플앤홀드 회로에 입력되었을 때, 클럭 시간동안 입력 전압이 일정하게 출력되어 나오는 시간 응답을 나타내었다. 그림 3.10(a)에서 입력 전압의 증가에 따라 출



(a)



(b)

그림 3.10. 입력 전압에 대한 출력전압 특성 곡선.
 (a) 샘플앤홀드 회로
 (b) 반전 샘플앤홀드 회로

Fig. 3.10. Output voltage characteristics according to input voltage.
 (a) sample & hold circuit
 (b) inversion sample & hold circuit

력전압이 선형적으로 증가하는 것을 확인할 수 있다. 그림 3.8(b)는 LSB를 결정하기 위해 MSB를 결정한 뒤의 증분형 시그마 델타 A/D 변환기의 스위치드 커패시터 적분기의 출력 전압 $W[i]$ 을 반전 샘플앤홀드 회로의 입력으로 받아들여 LSB를 결정하는 동안 반전된 전압이 계속 값을 유지하기 위한 회로이다. 그림 3.9(b)에서 반전 샘플앤홀드 회로에 입력 전압이 0.3 V가 인가되었을 때의 시간 응답을 나타내었다. 클럭 신호가 2.5 V가 된 시간동안 커패시터에 입력전압의 전하량이 저장되고, 클럭 신호가 0 V가 된 시간동안 입력 전압과 공통 모드 전압의 차이의 반대 크기 전압만큼 공통 모드 전압에서 더해진 출력 전압이 일정하게 나온다. 그림 3.9에서 입력 전압이 1.5 V일 때 클럭전압의

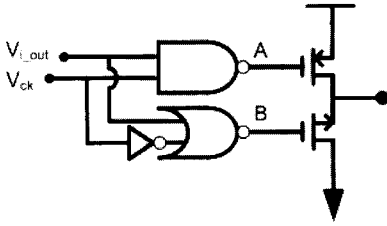


그림 3.11. 출력단의 회로 구성도.
Fig. 3.11. Circuit of output stage.

표 3.1. Output stage의 진리표.
Table 3.1. Truth table of output stage.

V _{IN}	V _{CK}	A	B	V _{OUT}
0 V	0 V	2.5 V	0 V	Hi-Z
0 V	2.5 V	2.5 V	2.5 V	Low
2.5 V	0 V	2.5 V	0 V	Hi-Z
2.5 V	2.5 V	0 V	0 V	High

변화에 따른 출력전압의 시간에 대한 응답을 나타내었다. 그림 3.10(b)에서 입력 전압의 증가에 따라 출력전압이 공통모드 전압인 1.25 V를 기준으로 선형적으로 반전되어 나오는 것을 확인할 수 있다.

3.5 출력단의 설계

그림 3.11은 출력단의 회로도를 나타낸 그림이다. 이 회로의 목적은 클럭이 2.5 V인 경우 출력단의 현재의 입력이 출력 신호로 나오고, 클럭이 0 V인 경우 이전의 출력을 계속 유지하게 하는 것이다. 출력단의 동작에 대한 진리표는 표 4.1에서 나타내었다. 클럭 전압 V_{CK}가 0 V일 때에는 노드 A의 전압값이 2.5 V이고 노드 B의 전압값 0 V가 되어 출력 노드와 연결된 두 트랜지스터가 모두 꺼지므로 출력 전압은 이전 출력값을 유지하고, 클럭 전압 V_{CK}가 2.5 V일 때는 노드 A와 B의 전압값이 입력전압의 반전된 값이 되고 출력전압은 입력전압 값과 같은 값을 가진다. 그래서 클럭 신호가 2.5 V일 때에 출력단의 입력신호를 받아들여 출력하고 클럭 신호가 0 V일 때에는 이전 출력신호를 유지하는 특성을 가진다.

3.6 제한한 확장 카운팅 증분형 시그마 델타 A/D 변환기 회로의 특성 시뮬레이션 결과 및 제작

A/D 변환기의 시뮬레이션은 해상도가 증가할수록 아날로그 신호와 디지털 신호에 대해 정보량의

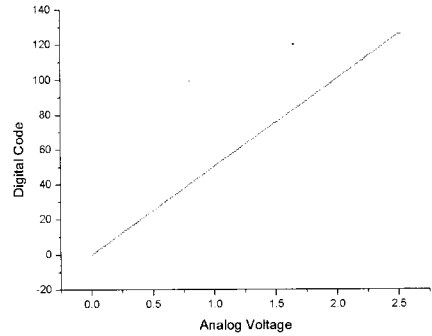


그림 3.12. 7 비트의 MSB를 결정하는 증분형 시그마 델타 A/D 변환기의 INL 시뮬레이션 결과.

Fig. 3.12. INL simulation result of incremental sigma-delta A/D converter to decide MSB bit.

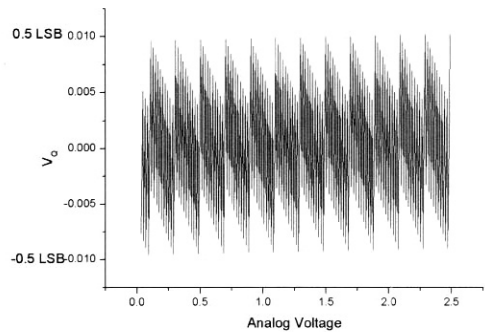


그림 3.13. 7 비트의 MSB를 변환하는 증분형 시그마 델타 A/D 변환기의 양자화 오차의 시뮬레이션 결과.

Fig. 3.13. Quantum error simulation result of incremental sigma-delta A/D converter to convert MSB bit.

증가로 시뮬레이션이 어렵다. 그래서 MATLAB을 이용하여 증분형 시그마 델타 A/D 변환기를 구성하여 시뮬레이션을 수행하였다.

그림 3.12는 증분형 시그마 델타 A/D 변환기가 아날로그 신호를 7 비트의 디지털 신호로 변환할 때의 Integral non-linearity (INL)을 시뮬레이션한 결과로써 아날로그 입력 신호에 대한 디지털 출력 코드에 대한 함수로 나타난다. INL의 그래프에서 아날로그 입력 신호에 대해 디지털 출력 코드가 단조 증가하여 일대일 대응을 이루고 있으므로 본

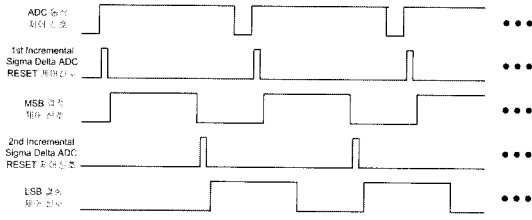


그림 3.14. 확장 카운팅 증분형 시그마 델타 A/D 변환기의 MSB 및 LSB의 변환 타이밍 변화.

Fig. 3.14. Timing variation of extended incremental sigma-delta A/D converter.

본문의 증분형 시그마 델타 A/D 변환기가 높은 선형성을 가지는 것을 확인할 수 있었다. 그림 3.13에서는 입력전압에 따른 양자화 전압을 나타내고 있다. 양자화 오차를 0.5 LSB 이내에서 변하고 있다. 두 그림들로부터 제안한 A/D 변환기가 높은 선형성을 만족하므로 적외선 영상 센서에 적용가능하다는 것을 확인할 수 있었다. 그림 3.14는 확장 카운팅 증분형 시그마 델타 A/D 변환기의 MSB와 LSB를 결정하는 시간의 타이밍을 나타낸 그림이다. A/D 변환기의 동작 시점을 결정하는 신호가 2.5 V가 되면 1번째 증분형 시그마 델타 A/D 변환기의 적분기와 카운터를 초기화하는 리셋신호가 2.5 V가 되어 A/D 변환기 회로를 초기화 한 뒤, MSB를 결정하기 위한 동작을 수행한다. 1번째 증분형 시그마 델타 A/D 변환기의 동작이 끝나서 MSB가 결정되면 2번째 증분형 시그마 델타 A/D 변환기의 적분기와 카운터를 초기화하는 리셋 신호가 2.5 V가 되어 A/D 변환기 회로를 초기화한 뒤, LSB를 결정하기 위한 동작을 수행한다. 1번째 증분형 시그마 델타 A/D 변환기의 동작은 MSB가 결정된 뒤, 다시 시작될 수 있다. MSB가 결정된 뒤, 약간의 여분의 시간 뒤에 다시 다음 신호를 받아들여 MSB를 결정하는 동작 타이밍을 나타내고 있다.

그림 3.15는 MSB와 LSB를 결정하는 각각의 증분형 시그마 델타 A/D 변환기의 스위치드 커패시터 적분기의 출력값의 변화를 나타낸 것이다. MSB의 결정이 끝난 뒤, 그림으로부터 LSB의 결정이 시작되는 것을 확인할 수 있다. 그리고 LSB의 결정이 진행되는 중간에 두 번째 입력 신호에 대한 MSB의 결정 동작이 진행되고 있다는 것을

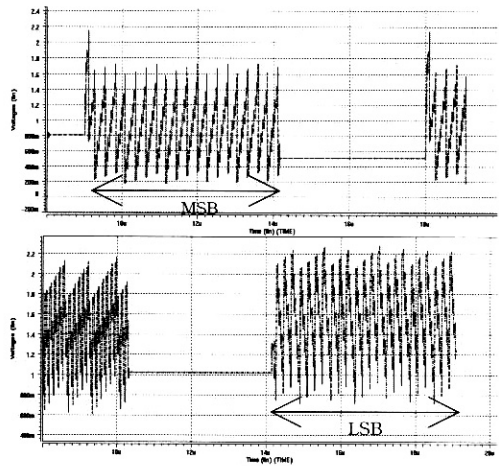


그림 3.15. 입력 전압이 3 mV일 때, 각각의 증분형 시그마 델타 A/D 변환기의 적분기 출력 전압의 시간 응답 특성.

Fig. 3.15. Integrator output time response of incremental sigma-delta A/D converter (input voltage = 3 mV).

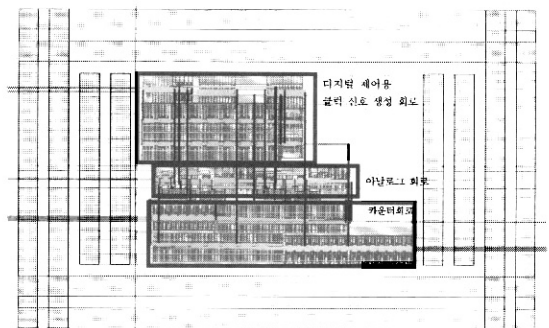


그림 3.16. 제안한 확장 카운팅 증분형 시그마 델타 A/D 변환기 회로의 전체 레이아웃.

Fig. 3.16. Circuit layout of extended counting incremental sigma-delta A/D converter.

알 수 있다. 그림 3.16에서 전체 회로의 레이아웃 그림을 나타내었다. 회로에서는 크게 세 부분으로 나뉜다. 그림에서 가장 위의 사각형 부분은 디지털 클럭을 생성하는 회로들로서 MSB와 LSB를 결정하는 타이밍을 제어하는 제어신호, 초기화하는 리셋 신호의 타이밍을 제어하는 신호, 비중첩 클럭을 생성하는 회로 등이 포함된다. 중간 부분은 A/D 변환기의 핵심 아날로그 회로부분으로 연산증폭기

표 3.2. 기존 증분형 시그마 델타 A/D 변환기들과의 성능 비교.

Table 3.2. Performances of conventional incremental and proposed sigma-delta A/D converters.

논문 저자 파라미터	Roman Genov [8]	Christer Jason [2]	This Paper
공정(μm)	0.5	0.8	0.25
해상도(bit)	8	16	14
변환속도(/sec)	100	12.8	150
클럭주파수(MHz)	1.67	3.4	25
면적(mm ²)	0.014 × 0.85	10.2 × 1.51	0.500 × 0.3501
전력소모(mW)	2.6	130	1.7

회로, 스위치드 커패시터 적분기, 비교기, 래치 회로 등이 포함된다. 세 번째 부분의 회로는 비교기에서 나오는 양자화된 디지털 출력값을 카운트하여 고해상도의 디지털 출력으로 만들기 위한 카운터와 출력단 회로로 구성되어 있다. 회로의 외곽을 둘러싼 4 개의 연결선은 아날로그와 디지털 회로의 V_{DD}와 V_{SS}를 분리하여 설계한 것이다.

표 3.2 는 기존의 유사한 증분형 시그마 델타 A/D 변환기들과 특성을 비교한 표이다. 기존 A/D 변환기들과 비교하여 대체로 전력 소비가 낮고 향상된 해상도와 높은 변환 속도와 작은 면적을 차지하는 A/D 변환기를 설계하였다.

4. 결론

본 논문에서는 ROIC의 동작 특성에 알맞도록 A/D 변환기에 저전력과 고해상도 특성의 기존 확장 카운팅 증분형 시그마 델타 A/D 변환기 회로에 MSB를 결정하는 회로와 LSB를 결정하는 회로를 각각 분리하여 독립적으로 동작하도록 설계하여 속도를 개선하였다. 본 논문은 제안한 회로 구성을 토대로 각 특성 분석을 하고 최적화 조건의 도출을 시도한 연구로서 본 논문에서 설계한 A/D

변환기는 14 비트 해상도에 변환 속도는 150 Ksamples/sec이며 스위치드 커패시터에 이용한 클럭의 주파수는 25 MHz이다. MATLAB 시뮬레이션을 통하여 구한 7 비트의 증분형 시그마 델타 A/D 변환기의 INL과 DNL 특성으로부터 1 LSB의 전압은 0.01983 V이고, 전체 A/D 변환기의 1 LSB의 전압은 0.000393 V임을 확인할 수 있었으며, 0.25 μm CMOS 공정 파라미터로 회로 레이아웃을 설계하고 칩을 제작하였고, 시뮬레이션 결과를 통해 검증하였다. 따라서 본 논문에서 제안한 A/D 변환기를 공정 조건을 최적화하면서, 저전력 고해상도가 요구되는 USN/RFID등의 응용분야에 적용한다면 일익을 담당할 수 있다고 판단한다.

감사의 글

본 논문은 산업자원부의 2006 공동핵심기술개발사업의 지원에 의해 이루어졌으며, 관계부처에 감사드립니다.

참고 문헌

- [1] C. Jansson, "A high resolution, compact, and low-power DC suitable for array implementation in standard CMOS", IEEE T. Circuits and Systems II, Vol. 45, No. 4, p. 904, 1995.
- [2] A. Bertl, "A high precision ADC system for instrumentation", IEE, Advanced A-D and D-A Conversion Techniques and their Applications, Vol. 4, No. 393, p. 60, 1994.
- [3] J. C. Candy and G. C. Temes, "Oversampled methods for A/D and D/A conversion", in Oversampled Delta-Sigma Data Converters, IEEE Press, p. 1, 1992.
- [4] J. C. Candy and G. C. Temes, "Oversampling method for data conversion", IEEE Pacific Rim Conference on Communication, Computer And Signal Processing, Vol. 1, p. 168, 1996.
- [5] J. Robert, G. C. Temes, R. Dessoulavy, and P. Deval, "A 16-bit low-voltage CMOS A/D converter", IEEE Jour. Solid-State Circuits, Vol. SC-22, No. 2, p. 157, 1987.