

ZrO₂와 SiO₂ 절연막에 따른 Ru-Zr 금속 게이트 전극의 특성 비교

Property Comparison of Ru-Zr Alloy Metal Gate Electrode on ZrO₂ and SiO₂

서현상¹, 이정민¹, 손기민¹, 홍신남^{1,a}, 이인규², 송요승²

(Hyun-Sang Seo¹, Jeong-Min Lee¹, Ki-Min Son¹, Shin-Nam Hong^{1,a}, In-Gyu Lee², and Yo-Seung Song²)

Abstract

In this dissertation, Ru-Zr metal gate electrode deposited on two kinds of dielectric were formed for MOS capacitor. Sample co-sputtering method was used as a alloy deposition method. Various atomic composition was achieved when metal film was deposited by controlling sputtering power. To study the characteristics of metal gate electrode, C-V(capacitance-voltage) and I-V(current-voltage) measurements were performed. Work function and equivalent oxide thickness were extracted from C-V curves by using NCSU(North Carolina State University) quantum model. After the annealing at various temperature, thermal/chemical stability was verified by measuring the variation of effective oxide thickness and work function. This dissertation verified that Ru-Zr gate electrodes deposited on SiO₂ and ZrO₂ have compatible work functions for NMOS at the specified atomic composition and this metal alloys are thermally stable. Ru-Zr metal gate electrode deposited on SiO₂ and ZrO₂ exhibit low sheet resistance and this values were varied with temperature. Metal alloy deposited on two kinds of dielectric proposed in this dissertation will be used in company with high-k dielectric replacing polysilicon and will lead improvement of CMOS properties.

Key Words : Gate electrode, High-k, Ru, Zr, ZrO₂

1. 서론

100 nm 이하의 실리콘 CMOS 소자에서는 단채널 효과를 억제하기 위해 1 nm 이하의 유효 산화막 두께를 필요로 한다[1]. 그러나 현재 사용하고 있는 SiO₂ 절연막으로는 이 조건을 만족하기 힘들기 때문에 high-k 절연막에 대한 연구가 활발히 진행 중이다[2].

현재 게이트 절연막으로 주로 사용되고 있는 SiO₂의 두께가 1 nm 이하가 되면 dopant에 의한 소자의 문턱 전압 변화, 자연 산화막(native oxide) 및 SiO_x 층의 영향에 의한 결함의 증가, 게이트 절연막의 터널링에 의한 허용치 이상의 누설전류 발

생 등의 문제점이 나타나게 된다. 그러나 high-k 절연막을 사용하면 이러한 물리적 한계를 극복할 수 있다. 하지만 high-k 절연막과 폴리실리콘 전극은 계면에서의 활발한 반응 때문에 나노 소자에 적용이 힘들다. 또한 붕소(boron) 침투, 높은 면저항, 게이트 공핍(poly depletion), Fermi level pinning 현상들의 발생으로 인해 폴리실리콘에 대한 새로운 대체 물질의 개발이 필요하게 되었다. 현재 폴리실리콘을 대체할 물질에 대한 연구가 활발히 진행되고 있다. 하지만 금속 전극의 경우에도 적합한 일함수와 열적 안정성 등의 해결해야 할 문제들이 있다. 또한 금속 전극은 절연막의 종류에 따라서 일함수 값이 달라지는 문제도 있다[3].

선행 실험에서 co-sputter 방법을 이용하여 Ru-Zr 금속 게이트 전극을 SiO₂ 절연막 위에 증착한 바 있다[4]. 결과적으로 SiO₂ 절연막 위의 Ru-Zr 전극은 열적·화학적 안정성을 보였으며, NMOS에 적합한 일함수를 가짐이 증명되었다. 본 논문에서는 ZrO₂ 절연막 위에서 적합한 일함수를 나타내는

1. 한국항공대학교 항공전자공학과
(경기도 고양시 덕양구 화전동 200-1)
2. 한국항공대학교 항공재료공학과
a. Corresponding Author : hong@mail.hangkong.ac.kr
접수일자 : 2006. 6. 2
1차 심사 : 2006. 7. 10
심사완료 : 2006. 8. 9

Ru-Zr 금속 조성 비율을 찾았으며, 이 시편의 열적 안정성 여부를 판별하였다. 또한, SiO₂ 절연막 위에 증착시킨 Ru-Zr 금속 게이트 전극과 ZrO₂ 절연막 위에 증착시킨 Ru-Zr 금속 게이트 전극의 시편의 전기적인 특성을 비교하여 ZrO₂ 절연막의 적용 가능성에 대해 연구하였다.

2. 실험

MOS 커패시터(capacitor)를 제작하기 위하여 붕소로 8×10¹⁷ cm⁻³ 만큼 도핑된 (100) p형 실리콘 기판 위에 350 nm의 필드 산화막(field oxide layer)을 성장시켰다. 이후에 약 3 nm의 ZrO₂ 산화막을 PVD(physical vapor deposition)로 증착하였으며, 순도 99.95 %의 Ru 타겟(target)과 순도 99.95 %의 Zr 타겟을 3×10⁻³ torr의 기본 압력에서 스퍼터링 전력을 달리하여 50 nm의 합금 게이트 전극을 증착하였다. 다양한 조성비를 갖는 합금막을 형성하기 위해 Ru와 Zr의 스퍼터링 전력을 조절하여 여섯 조합으로 스퍼터링을 수행하였다. 대기 중의 산소와 Zr이 반응할 경우 합금막의 윗부분에 high-k 산화막이 생성될 수 있으므로 이를 방지하기 위해 합금을 증착한 후에 100 % Ru을 보호막(capping layer)을 스퍼터링 하였다. MOS 커패시터는 lift-off 공정으로 패터н(pattern)되었다.

C-V 특성과 I-V 특성은 각각 HP 4280 LCR meter(1MHz)와 HP 4155A 반도체 분석기를 사용하여 10⁻⁴ cm² 면적의 MOS 커패시터에서 측정되었다. 시편의 평탄 전압(V_{FB})과 EOT는 NCSU (North Carolina State University) C-V 양자 모델(quantum model)[5]을 이용하여 구하였다. 4점 탐침기를 사용하여 금속막의 면저항을 측정하였다. 합금의 열적 안정성을 검증하기 위해 시편을 아르곤(Ar) 분위기로 600 °C와 700 °C에서 10초간 RTA(rapid thermal annealing) 하였다. 열처리 이후의 EOT와 일함수를 열처리 전의 결과와 비교하였다.

3. 결과 및 고찰

그림 1은 ZrO₂ 절연막 위에 증착된 Ru-Zr 금속 게이트 전극 시편의 C-V 특성 곡선이다. C-V 특성 곡선의 데이터를 NCSU 프로그램으로 계산하여 EOT 값과 V_{FB} 값을 얻었다. 또한 프로그램을 이용하면 다음 두 식을 사용하여 일함수 값을 산출한다.

$$V_{FB} = \Phi_{MS} \pm Q_f / C_{acc} \quad (1)$$

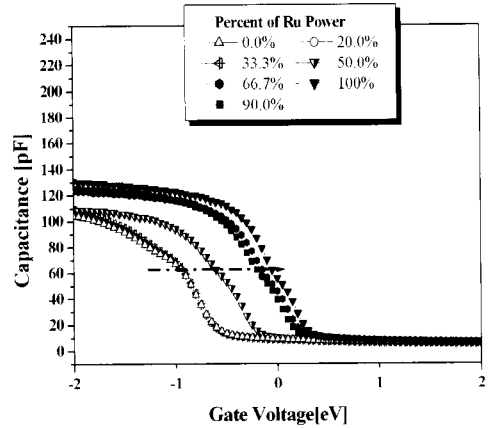


그림 1. ZrO₂ 절연막 위에 증착된 Ru-Zr 금속 게이트 전극 시편의 열처리 전 C-V 특성 곡선.

Fig. 1. C-V Characteristics of as-deposited Ru-Zr Metal Gate Electrode on ZrO₂.

$$\Phi_{MS} = \Phi_M - \left(\chi + \frac{E_g}{2q} + \psi_B \right) = 0; \quad p\text{-type} \quad (2)$$

여기서 Φ_{MS} 는 금속과 반도체의 일함수 차이이며 Φ_M 은 금속의 일함수, 그리고 ψ_B 는 금속과 절연막 사이의 에너지 차이이다. C_{acc} 는 축적(accumulation) 상태에서의 정전 용량이며, χ 는 반도체의 전자 친화도, E_g 는 반도체의 에너지 간극(energy band gap)이다. 이 수식에서 고정 전하가 음전하인 경우 (+)부호 수식을 만족하고 양전하인 경우 (-)부호 수식을 만족한다. 그림 1에서 Ru 원소의 스퍼터링 전력 비율이 증가함에 따라 C-V 곡선이 오른쪽으로 이동하는 것을 알 수 있으며, 이는 Ru의 원소 비율 증가에 따라 일함수 값이 증가하는 현상을 나타낸다.

표 1. Ru 전력 비율에 따른 합금의 일함수.

Table 1. Work function extracted from C-V curve for various percent of Ru power.

Percent of Ru sputtering power [%]	Work function [eV]
0	3.8
20	4
33.3	4.1
50	4.3
66.7	4.8
90.9	4.9
100	5

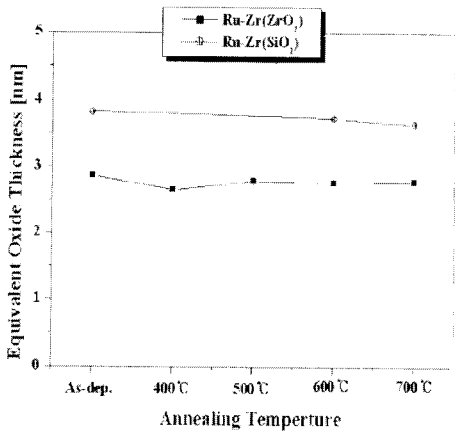


그림 2. 열처리 온도에 따른 Ru-Zr 합금에 대한 SiO₂와 ZrO₂의 유효 산화막 두께 변화.

Fig. 2. Effective oxide thickness change of SiO₂ and ZrO₂ with Ru-Zr alloy as a function of annealing temperature.

표 1은 Ru의 전력 비율에 따른 일함수 변화를 나타낸다. Ru의 전력 비율이 50 % 이하일 때 일함수는 3.8 eV와 4.3 eV 사이로 NMOS에 적합한 값을 나타낸다. Ru 전력 비율이 0 %, 20 %인 시편의 일함수는 NMOS에 사용하기 적합하지만 열처리 이후에 계면과의 반응으로 인해 시편의 축적 정전용량이 크게 증가하는 문제를 나타내었다. 50 %인 시편의 경우에는 600 °C 열처리 이후에 일함수의 값이 4.42 eV까지 증가하였으며, 이 값은 mid-gap에 위치하여 NMOS와 PMOS에 모두 적합하지 않다. 따라서 본 연구에서는 두 경우를 제외하고, Ru 스퍼터링 전력 비율이 33.3 %인 SiO₂ 절연막 시편과 ZrO₂ 절연막 시편의 특성 분석을 하였다. 이때 합금 조성비는 Ru 49.6 %, Zr 50.4 %인 것으로 측정되었다.

그림 2에는 두 절연막 위에 증착된 게이트 전극의 열처리에 따른 EOT 변화를 나타내었다. SiO₂ 시편의 EOT는 열처리 전 3.82 nm에서 700 °C 열처리 이후에는 3.63 nm로 ~0.19 nm의 변화를 보였다. ZrO₂ 시편의 경우에는 열처리 전 2.86 nm에서 700 °C 열처리 후 2.77 nm로 ~0.09 nm의 변화를 나타내었다. 두 시편 모두 약간의 EOT의 변화를 보였으나 측정 오차를 감안한다면 거의 변화를 보이지 않았으며 이것은 700 °C까지 열적으로 안정함을 나타낸다.

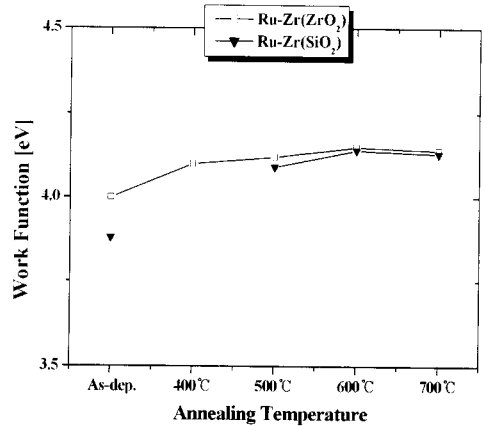


그림 3. 열처리 온도에 따른 일함수의 변화.

Fig. 3. Change of work function with annealing temperature.

게이트 물질이 열적으로 안정하기 위해서는 열처리 이후에 절연막과 계면 사이에 새로운 계면층이 형성되지 않아야 하며 일함수도 일정해야 한다. 열처리에 의해 합금 게이트의 일함수가 크게 변한다면 소자의 문턱전압도 변하게 된다. 소자가 일정한 성능을 유지하기 위해서 금속 게이트는 열처리 이후 일정한 일함수를 가져야 한다. 그림 3에 열처리 이후의 두 시편에 대한 일함수 변화를 나타내었다. SiO₂ 시편의 경우 열처리 전 3.88 eV에서 600 °C 열처리 후 4.14 eV, 700 °C에서 4.13 eV로 변화를 나타내었다. ZrO₂ 시편의 경우에는 열처리 전 4.00 eV에서 600 °C 열처리 후 4.14 eV, 700 °C 열처리 후 4.13 eV로 변화를 나타내었다. 열처리 전후로 두 시편의 일함수 값은 SiO₂ 시편의 경우 ~0.26 eV, ZrO₂ 시편의 경우 ~0.14 eV 정도의 변화를 보였다. 이런 변화가 발생하는 이유는 열처리를 함에 따라 시편 내에 스퍼터링할 때 발생된 손상과 비활성층이 감소하기 때문이다. 하지만 600 °C 이후에 700 °C까지는 두 시편 모두 큰 일함수 값의 변화를 보이지 않는다. 즉, 두 시편 모두 700 °C까지 열적으로 안정함을 나타낸다.

스퍼터링에 의해 금속막을 증착하면 게이트 산화막에 손상을 줄 수 있으며, 게이트 산화막이 손상되면 누설전류가 증가하게 된다. 게이트 산화막의 무결성 검증을 위해서는 열처리에 따른 누설전류의 변화량을 살펴봐야 한다. 그림 4에 나타낸 700 °C 열처리 후의 누설전류 측정 결과는 열처리

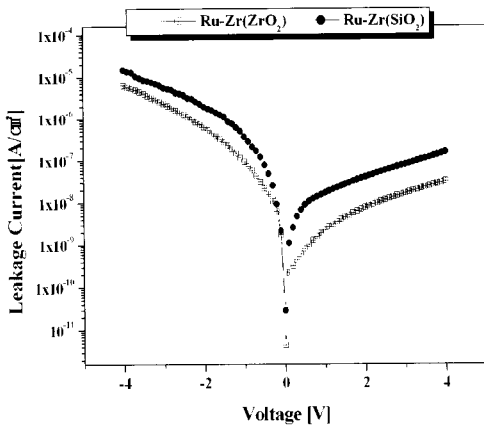


그림 4. 700 °C 급속 열처리 이후 MOS 커패시터의 게이트 누설 전류.

Fig. 4. Leakage current of MOS capacitor after 700 °C rapid thermal annealing.

전과 거의 비슷하여 양호한 게이트 산화막 특성을 나타내었다. 또한 그림에 나타난 바와 같이 700 °C 열처리 후에는 SiO₂ 시편에 비해 ZrO₂ 시편이 누설전류가 적었다. 이것은 실제적인 절연막의 두께가 SiO₂ 시편보다 ZrO₂ 시편이 더 두껍기 때문이다. 그림 4의 누설전류 크기는 empirical 모델로 모의 실험된 SiO₂ 누설전류[6]와 비교했을 때 적절한 값을 나타내고 있다.

폴리실리콘의 큰 문제 중의 하나는 높은 면저항이다. 면저항 값이 높을 경우 소자의 소비 전력이 커짐으로 저전력 소자에 적합하지 않다. 일반적으로 폴리실리콘의 면저항은 80~300 Ω/□이다. 이것은 폴리실리콘에 수행되는 도핑 농도에 따라 달라지며, 금속 게이트의 경우에는 10²² cm⁻³ 이상의 높은 반송자 농도를 가지므로 면저항이 폴리실리콘에 비해 현저하게 낮다.

그림 5는 열처리 온도에 따른 면저항 값의 변화를 나타내고 있다. 두 시편 모두 열처리 이후에도 현재 사용되고 있는 폴리실리콘 게이트의 면저항보다 현저히 낮은 값을 나타내고 있다[7]. 열처리 온도의 증가에 따라 면저항 값의 증가하는 것은 표면 산화와 수소 축적(hydrogen accumulation)에 의한 것이다[8]. 또한, 절연막의 종류에 따라 면저항이 다르게 나타난다. 이러한 이유는 면저항이 절연막과 금속 게이트 물질의 계면 상태에 영향을 받기 때문이다.

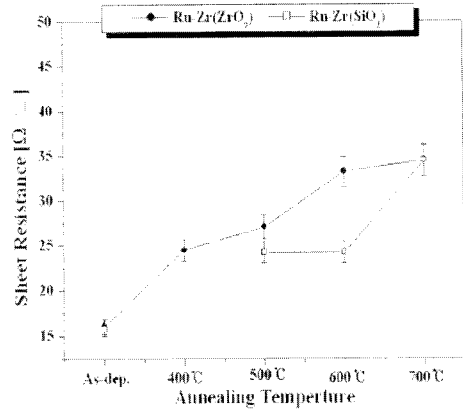


그림 5. 급속 열처리 이후의 면저항 변화.

Fig. 5. The change of sheet resistance after rapid thermal annealing.

4. 결론

Ru-Zr 급속 게이트 전극은 SiO₂ 절연막 위에서 NMOS에 적합한 일함수를 지니며 열적으로 안정함을 확인하였다. 이를 바탕으로 ZrO₂ 절연막 위에 증착된 Ru-Zr 급속 게이트 전극을 SiO₂ 절연막 위의 Ru-Zr 급속 게이트 전극과 비교 분석하여 ZrO₂ 위에서도 NMOS에 적합한 급속임을 확인하였다. 동일한 조성 비율을 가지는 Ru-Zr 합금 게이트 전극의 700 °C 열처리 이후의 일함수 값은 SiO₂ 절연막 위에서는 ZrO₂ 절연막 위에서 4.13 eV로 동일하게 나타나 NMOS에 적합한 일함수를 지니는 것을 확인하였다. 열적 안정성 여부를 판별하기 위해서 열처리 이후의 일함수 값의 변화와 EOT 값의 변화를 살펴 본 결과 SiO₂ 절연막 시편의 경우 일함수 값은 ~0.26 eV, EOT 값은 ~0.19 nm의 변화를 보였고, ZrO₂ 절연막 시편의 경우 일함수 값은 ~0.14 eV, EOT 값은 ~0.09 nm의 변화를 보였다. 두 시편 모두 약간의 변화를 나타내었으나 전기적인 특성에 큰 영향을 끼치지 않음으로서 열적으로 안정함을 나타낸다. 또한 SiO₂ 절연막 시편과 비교하여 ZrO₂ 절연막 시편이 일함수 값의 변화, 면저항, 누설전류 면에서 더 좋은 특성을 나타내었다. 결론적으로 Ru-Zr 급속 게이트는 폴리실리콘을 대신하여 NMOS의 전극으로 적용이 가능하며, 또한 Ru-Zr을 급속 게이트로 사용하였을 때 SiO₂ 절연막을 대신하여 high-k ZrO₂ 절연막이 NMOS에 적용 가능함을 알 수 있다.

감사의 글

본 논문은 2005년도 한국항공대학교 교비 특별 연구과제 연구비에 의하여 지원된 연구 결과입니다.

참고 문헌

- [1] Y. Taur, D. A. Buchanan, W. Chen, D. J. Frank, K. E. Ismail, S. H. Lo, G. A. Sai-Halasz, R. G. Viswanathan, H. J. Wann, S. J. Wind, and H. S. Wong, "CMOS scaling into the nanometer regime", Proceedings of the IEEE, Vol. 85, No. 4, p. 486, 1997.
- [2] Y. C. Yeo, Q. Lu, P. Ranade, H. Takeuchi, K. J. Yang, I. Polishchuk, T. J. King, C. Hu, S. C. Song, H. F. Luan, and D. L. Kwong, "Dual-metal gate CMOS technology with ultrathin silicon nitride gate dielectric", IEEE Electron Device Letters, Vol. 22, No. 5, p. 227, 2001.
- [3] H. Zhong, S. N. Hong, Y. S. Suh, H. Lazar, G. Heuss, and V. Misra "Properties of Ru-Ta alloys as gate electrodes for NMOS and PMOS silicon devices", IEDM Technical Digest, p. 467, 2001.
- [4] 이충근, 서현상, 홍신남, "박막 게이트 산화막에 대한 Ru-Zr 금속 게이트의 신뢰성에 관한 연구", 대한전기학회논문지, 53C권, 4호, p. 208, 2004.
- [5] J. R. Hauser and K. Ahmed, "Characterization of ultrathin oxides using electrical C-V and I-V measurements", Gaithersburg, MD: Nat. Inst. Stand. Technol., 1998.
- [6] W. C. Lee and C. Hu, "Modeling gate and substrate currents due to conduction- and valence-band electron and hole tunneling", Symposium on VLSI Technology Digest of Technical Papers, p. 198, 2000.
- [7] V. Misra, H. Zhong, and H. Lazar, "Electrical properties of Ru-based alloy gate electrodes for dual metal gate Si-CMOS", IEEE Electron Device Letters, Vol. 23, No. 6, p. 354, 2002.
- [8] K. Ino, T. Ushiki, K. Kawai, I. Ohshima, T. Shinohara, and T. Ohmi, "Highly-reliable low-resistivity bcc-Ta gate MOS technology using low-damage Xe-plasma sputtering and Si-encapsulated silicidation process", Symposium on VLSI Technology Digest of Technical Papers, p. 186, 1998.