

10 nm 두께의 니켈 코발트 합금 박막으로부터 제조된 니켈코발트 복합실리사이드의 미세구조 분석

Microstructure Characterization for Nano-thick Nickel Cobalt Composite Silicides from 10 nm-Ni_{0.5}Co_{0.5} Alloy Films

송오성¹, 김상엽^{1,a}, 김종률¹
(Oh-Sung Song¹, Sang-Yeob Kim^{1,a}, and Jong-Ryul Kim¹)

Abstract

We fabricated thermally-evaporated 10 nm-Ni/(poly)Si and 10 nm-Ni_{0.5}Co_{0.5}/(poly)Si structures to investigate the microstructure of nickel silicides at the elevated temperatures required for annealing. Silicides underwent rapid annealing at the temperatures of 600~1100 °C for 40 seconds. Silicides suitable for the silicide process formed on top of both the single crystal silicon actives and the polycrystalline silicon gates. A four-point tester was used to investigate the sheet resistances. A transmission electron microscope and an Auger depth profilescope were employed for the determination of vertical microstructure and thickness. Nickel silicides with cobalt on single crystal silicon actives and polycrystalline silicon gates showed low resistance up to 1100 °C and 900 °C, respectively, while the conventional nickel monosilicide showed low resistance below 700 °C. Through TEM analysis, we confirmed that a uniform, 10~15 nm-thick silicide layer formed on the single-crystal silicon substrate for the Co-alloyed case while a non-uniform, agglomerated layer was observed for the conventional nickel silicide. On the polycrystalline silicon substrate, we confirmed that the conventional nickel silicide showed a unique silicon-silicide mixing at the high silicidation temperature of 1000 °C. Auger depth profile analysis also supports the presence of this mixed microstructure. Our result implies that our newly proposed NiCo-alloy composite silicide process may widen the thermal process window for the silicide process and be suitable for nano-thick silicides.

Key Words : Composite silicide, Ni_{0.5}Co_{0.5} alloy, TEM, Silicide, Silicide

1. 서론

나노 분석 기술은 최근 반도체 소자의 고집적, 고속도화 추세에 따라 반도체 소자의 최소 선폭이 100 nm 이하로 줄어들면서 기존보다 미세하고 정확한 게이트 선폭의 컨트롤이 필요한 고기능 전자 소자를 제조하는데 필요한 기술로 각광받고 있다[1].

반도체 소자의 최소 선폭이 100 nm 이하로 줄어들면서 접촉저항을 최소화시키기 위한 실리사이드 물질의 선택이 일반화되고 있으며, 특히 65 nm 이하의 공정에서는 기존의 실리사이드 보다 더 얇은 50 nm 정도 두께의 고온 안정성이 우수한 나노급 실리사이드가 요구되고 있다[2].

실리사이드는 실리콘과 전이금속이 정량적인 화학비로 결합한 중간상 물질로서, CMOS 소자의 트랜지스터 게이트 상부와 소오스, 드레인 상부에 선택적으로 형성되어, 실리콘 하지층과의 저저항 오믹컨택을 유지시키고 상부 금속 배선층과 실리콘 사이의 확산 방지층으로서의 역할을 담당한다[3-5].

1. 서울시립대학교 신소재공학과
(서울시 동대문구 전농3동 90)
a. Corresponding Author : kimjiyp@uos.ac.kr
접수일자 : 2007. 2. 20
1차 심사 : 2007. 3. 15
심사완료 : 2007. 3. 22

이러한 실리사이드 물질은 살리사이드(salicide : self-aligned silicide) 공정으로 구현되는데, 살리사이드는 말 그대로 마스크 없이 자체적으로 실리사이드가 위치하게 하는 공정으로 게이트 양쪽에 스페이서를 형성시킨 후 기판 전면에서 전이금속을 선택적으로 제거하여 열처리하여 원하는 게이트와 활성화 영역의 상부만 실리사이드화 시키고 잉여의 금속을 제거하는 공정으로 대부분의 최소선폭 0.25 μm 이하의 CMOS 공정에 채택되고 있다[2,6,7].

이러한 마스크 없이 활성화 영역의 상부와 게이트 상부에 선택적으로 저저항 실리사이드를 형성시키는 살리사이드 공정을 통하여 구현되는 기존의 실리사이드로는 TiSi_2 , CoSi_2 , NiSi 등이 있다. 그러나 TiSi_2 는 선폭 의존성과 고온 응집성으로 나노급 살리사이드 공정에는 매우 부적합하며[8,9], CoSi_2 는 기본적으로 disilicide로 실리사이드화 이후 고온 응집성과 부피 팽창의 문제와 실리사이드화 반응 시 자연 산화막을 제거하기 위해 과도한 크리닝 공정이 필요한 문제가 있었다[10]. NiSi 는 비교적 최근에 개발되어 나노급 공정에 적합하지만 700 $^{\circ}\text{C}$ 이상에서 고저항의 NiSi_2 로 변환되어 후속 공정온도를 700 $^{\circ}\text{C}$ 이하로 한정시켜 살리사이드 공정 온도가 제한되는 문제가 있었다[11]. 따라서 기존의 니켈모노실리사이드의 온도에 따른 상변화를 방지하기 위해 니켈 합금 및 첨가원소를 사용하여 상변화 온도를 높이고 니켈모노실리사이드의 안정화 온도 구간을 넓히려는 노력이 계속되어 왔다.

최근에는 이러한 기존 단상 실리사이드의 문제를 극복하기 위해서 기존의 실리사이드의 장점만을 이용하기 위해 Co/Ti, Co/Ni 등의 적층형 박막으로부터 복합 실리사이드를 제조하여 고온 안정성을 1000 $^{\circ}\text{C}$ 까지 획기적으로 향상시킨 정성희 등[12,13]의 보고 및 제 3원소의 첨가로 인한 고온까지 안정성을 향상시킨 예[14]가 있었으나 고저항상의 선택적 제거를 위한 새로운 습식 세정 공정의 개발 필요성과 니켈 파인 실리사이드의 우선 성장에 의한 응집 현상 등의 문제가 있는 것으로 알려지고 있다.

따라서 니켈 합금 및 제 3 원소에 의한 복합 실리사이드를 이용하여 기존의 니켈모노실리사이드의 단점인 고온공정이 불가능한 점과 안정화 온도 구간을 넓히려는 획기적인 공정이 필요하다.

Wei 등은 기존 니켈 모노 실리사이드의 열적 안정성을 개선하기 위해 살리사이드 공정을 위한 니켈층에 Zr 박막을 삽입하여 최종 형성된 NiZrSi 층의 면저항이 2 Ω 보다 낮게 800 $^{\circ}\text{C}$ 까지 안정함을 보고하였다[14].

Doi 등은 poly-Si 위에 Pt의 얇은 중간층과 함께 형성된 Ni 실리사이드 막의 열적 안정성을 확인하기 위해서 350 $^{\circ}\text{C}$ 에서 900 $^{\circ}\text{C}$ 사이의 실리사이드화 온도를 달리해가며 최종 실리사이드 층의 전기적인 특성을 확인하여 약 800 $^{\circ}\text{C}$ 까지 고온 안정성을 확인하였다고 보고한 바 있다[14].

Co는 고온에서 내마모성, 내식성, 기계적 성질이 우수한 원소로 기존의 Co 실리사이드 물질로 채택될 만큼 코발트와 실리콘의 합금은 고온에서도 저항특성이 우수하다. 이러한 이유로 니켈과 코발트 합금을 실리사이드의 형성에 적용한다면 상기 요구 조건을 충족시키면서 역할을 할 수 있다고 예상된다.

실제의 트랜지스터는 단결정 실리콘으로 구성된 소오스와 드레인, 그리고 주로 폴리실리콘으로 형성되는 게이트로 구성된다. 실리사이드는 선택적으로 소오스와 드레인, 그리고 게이트의 상부에 형성되므로 실리사이드 공정에 따라 각각 단결정과 폴리실리콘 위에 형성되는 실리사이드의 특성이 확인되어야 한다. 특히 게이트를 가정한 폴리실리콘 상부의 실리사이드는 금속층과 실리콘층의 상대적인 두께가 달라지고, 결정립계에 의한 확산속도의 차이, 결정립계에 의한 표면 응집현상과 보고된 도치와 혼합현상 등이 예상되지만 나노급 두께의 박막으로 구성된 살리사이드 공정에서는 이러한 문제들이 아직 자세히 보고된 바 없다.

본 연구에서는 Sub-0.1 μm 급 CMOS device에 실리사이드 공정으로 적용될 수 있는 두께 50 nm 이하의 저저항 니켈 코발트 복합 실리사이드를 단결정 실리콘과 다결정 실리콘 기판 위에 형성하여 기존의 니켈모노실리사이드의 안정화 한계온도였던 700 $^{\circ}\text{C}$ 보다 높은 온도에도 견딜 수 있는 고온 안정성과 0.1 μm 급 이하의 선폭에도 대응할 수 있는 두께를 형성할 수 있는지 나노급 박막의 분석에 유용한 투과전자현미경을 활용하여 확인하였다.

2. 실험 방법

실험에 사용된 기판은 직경 100 mm, 두께 550 μm 의 p-type(100) 단결정 실리콘 웨이퍼로서 크리닝이 완료된 기판은 소오스와 드레인을 상정한 활성화 영역을 상정하였고, 200 nm의 열산화막을 가진 실리콘 기판에는 LPCVD를 사용하여 폴리(poly)실리콘을 기판 전면에서 70 nm의 두께로 성장하여 폴리실리콘으로 구성된 게이트를 상정하였다. 각 기판에 자연 산화막을 제거하기 위해 시편은 증착 직전에 RCA세정과 HF 세정을 이용하여 유

기불순물과 자연산화막을 완전히 제거한 후 Ni_{0.5}Co_{0.5} 조성의 니켈 코발트 합금을 10 nm 두께로 열증착기를 이용하여 연속적으로 증착시켜 그림 1과 같이 최종적으로 Ni_{0.5}Co_{0.5}(10 nm)/Single-Si, Ni_{0.5}Co_{0.5}(10 nm)/Poly-Si(70 nm)/SiO₂(200 nm)/Single-Si 구조의 시편을 준비하였다. 한편 비교를 위하여 마찬가지로 방법으로 Co가 첨가되지 않은 Ni(10 nm)/Single-Si, Ni(10 nm)/Poly-Si(70 nm)/SiO₂(200 nm)/Single-Si 구조의 시편도 완성하였다.

완성된 시편들은 10⁻³ torr의 진공에서 7쌍의 할로겐램프로 구성된 RTA를 활용하여 700, 1000 °C의 2가지 조건에서 40초간 열처리하여 실리사이드가 생성되도록 하였다.

열처리가 완료된 시편들은 잉여금속을 제거하기 위해서 80 °C에서 30 %-황산(H₂SO₄)에 10분간 담가 처리하였다.

살리사이드 공정이 완료된 시편은 각 구조별, 실리사이드 온도별로 사점면저항측정기(four point probe, Changmin사, CMT-SR1000N)를 사용하여 면저항(R_s)를 측정하였다.

TEM 관찰을 위한 시편은 일반적인 수직단면 관찰용 TEM 시편 제작방법을 이용하여 제작되었다. 수직단면 관찰을 위해서 2×10 mm² 로 자른 두 조각의 실리사이드 층이 완성된 실리콘 시편을 실리사이드면이 서로 마주보도록 접착제로 접착하고, 외경이 3 mm 인 황동 튜브에 맞도록 초음파로 잘라내어 튜브 내경에 맞도록 접착시켰다. 시편이 장입된 황동 튜브의 양쪽을 정밀 연마기로 연마하여 최종 두께가 20 μm 가 되도록 하여 디스크형 가공을 완료하였다.

두께가 얇아진 디스크형 시편을 다시 딴폴러를 이용하여 디스크 중심부에 위치한 실리사이드층의 단면부의 두께가 0.25 μm가 되도록 하였다. 완성된 디스크시편은 다시 PIPS (precision ion polishing system)을 써서 시편의 중심부가 전자빔에 투명한 100 nm 정도가 되도록 정밀 연마를 실시하였다.

완성된 시편은 JEOL 200 kV 투과전자현미경을 써서 실리사이드부의 SADP(selected area diffraction pattern)와 Bright Field image를 찍어서 성분과 두께를 확인하였다.

생성된 상을 확인하기 위해서 PANalytical사의 모델명 X'Pert PRO를 이용하여 X-선 회절분석을 하였는데, X-선 source는 니켈 필터를 통과시켜 얻은 Cuka로 파장은 1.5405 Å 이었고, 이때 필라멘트 전류는 30 mA, 가속전압은 40 kV 이었다. 스캔 영역은 JCPDS(Joint Committee Powder Diffraction

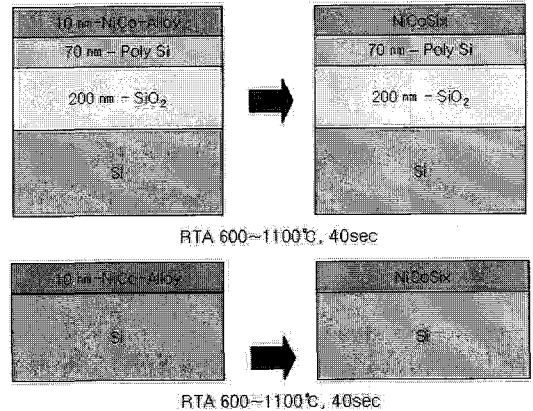


그림 1. 실험공정의 개략도.

Fig. 1. Illustration of the experimental procedure.

Standards)카드 상에 나타나있는 니켈실리사이드를 고려하여 2 θ를 20~80° 범위에서 700, 1000 °C에서 40초간 열처리한 시편의 상을 분석하였다. 얻어진 XRD curve에서 JCPDS 카드를 이용하여 상을 분석하였다.

또한, AES(Auger Electron Spectroscopy, Perkin-Elmer사)를 이용하여 각 어닐링 온도의 시편에 대해 Si, Ni, Co의 조성변화를 스퍼터링 속도를 유지하면서 표면으로부터 측정하여 온도에 따라 생성된 실리사이드층의 화학조성의 정량분석을 시도하였다.

3. 실험결과 및 토의

그림 2(a), (b)에는 각각 활성화 영역을 가정한 단결정 실리콘과 게이트를 상정한 폴리실리콘 위에 기준으로 정한 10 nm-Ni/Si, 10 nm-Ni/Poly-Si와 10 nm-Ni_{0.5}Co_{0.5}/Single-Si, 10 nm-Ni_{0.5}Co_{0.5}/Poly-Si 적층 구조를 600 °C부터 1100 °C까지 RTA 온도를 달리하여 실리사이드화 시킨 실리사이드층의 면저항 측정 결과를 나타내었다.

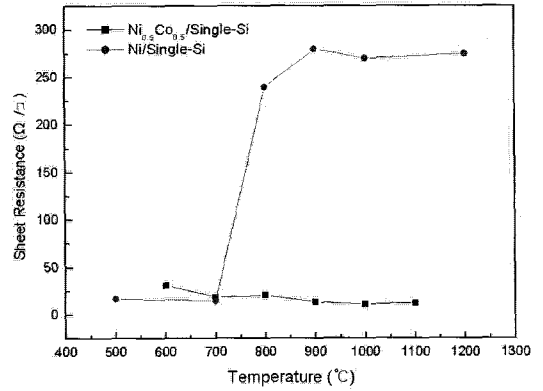
활성화영역을 나타낸 단결정 기판 위의 면저항 결과인 (a)에서 알 수 있듯이 단결정 기판 위의 기존의 NiSi는 실리사이드화 열처리 온도 700 °C 이상에서는 NiSi가 NiSi₂로 상전환이 일어나면서 급격한 저항값의 증가를 보여 250 Ω/□ 이상의 값을 보여주는데 비해 Ni_{0.5}Co_{0.5}-alloy/Single-Si silicide의 대부분은 1100 °C까지 25 Ω/□이하의 저항값을 나타내며 고온에서도 저저항으로 안정함을 알 수

있었다. 이것은 고온에서 (NiCo)Si₂의 저저항상을 형성하여 고온에서도 저저항을 유지함을 알 수 있었다[16]. 통상 8 Ω/□ 정도인 NiSi의 저항이 15 Ω/□ 정도로 측정된 것은 기존 30 nm 정도의 니켈 박막으로 100 nm 이상 두께의 NiSi 층이 형성된 것에 비해 본 실험에서는 약 20~30 nm 정도 두께의 나노급 실리사이드로 되어 상대적으로 면저항이 크게 측정된 것으로 판단된다.

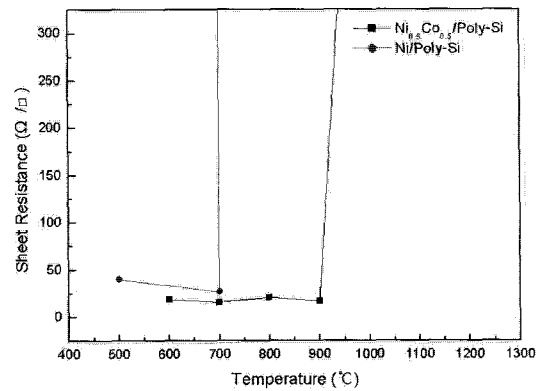
또한 다결정 게이트 상부의 실리사이드의 면저항을 나타낸 (b)의 Ni_{0.5}Co_{0.5}-alloy/Poly-Si에 나타난 바와 같이, 기존의 NiSi는 700 °C 이후의 고온에서는 급격한 고저항값을 보이는데 비해 Ni_{0.5}Co_{0.5}-alloy/Poly-Si에서는 900 °C 까지 저저항을 유지하는 것을 관찰 할 수 있었다. 단결정보다 더 낮은 900 °C에서부터 급격한 저항 증가가 생기는 이유는 다결정에서는 결정립계를 통한 빠른 확산으로 고온 고저항상이 쉽게 생겼기 때문이라고 판단된다. 또한 형성된 고저항 상들이 결정립계를 통한 우선성장으로 불균일한 실리사이드의 분포로 인한 고저항의 측정을 예측할 수 있었다.

결과적으로 10 nm-두께의 Ni_{0.5}Co_{0.5}합금박막으로부터 생성된 복합실리사이드를 채용하여 기존의 NiSi의 700 °C에 한정된 고온 안정성을 개선하여 단결정에서는 400 °C 이상, 다결정 기판에서는 200 °C 이상 향상시킨 결과를 얻을 수 있었다.

그림 3(a), (b)에는 단결정실리콘기판 위에 형성된 10 nm-Ni/Single-Si, 10 nm-Ni_{0.5}Co_{0.5}/Single-Si 시편을 700 °C에서 처리한 경우의 TEM 수직단면 결과 이미지를 나타내었다. (a)의 실리사이드의 두께는 평균 35 nm로서 마치 실리사이드의 핵생성이 특정사이트에서 발생한 후 우선 성장을 한 후 합쳐진 것처럼 우선 성장이 진행되고 표면부에서 약 5 nm의 매우 얇은 실리사이드가 형성되었음을 알 수 있다. 그림과 함께 나타낸 SADP는 실리콘과 증복된 니켈 모노실리사이드의 패턴을 보여주고 있어서 실리사이드의 존재를 확인하고 있다. 10 nm의 니켈 박막에서 진행된 실리사이드가 단결정 실리콘 내부에 우선성장에 의하여 약 40 nm 이상의 우선성장 층을 형성하고 특히 이들이 매우 얇은 5 nm 정도의 표면 실리사이드에 의해 연결된 사실은 실제 나노급 디바이스에 통상의 NiSi를 위한 실리사이드 공정을 실시할 때 활성화 영역에서 실리사이드가 얇은 부분으로 충분한 금속 배선층과의 확산방지역활을 할 수 없을 가능성과 shallow transistor를 고려한 경우의 도핑 후의 영향을 고려하며 매우 우려되는 미세구조를 가진 것으로 판단되었다.



(a) Ni/Single-Si, Ni_{0.5}Co_{0.5}/Single-Si

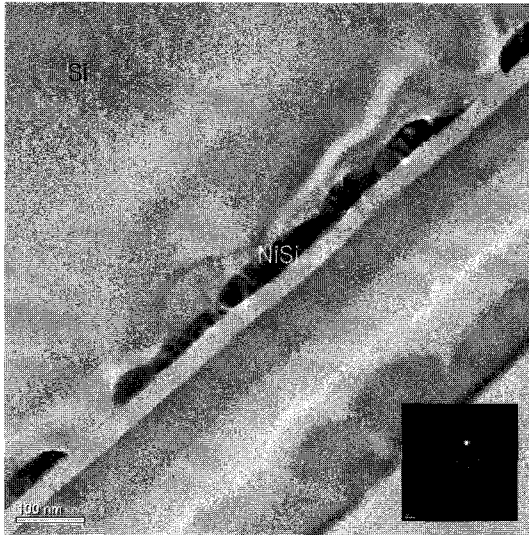


(b) Ni/poly-Si, Ni_{0.5}Co_{0.5}/Poly-Si

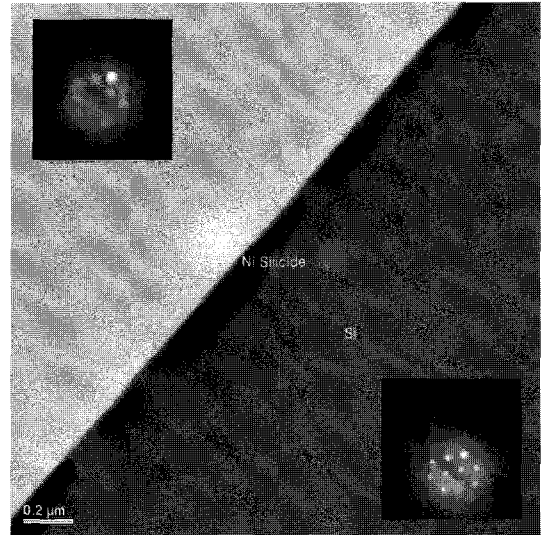
그림 2. 실리사이드화 온도에 따른 실리사이드의 면저항 (a) 단결정 실리콘 기판, (b) 다결정 실리콘 기판.

Fig. 2. Sheet resistance of silicide with silicidation temperatures (a) Single crystalline substrate, (b) Poly crystalline substrate.

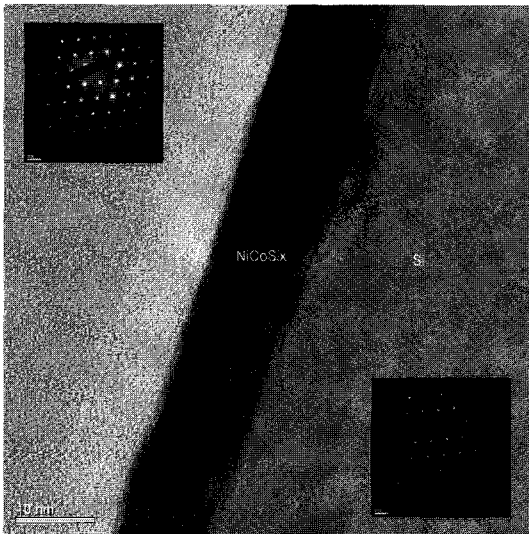
반면에 Ni_{0.5}Co_{0.5} 합금을 이용하여 제작된 실리사이드의 이미지인 (b)는 앞서 보인 NiSi와는 다르게 Si와 Ni, Co가 단결정 실리콘위에 고르게 성장하여 다소 평탄하고 균일한 평균 12.56 nm의 실리사이드가 형성되었음을 알 수 있다. 실리사이드는 단결정 실리콘과 확연히 다른 scattering factor를 가지기 때문에 더 검은색의 contrast를 보이고, 특히 같이 나타낸 SADP에서 보듯이 실리콘 패턴과 함께 나타나는 위성 피크에 근거하여 확인할 수 있었다. 결국 700 °C에서 열처리된 니켈 코발트 복합실리사이드에서 이처럼 나노급 두께의 균일한 실리사이드가 단결정 실리콘의 상부에 형성되는 것을 확인하였다.



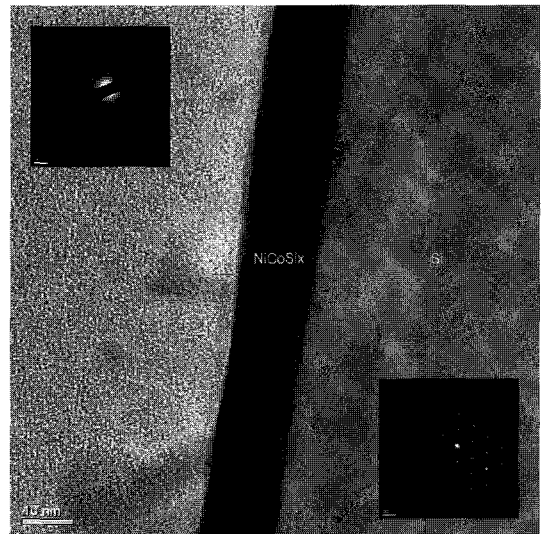
(a) Ni/Single-Si, 700 °C



(a) Ni/Single-Si, 1000 °C



(b) Ni_{0.5}Co_{0.5}/Single-Si, 700 °C



(b) Ni_{0.5}Co_{0.5}/Single-Si, 1000 °C

그림 3. 700 °C 열처리 실리사이드 시편의 TEM 이미지 (a) 10 nm-Ni/Single-Si and (b) 10 nm-Ni_{0.5}Co_{0.5}/Single-Si.

Fig. 3. TEM images of the silicide layer from (a) 10 nm-Ni/Single-Si and (b) 10 nm-Ni_{0.5}Co_{0.5}/Single-Si structure annealed at 700 °C.

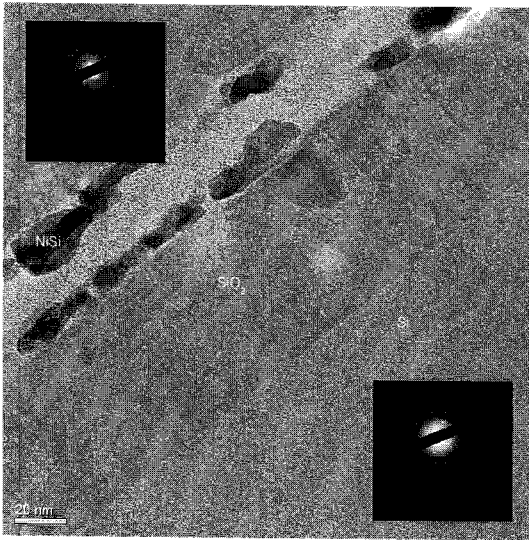
그림 4. 1000 °C 열처리 실리사이드 시편의 TEM 이미지 (a) 10 nm-Ni/Single-Si and (b) 10 nm-Ni_{0.5}Co_{0.5}/Single-Si.

Fig. 4. TEM images of the silicide layer from (a) 10 nm-Ni/Single-Si and (b) 10 nm-Ni_{0.5}Co_{0.5}/Single-Si structure annealed at 1000 °C.

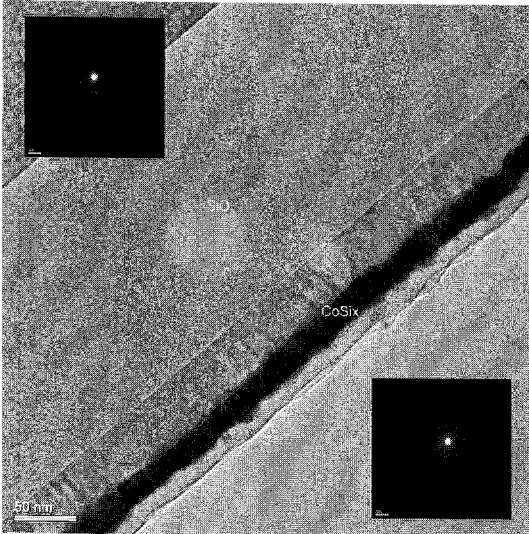
그림 4에는 그림 3와 동일한 구조의 시편을 실리사이드화 온도를 1000 °C로 높여서 처리한 경우의 확대 실리사이드 층의 사진을 나타내고 있다. Ni/Single-Si 구조로부터 형성된 이미지인 (a)는

비교적 김게 나타난 실리사이드가 평균적으로 62.48 nm 두께로 불규칙한 계면을 가진 채로 형성되었음을 알 수 있다.

Ni_{0.5}Co_{0.5}/Single-Si 구조로부터 형성된 실리사이드



(a) Ni/Poly-Si, 700 °C



(b) Ni_{0.5}Co_{0.5}/Poly-Si, 700 °C

그림 5. 700 °C 열처리 실리사이드 시편의 TEM 이미지 (a) 10 nm-Ni/Poly-Si and (b) 10 nm-Ni_{0.5}Co_{0.5}/Poly-Si.

Fig. 5. TEM images of the silicide layer from (a) 10 nm-Ni/Poly-Si and (b) 10 nm-Ni_{0.5}Co_{0.5}/Poly-Si structure annealed at 700 °C.

드 이미지인 (b)는 평균적으로 14.21 nm의 실리사이드가 균일하게 생성되었음을 확인할 수 있었다. 따라서 기존의 단상 Ni 실리사이드에 비해 매우 Ni_{0.5}Co_{0.5}로부터 제작된 복합 실리사이드는 나노급

실리사이드 제조 공정에 더욱 적합함을 확인할 수 있었다.

그림 5에는 앞서의 조성과 같은 박막으로 70 nm-Poly-Si/200 nm SiO₂/Si(100)의 게이트는 상정한 70 nm의 다결정실리콘위에 10 nm-Ni과 10 nm-Ni_{0.5}Co_{0.5} 조성의 박막을 증착한 후 700 °C로 쾌속 열처리하여 형성한 경우의 실리사이드 층의 수직 단면 이미지를 나타내었다.

(a)에는 Ni 박막으로부터 제조된 실리사이드의 사진이며, 형성된 실리사이드는 평균적으로 10.23 nm의 두께를 보이고 있다. 그러나 형성된 실리사이드는 단결정 실리콘 기판위에 Ni 박막을 올려 1000 °C에서 열처리한 경우와 비슷하게 국부적으로 끊어진 형상을 보이고 있으며 폴리실리콘층 내부에서의 혼합 현상을 확인할 수 있었다.

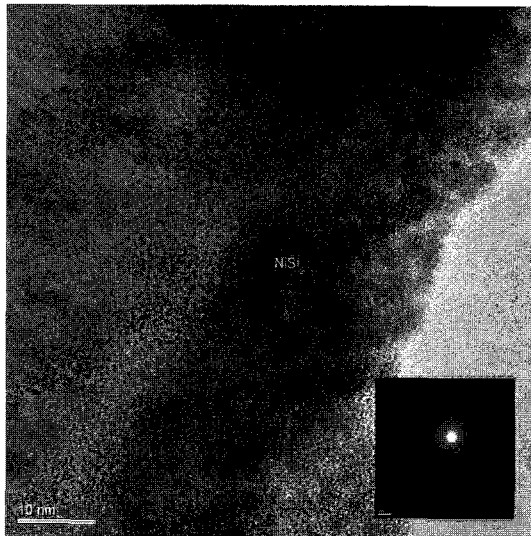
(b)에는 Ni_{0.5}Co_{0.5} 박막으로부터 제조된 실리사이드의 사진을 보이고 있다. 사진에서 보듯이 폴리실리콘 층이 기판역할을 하여 폴리실리콘층 상부에 두께 20.74 nm의 매우 균일한 계면과 표면을 가진 실리사이드 층이 형성되었음을 보이고 있다.

그림 6에는 앞서의 조성과 같은 박막으로 70 nm-Poly-Si/200 nm SiO₂/Si(100)의 게이트는 상정한 70 nm의 다결정실리콘위에 10 nm-Ni과 10 nm-Ni_{0.5}Co_{0.5} 조성의 박막을 증착한 후 1000 °C로 쾌속 열처리하여 형성한 경우의 실리사이드 층의 수직 단면 이미지를 나타내었다.

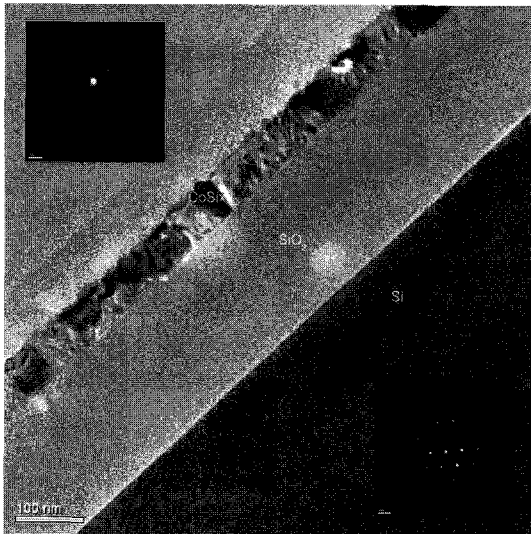
(a)에는 Ni 박막으로부터 제작된 실리사이드의 사진이며, 형성된 실리사이드는 다결정 실리콘의 상부에 약 15 nm의 불연속적인 실리사이드 층을 만들고 또한 결정립계를 통한 우선성장으로 폴리실리콘층 내부에도 혼합 형태의 실리사이드가 생성됨을 알 수 있다.

(b)에는 Ni_{0.5}Co_{0.5} 박막으로부터 제작된 실리사이드의 이미지로서 평균적으로 56.74 nm두께의 표면을 가진 실리사이드 층이 형성되었음을 보이고 있고, 결정립계를 통한 우선성장으로 TEM 사진을 보면 상의 혼합으로 인해 실리사이드 층의 contrast 차이에 의해 70 nm 두께의 폴리실리콘층 내부에 실리콘과 실리사이드가 혼합되어 주상경으로 형성됨을 확인하였다.

그림 7의 (a)와 (b)에는 Ni_{0.5}Co_{0.5} 조성의 박막으로부터 생성된 실리사이드의 피크를 나타내었다. (a)의 단결정 기판에서는 700 °C에서는 저저항 상인 NiSi상과 Ni₃Si₂상이 존재하고 있으며 1000 °C의 고온으로 처리하면 상대적으로 NiSi상이 적어짐을 보이고 있다. 그러나 전체적인 상의 구성은 저저항상들로 구성되므로 저저항 실리사이드를 유지함을 알 수 있었다.



(a) Ni/Poly-Si, 1000 °C

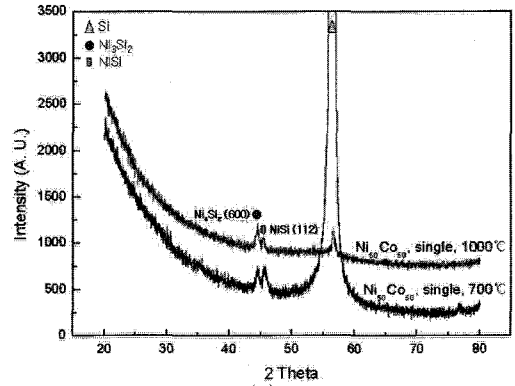


(b) Ni_{0.5}Co_{0.5}/Poly-Si, 1000 °C

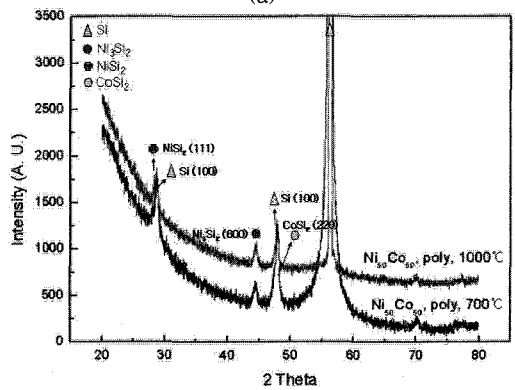
그림 6. 1000 °C 열처리 실리사이드 시편의 TEM 이미지 (a) 10 nm-Ni/Poly-Si and (b) 10 nm-Ni_{0.5}Co_{0.5}/Poly-Si.

Fig. 6. TEM images of the silicide layer from (a) 10 nm-Ni/poly-Si and (b) 10 nm-Ni_{0.5}Co_{0.5}/poly-Si structure annealed at 1000 °C.

Co의 혼입에 의해 (NiCo)Si₂ 형태의 실리사이드로 고저항상인 NiSi₂의 상으로 변화하는 것이 방지되는 보고도 있으나 본 연구에 의하면 고용상이라기 보다는 Ni₃Si₂상의 존재로 고저항이 방지되는



(a)



(b)

그림 7. 10-nmNi_{0.5}Co_{0.5} 박막으로부터 형성된 복합 실리사이드의 XRD 데이터.

Fig. 7. XRD data of the composite silicides from the 10 nm-Ni_{0.5}Co_{0.5} films with silicidation temperature. (a) Ni_{0.5}Co_{0.5}/Single-Si, (b) Ni_{0.5}Co_{0.5}/Poly-Si.

것으로 보인다[11,15,16].

(b)에는 다결정 실리콘 기판 위에 형성된 실리사이드의 경우로써 단결정의 경우와 같이 처리온도에 상관없이 모두 Ni₃Si₂상의 존재를 보이고 있다. 700 °C 열처리 시편에서는 저저항인 CoSi₂가 확인되었고 1000 °C 열처리 시편에서는 NiSi₂상이 확인되어 고저항임을 뒷받침 하여준다. 또한 앞서 확인한 면저항의 결과에 의하면 이 Ni₃Si₂상은 준 안정상으로 저저항을 가지는 특성이 있다고 판단되었다.

결과적으로 단결정 실리콘 기판에서는 700 °C 열처리에서 NiSi상과 Ni₃Si₂상이 확인되었고 1000 °C 열처리에서는 Ni₃Si₂상만 관찰되었다. 전기저항과 관련하여 살펴보면 단결정 실리콘 기판의 경우는 모든 온도에서 저저항을 보였으며 이것은 Ni₃Si₂상이 저저항상임을 뒷받침해 주었다.

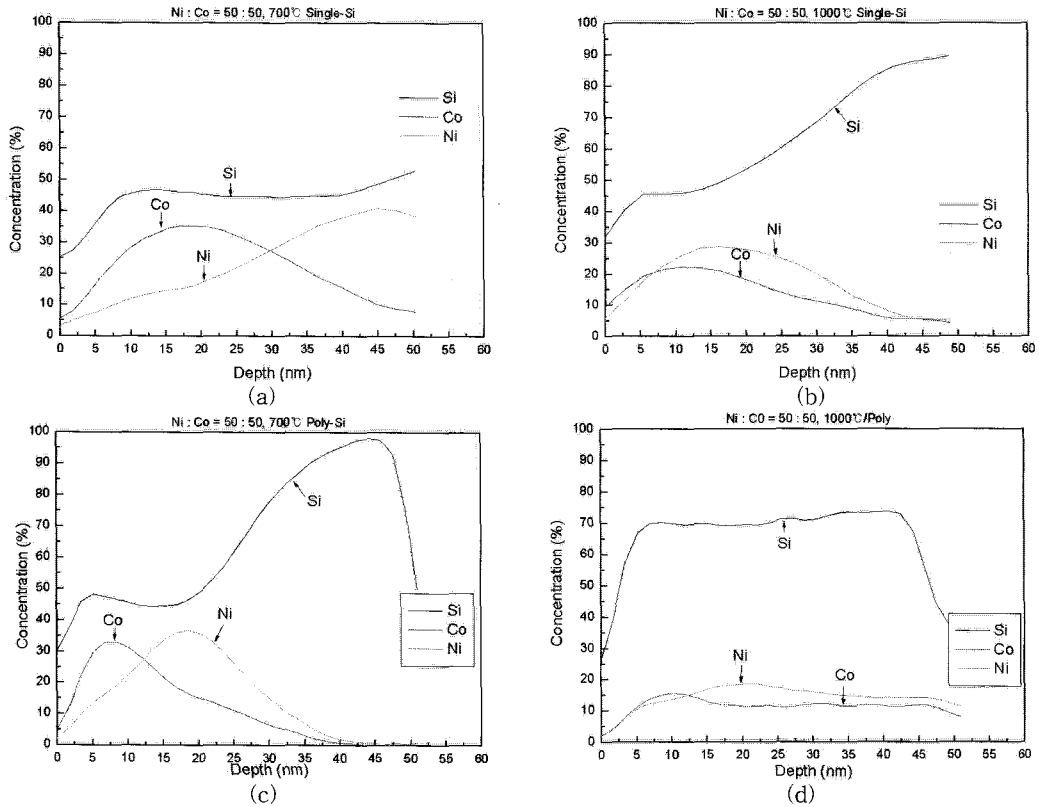


그림 8. NiCo 복합실리사이드의 오제이 두께 방향 분석자료. (a) $Ni_{0.5}Co_{0.5}/Single-Si$ 700 °C, (b) $Ni_{0.5}Co_{0.5}/Single-Si$ 1000 °C, (c) $Ni_{0.5}Co_{0.5}/Poly-Si$ 700 °C, and (d) $Ni_{0.5}Co_{0.5}/Poly-Si$ 1000 °C.

Fig. 8. Auger depth profiling of the NiCo composite silicides from (a) $Ni_{0.5}Co_{0.5}/Single-Si$ 700 °C, (b) $Ni_{0.5}Co_{0.5}/Single-Si$ 1000 °C, (c) $Ni_{0.5}Co_{0.5}/Poly-Si$ 700 °C, and (d) $Ni_{0.5}Co_{0.5}/Poly-Si$ 1000 °C structure.

$Ni_{0.5}Co_{0.5}$ 박막 조성을 통해 형성된 실리사이드에서는 Ni_3Si_2 와 $CoSi_2$ 상이 확인되었다. 1000 °C 열처리에서는 Ni_3Si_2 와 $NiSi_2$ 상이 발견되었다. 700 °C 열처리 시편에서는 $CoSi_2$ 와 Ni_3Si_2 등의 저저항상으로 인해 저저항을 나타내며 1000 °C 열처리 시편의 저항값이 크게 나오는 이유는 다결정 실리콘 기판에서는 700 °C 열처리에서 형성된 Ni_3Si_2 나 $NiSi_2$ 가 균일하게 형성된 것이 아니라 결정립계를 따라서 부분적으로 형성되어 큰 면저항값을 나타내는 것으로 보인다.

그림 8(a)~(d)에는 기판의 종류 및 700 °C와 1000 °C 온도별로 AES depth profiling 분석을 실시한 데이터를 보였다. (a)는 $Ni_{0.5}Co_{0.5}/Single-Si$ 을 700 °C에서 열처리한 결과를 보여주고 있다. 그래프를 살펴보면 15 nm 정도의 실리사이드 두께를

예측 할 수 있으며 $Ni_{0.5}Co_{0.5}/Single-Si$ 조성의 1000 °C 열처리 시편인 (b)를 살펴보면 두께가 증가한 17 nm 정도의 실리사이드 두께를 예측 가능하다. 고온처리인 1000 °C 시편에서 더욱 빠른 Ni의 확산 속도를 볼 수 있으며, 700 °C 열처리 시편에서 더욱 뚜렷한 Co 실리사이드의 형성을 예측할 수 있으나 XRD의 확인 결과 Co 실리사이드의 형성을 확인할 수 없었다. 그러나 NiSi의 형성은 XRD 분석을 통해 확인할 수 있었고 형성된 실리사이드의 두께는 TEM을 통해 확인할 수 있었다. (b)의 1000°C 열처리 시편의 AES 분석 그래프는 Si성분의 상승점인 15 nm 부근까지 실리사이드가 존재함을 TEM을 통해 확인할 수 있었다. Ni의 확산이 더 빨라서 전 실험범위에서 항상 Ni-과잉 실리사이드가 Co-과잉 실리사이드의 하부에 위치하는 특징이 있었다.

(c)와 (d)는 다결정 실리콘 기판위에 합금 실리콘 사이드를 형성한 경우의 데이터를 보여주고 있다. Ni_{0.5}Co_{0.5}/Poly-Si 700 °C 열처리 조성인 (c)에서는 Si성분의 상승점인 약 20 nm 실리콘사이드 두께가 예측 가능하였다. 이것은 TEM 결과와 잘 일치하고 있다. (d)의 Ni_{0.5}Co_{0.5}/poly-Si 1000 °C 조성으로 생성된 실리콘사이드에서는 Si 및 Co, Ni의 성분이 10 nm 깊이 이후부터 일정하게 유지되는 것을 통해 특징을 보이는데 이는 그림 6(b)의 주상정 혼합 조직의 존재를 뒷받침하고 있다.

4. 결론

나노급 CMOS공정을 상정하여 활성화 영역을 상정한 단결정 실리콘에 Ni_{0.5}Co_{0.5} 합금 박막을 이용하여 실리콘사이드를 형성할 경우 1100 °C까지 안정화 온도구간을 넓힌 두께 10~20 nm의 저저항 니켈실리콘사이드를 만들 수 있었다. 게이트를 가정한 10 nm-Ni_{0.5}Co_{0.5}/Poly-Si 구조로부터 형성한 실리콘사이드는 900 °C 까지 안정화 온도구간을 넓힌 저저항 니켈실리콘사이드를 생성되었다. 전기저항 측정 결과 단결정 실리콘 기판에서는 저저항상 형성으로 인한 1100 °C까지 25 Ω/□로 안정하였고 다결정 실리콘 기판에서는 900 °C까지 저저항을 유지하다가 900 °C 이후 온도부터는 결정립계를 통한 실리콘사이드의 주상정 형태의 성장으로 인해 고저항을 나타내었다.

TEM 측정 결과 단결정 실리콘 기판에서는 1000 °C까지 10~15 nm 정도의 균일한 실리콘사이드의 형상을 관찰 할 수 있었고, 다결정 실리콘 기판에서는 700 °C 열처리 경우 20.74 nm의 균일한 실리콘사이드 형상을 보이다, 1000 °C 열처리 에서는 결정립계를 통한 우선성장으로 인한 주상정 형태의 혼합현상이 관찰되었다.

XRD 분석 결과 단결정 실리콘 기판의 경우 1000 °C까지 저저항상인 NiSi와 Ni₃Si₂ 상이 존재하였고, 다결정 실리콘 기판의 경우 700 °C에서는 저저항상인 CoSi₂와 Ni₃Si₂ 상이 관찰되다 1000 °C 열처리 시편에서는 고저항상인 NiSi₂가 안정화됨을 확인하였다.

AES 두께분석 결과 각 복합실리콘사이드 층은 미세구조에서 확인된 두께와 잘 일치하였고, 특히 폴리실리콘 기판의 고온에서 생성된 실리콘사이드의 경우 실리콘과 실리콘사이드가 혼재하는 혼합 미세구조를 가짐을 뒷받침하였고 이러한 혼합미세구조가 고저항의 원인이 될 수 있었다.

감사의 글

이 논문은 2007년도 정부(과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임 (No. R01-2004-000-10028-0).

참고 문헌

- [1] A. Kasuya, G. Milczarek, I. Dmitruk, Y. Barnakov, R. Czajka, O. Perales, X. Liu, K. Tohji, B. Jeyadevan, K. Shinoda, T. Ogawa, T. Arai, T. Hihara, and K. Sumiyama, "Size- and shape-controls and electronic functions of nanometer-scale semiconductors and oxides", *Colloids and Surfaces A*, Vol. 202, p. 291, 2002.
- [2] The International Technology RoadMap For Semiconductor, Front End Process, p. 25, SIA, 2003 Edition, 2003.
- [3] J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, E. Er, and S., "Formation of cobalt silicide spikes in 0.18 μm complementary metal oxide semiconductor process", *Redkar, Appl. Phys. Lett.*, Vol. 78, p. 3091, 2001.
- [4] J. Prokop, C. E. Zybilla, and S. Veprek, "nm-Co₂Si, CoSi and CoSi₂ silicide films from the single source precursor CoSiCl₃(CO₄) in the presence of SiH₄", *Thin Solid Films*, Vol. 359, p. 39, 2000.
- [5] C. Detavernier, R. L. Van Meirhaeghe, and F. Cardon, "CoSi₂ formation in the Ti/Co/SiO₂/Si system", *J. Appl. Phys.*, Vol. 88, p. 133, 2000.
- [6] J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin, and D. Vanhoenacker, "Comparison of TiSi₂, CoSi₂ and NiSi for thin-film silicon-on-insulator applications", *J. Electrochem. Soc.*, Vol. 144, p. 2437, 1997.
- [7] J. J. Sun, J. Y. Tsai, and C. M. Osburn, "Elevated n⁺/p junctions by implant into CoSi₂ formed on selective epitaxy for deep submicron MOSFET's", *IEEE Transactions on Electron Devices*, Vol. 45, No. 9, p. 1946, 1998.
- [8] Hua. Fang, Mehmet C. Ozturk, E. G. Seebauer, and D. E. Batchelor, J., "Effects of arsenic doping on chemical vapor

- deposition of titanium silicide", *Electrochem. Soc.*, Vol. 146, p. 4240, 1999.
- [9] J. Lutze, G. Scott, and M. Manley, "Transistor off-state leakage current induced by TiSi_2 pre-amorphizing implant in a $0.20\ \mu\text{m}$ CMOS process", *IEEE Electron Device Lett.*, Vol. 21, No. 4, p. 155, 2000.
- [10] J. B. Lasky, J. S. Nakos, O. J. Cain, and P. J. Geiss, "Comparison of transformation to low-resistivity phase and agglomeration of TiSi_2 and CoSi_2 ", *IEEE Trans. Electron Devices*, Vol. 38, No. 2, p. 262, 1991.
- [11] B. A. Julies, D. Knoesen, R. Pretorius, and D. Adams, "A study of the NiSi to NiSi_2 transition in the Ni-Si binary system", *Thin Solids Films*, Vol. 347, p. 201, 1999.
- [12] S. H. Cheong and O. S. Song, "Characteristics of cobalt silicide by various film structures", *Kor. J. Mater. Res.*, Vol. 13, No. 5, p. 279, 2003.
- [13] O. S. Song, S. H. Cheong, D. J. Kim, and Y. Y. Choi, "Characteristics of composite silicides from Co/Ni structure", *Kor. J. Mater. Res.*, Vol. 14, No. 11, p. 769, 2004.
- [14] W. Huang, L.-C. Zhang, Y.-Z. Gao, and H.-Y. Jin, "Effect of a thin W, Pt, Mo, and Zr interlayer on the thermal stability and electrical characteristics of NiSi", *Microelectronic Engineering*, Vol. 83, p. 345, 2006.
- [15] O. S. Song, S. H. Cheong, and D. J. Kim, "Characterization of composite silicide obtained from NiCo-alloy films", *Kor. J. Mater. Res.*, Vol. 14, No. 12, p. 846, 2004.
- [16] E. J. Jung, S. W. Jung, H. S. Kim, J. H. Yun, S. H. Cheong, B. H. Kim, G. H. Choi, S. T. Kim, U. I. Chung, J. T. Moon, and B. I. Ryu, "Investigation of Ni/Co bilayer salicidation process for sub-40 nm gate technology", *Microelectronic Eng.*, Vol. 82, p. 449, 2005.