

## Bulk-Si와 PD-SOI에 형성된 SiGe p-MOSFET의 전기적 특성의 비교

### Comparison of Electrical Characteristics of SiGe pMOSFETs Formed on Bulk-Si and PD-SOI

최상식<sup>1</sup>, 최아람<sup>1</sup>, 김재연<sup>1</sup>, 양전욱<sup>1</sup>, 한태현<sup>2</sup>, 조덕호<sup>2</sup>, 황용우<sup>2</sup>, 심규환<sup>1,a</sup>  
(Sang-Sik Choi<sup>1</sup>, A-Ram Choi<sup>1</sup>, Jae-Yeon Kim<sup>1</sup>, Jeon-Wook Yang<sup>1</sup>, Tae-Hyun Han<sup>2</sup>, Deok-Ho Cho<sup>2</sup>, Yong-Woo Hwang<sup>2</sup>, and Kyu-Hwan Shim<sup>1,a</sup>)

#### Abstract

This paper has demonstrated the electrical properties of SiGe pMOSFETs fabricated on both bulk-Si and PD SOI substrates. Two principal merits, the mobility increase in strained-SiGe channel and the parasitic capacitance reduction of SOI isolation, resulted in improvements in device performance. It was observed that the SiGe PD SOI could alleviate the floating body effect, and consequently DIBL was as low as 10 mV/V. The cut-off frequency of device fabricated on PD SOI substrate was roughly doubled in comparison with SiGe bulk: from 6.7 GHz to 11.3 GHz. These experimental result suggests that the SiGe PD SOI pMOSFET is a promising option to drive CMOS to enhance performance with its increased operation frequency for high speed and low noise applications.

**Key Words** : SiGe, PD SOI, MOSFET, DIBL

#### 1. 서론

최근 Si CMOS의 기술이 지속적으로 발전하여 선진그룹은 5.8 GHz대의 통신칩을 발표하고 있다. 그러나 Si CMOS는 subthreshold 전류누설, 기판과의 간섭손실, 산화막-실리콘 계면의 저주파 잡음의 한계특성이 극복하기 어려운 단점으로 남아있다. Si CMOS의 RF 통신회로 응용을 높이기 위해서는 여러 기술적 이슈가 있지만, 특히 공진기나 타이밍회로의 위상잡음과 지터잡음의 원인인 저주파 잡음이 해결되어야 한다. SiGe MOS 소자는 SiGe의 고속전송 특성과 운반자의 구속으로 상기의 문제점들과 관련된 기존의 한계성능을 개선시키는 장점을 제공할 수 있다[1-3].

SOI(Silicon-On-Insulator)구조에 있어서 소자들은 절연체에 의해 서로 분리되고 실리콘 기판과도 격리되어 있다. 이러한 절연 구조에서는 기생 정전용량이 감소하고, 소자들 간의 간섭(crosstalk)도 줄어들므로 스위칭 속도, 전류 이득, 고전압 내구성, 그리고 소비 전력 등에 있어서 향상을 가져올 수 있다. 따라서 SOI MOSFET 기술은 기존 소자의 문제점들을 해결하고 더 나아가 저전력, 저전압, 초고주파 응용에 가장 적합한 실리콘 소자 제작기술로 평가되고 있다[4,5].

본 논문에서 PD-SOI MOSFET에 Si/SiGe/Si 이중접합 채널을 사용하여 동작속도를 높이고, PD-SOI (Partially Depleted Silicon-on-Insulator) 구조로 기판의 기생 capacitor와 누설전류를 감소시켜 신호의 감쇄를 줄임으로써 성능을 개선시키고자 수행되었다. SiGe/Si 이중접합 구조의 채널을 갖는 PD-SOI MOSFET을 제작하였고, 소자의 DC 및 AC 특성을 측정하여 실리콘 Bulk 기판에 제작된 SiGe Bulk MOSFET과 비교하였다.

1. 전북대학교 반도체·화학공학부  
(전북 전주시 덕진구 덕진동 1가 664-14)  
2. (주)광전자  
a. Corresponding Author : khshim@chonbuk.ac.kr  
접수일자 : 2007. 3. 29  
1차 심사 : 2007. 4. 17  
심사완료 : 2007. 5. 24

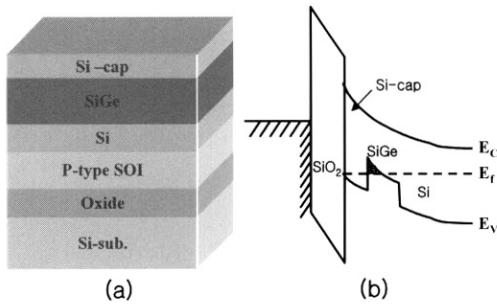


그림 1. PD-SOI기판에 성장된 Si/SiGe/Si 이종접합 채널 (a) 에피구조, (b) 밴드 다이어그램.  
 Fig. 1. Si/SiGe/Si heterostructure grown on PD-SOI (a) epi structure, (b) band diagram.

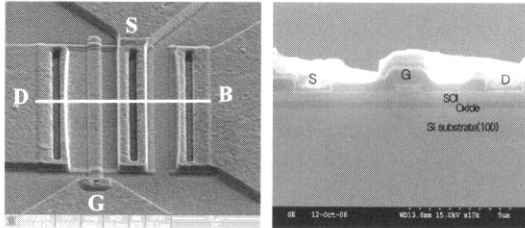


그림 2. 제작된 소자의 SEM 이미지 (a) 표면, (b) 단면( $L_G = 0.6 \mu\text{m}$ ).  
 Fig. 2. SEM image (a) top view and (b) cross section view( $L_G = 0.6 \mu\text{m}$ ).

## 2. 실험

본 실험에서는 상용의 CMOS 공정을 이용하여 게이트 길이  $0.6 \mu\text{m}$ , 폭  $25 \mu\text{m}$ 인 SiGe p채널 PD-SOI MOSFET을 제작하였다. LOCOS에 의해 소자를 격리시키고 RPCVD (Reduced Pressure Chemical Vapor Deposition)를 이용해 채널에피를 그림 1(a)과 같이 성장시켜서 이종접합 구조인 Si/SiGe/Si quantum-well 구조의 채널을 형성하였다. 이때 채널에서의 밴드구조는 그림 1(b)와 같으며, 가전자대에 정공을 구속할 수 있는 채널이 형성됨을 보여준다.

게이트 산화막은 열산화에 의해  $70 \text{ \AA}$  으로 성장되었고, 게이트로  $\text{IDP}(2 \times 10^{20} \text{ cm}^{-3})$ 층을  $3000 \text{ \AA}$  증착하였다.  $\text{BF}_2$ 로 LDD 이온주입한 후, 저압 TEOS를 증착하여 건식식각을 통해 스페이스를 형성하였다. 소스/드레인을  $\text{BF}_2$ 로 이온주입한 후  $800 \text{ }^\circ\text{C}$ 에서 RTA로 활성화하였다. 실리사이드는 Ti/TiN을  $30/20 \text{ nm}$  두께로 증착하여 자기정렬이 되도록

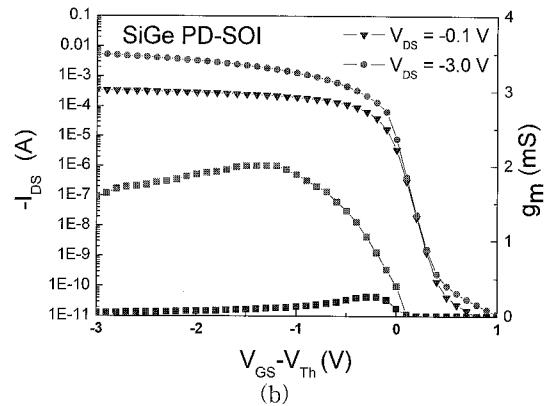
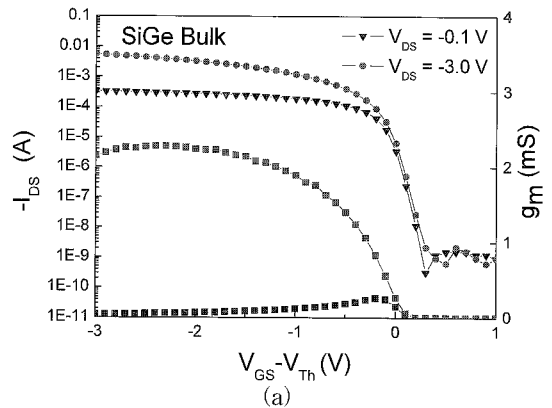


그림 3.  $I_{DS}-V_{GS}$  와 트랜스컨덕턴스 (a) SiGe Bulk, (b) PD-SOI.  
 Fig. 3.  $I_{DS}-V_{GS}$  and transconductance curves. (a) SiGe Bulk, (b) PD-SOI.

RTA로 열처리 후  $40 \text{ }^\circ\text{C}$ 의  $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ 에서 15분간 습식식각 하였다. 그림 2(a)는 제작된 소자의 표면에서의 SEM 이미지이며 PD-SOI 기판 위에 게이트, 소스, 드레인, 바다가 형성되었음을 보여준다. 그림 2(b)는 PD SOI MOSFET의 SEM 패턴에서의 단면을 보여준다. 상부 실리콘 막의 두께는  $0.5 \mu\text{m}$ , 내장 산화막(buried oxide, BOX)의 두께는  $0.3 \mu\text{m}$  이다. 게이트 길이는  $0.6 \mu\text{m}$  이고 게이트와 소스/드레인 사이의 거리는  $2.5 \mu\text{m}$  로 제작되었다. 제작된 소자는 Semiconductor Parameter Analyzer, Network Analyzer, Scanning Electron Microscope(SEM)을 이용하여 분석하였다.

## 3. 결과 및 고찰

그림 3은 선형영역( $V_{DS} = -0.1 \text{ V}$ )과 포화영역( $V_{DS} = -3.0 \text{ V}$ )에서 전달 특성을 나타낸 그래프이

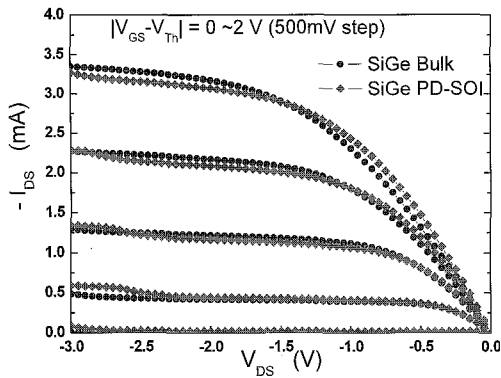


그림 4. SiGe Bulk와 PD-SOI에서의  $I_{DS}$ - $V_{DS}$  곡선.  
Fig. 4.  $I_{DS}$ - $V_{DS}$  curves of SiGe Bulk and PD-SOI pMOSFET.

다. gm,max값은 2 mS, SS(Subthreshold-Slope)은 80 mV/decade으로 Bulk 기판에 제작된 소자와 비슷한 값을 보였으며, DIBL은 15 mV/V에서 10 mV/V로 감소한 특성을 보였다. Off 상태에서의 드레인 전류는 SiGe Bulk와 SiGe PD-SOI에서 각각  $\sim 10^{-9}$ ,  $\sim 10^{-11}$ 로 측정되어 SiGe PD-SOI에서 1/100 정도 감소한 누설전류 특성을 보였다.

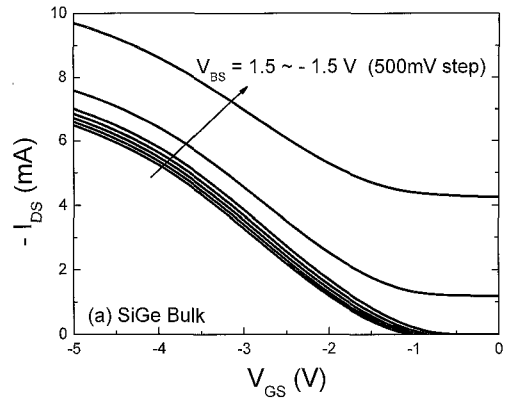
그림 4는 Bulk 기판과 PD-SOI 기판에서 Si/SiGe/Si 채널 MOSFET의 드레인 전류 전압 특성으로  $|V_{GS} - V_{Th}|$ 를 0 V에서 2 V까지 500 mV 간격으로 변화시키면서 측정한 그래프이다.  $V_{DS} = -2$  V,  $|V_{GS} - V_{Th}| = 2$  V 인 포화영역에서 최대 드레인 전류가 Bulk와 PD-SOI기판에서 각각 3.2 mA, 3.0 mA 로 측정되었으며, PD-SOI 기판이 Bulk 기판보다 소스/드레인 저항이 작아 우수한 선형성을 보였다. PD-SOI 기판의 경우 드레인 전압이 -2 V 이상에서는 impact ionization에 의한 kink 효과가 나타나고 있지만 SiGe 양자채널의 정공의 구속과 이동도의 향상으로 인해 Si SOI에 비해 미세하게 발생하였다[6,7].

그림 5는 바디전압( $V_{BS}$ )을 -1.5 V에서 1.5 V 까지 500 mV 간격으로 변화시키면서,  $V_{GS}$ - $I_{DS}$  특성을 측정한 그래프이다. 바디전압에 의한 문턱전압의 변화는 다음과 같다.

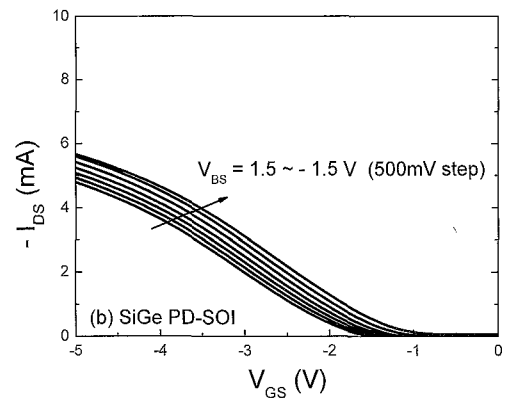
$$V_{th} = V_{FB} + 2\Phi_f + \frac{\sqrt{2\epsilon_s q N_D (2\Phi_f + |V_{BS}|)}}{C_{ox}} \quad (1)$$

$$V_{th} = V_{th}(V_{BS}=0) + \gamma(\sqrt{2\Phi_f + |V_{BS}|} - \sqrt{2\Phi_f}) \quad (2)$$

$$\gamma = \frac{\sqrt{2\epsilon_s q N_D}}{C_{OX}} \quad (3)$$



(a)



(b)

그림 5. (a) SiGe Bulk와 (b) PD-SOI에서의  $I_{DS} - V_{GS}$  곡선.

Fig. 5.  $I_{DS} - V_{GS}$  curves of (a) SiGe Bulk and (b) PD-SOI pMOSFET.

바디전압을 인가하지 않았을 때 문턱전압의 절대값은 SiGe Bulk와 SiGe PD-SOI에서 각각 0.9 V, 1.1 V로 측정되었다.  $V_{BS}$ 가 0보다 클 때 문턱전압의 절대값이 증가하였고,  $V_{BS}$ 가 0보다 작을 때 문턱전압의 절대값은 감소하였으나 SiGe Bulk에서  $V_{BS}$ 가 -1 V보다 작을 때 Bulk쪽에서의 punch through때문에  $I_D$ 가 급격하게 증가하는 현상을 보였다. SiGe PD-SOI의 경우  $V_{BS}$ 가 -1.5 V 일 때 punch through 현상이 없이 0.8 V로 작은 값을 보였다. 문턱전압의 최적화를 하지는 않았지만,  $V_{BS}$ 를 조절함으로써 0.8 ~ 1.5 V 사이의 문턱전압 조절이 가능하였고, 작은 전력소모 조건으로 소자가 동작함을 알 수 있다.

그림 6은 AC 측정 결과로  $V_{GS}$ ,  $V_{DS}$ 에 따른 cut-off frequency( $f_T$ )를 나타낸다.  $f_T$ 를 구하기 위

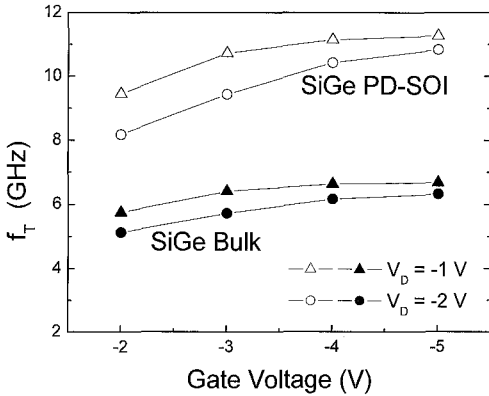


그림 6. V<sub>GS</sub> 와 V<sub>DS</sub> 변화에 따른 Cut-off frequency(f<sub>T</sub>).

Fig. 6. Cut-off frequency(f<sub>T</sub>) for various V<sub>GS</sub> and V<sub>DS</sub>.

하여 0.1에서 67 GHz의 주파수 영역을 갖는 Network Analyzer와 Cascade Microtech RF probe를 이용하여 게이트 크기 0.6 × 25 μm<sup>2</sup>인 소자를 측정하였다. MOSFET에서 f<sub>T</sub>, f<sub>max</sub>는 다음과 같다.

$$f_T = \frac{1}{2\pi} \frac{g_m}{C_{gs} + C_{gd} + C_p} \quad (4)$$

$$f_{max} = \frac{f_T}{2\sqrt{(R_g + R_i)(g_{ds} + 2\pi f_T C_{gd})}} \quad (5)$$

여기서 g<sub>m</sub>은 transconductance, C<sub>gs</sub>는 게이트 소스 정전용량, C<sub>gd</sub>는 게이트 드레인 정전용량, C<sub>p</sub>는 기생 정전용량, R<sub>g</sub>는 게이트 직렬저항, R<sub>i</sub>는 입력저항, g<sub>ds</sub>는 output conductance이다. 그림 6에서 V<sub>GS</sub>가 증가할수록 f<sub>T</sub>가 증가하다가 포화되는 현상을 보였다. V<sub>DS</sub> = -1 V, V<sub>GS</sub> = -5 V 일 때 f<sub>T</sub>가 Bulk 기판에서는 6.7 GHz로 나온 반면, PD-SOI 기판에서는 69 %가 높은 11.3 GHz로 측정되었다. 식(4)에서 SOI의 소자격리에 의한 기생 정전용량(C<sub>p</sub>)의 감소로 f<sub>T</sub> 특성이 향상된 것으로 판단된다. 더욱 스케일을 축소한 SiGe PD-SOI MOS 소자에서 유사한 효과가 기대된다. 임계주파수가 10 GHz대를 상회하므로 본 소자는 고속통신용 RF 분야나 광통신용 IC의 응용에 유용할 것으로 보인다.

#### 4. 결론

SiGe 이종접합 채널로 동작속도를 높이고, SOI 구조로 기판의 기생 capacitor와 누설전류를 감소

시켜 신호의 감쇄를 줄임으로써 성능을 개선시키 고자 SiGe/Si 이종접합 구조의 채널을 갖는 SiGe PD-SOI MOSFET을 제작하였다. Si Bulk 기판에 동일한 구조로 제작한 SiGe Bulk 소자와 DC 및 AC 특성을 비교한 결과 저전압의 조건인 경우, SiGe Bulk 기판위에 제작된 소자에 비해 PD-SOI에서 성능이 향상되었다. SOI 구조에 따른 Kink 전류가 존재하나, 드레인 전류전압 특성에서도 비교적 우수한 선형성을 보였다. 바디 전압에 의한 효과에서 PD-SOI에서 punch through 없이 문턱 전압 조절이 가능하였으며 작은 전력소모로 소자 구동이 가능함을 확인하였다. 임계주파수가 11.3 GHz까지 측정되어 SiGe Bulk 비해 69 % 향상되어 고속통신용 RF 분야나 광통신용 IC에 응용할 수 있음을 보였다.

#### 감사의 글

이 논문은 2005년 교육인적자원부의 재원으로 한국학술진흥재단의 지원(KRF-2005-005-J07502)과 BK21 차세대에너지 소재·소자 사업단의 지원을 받아 수행된 연구임.

#### 참고 문헌

- [1] Y. J. Song, J. W. Lim, S. H. Kim, H. C. Bae, J. Y. Kang, K. W. Park, and K. H. Shim, "Effects of Si-cap layer thinning and Ge segregation on the characteristics of Si/SiGe/Si heterostructure pMOSFETs", Solid State Electronics, Vol. 46, No. 11, p. 1983, 2002.
- [2] K. Bhaumik, Y. Shacham-Diamand, J.-P. Noel, J. Bevk, and L. C. Feldman, "Theory and observation of enhanced, high field hole transport in Si<sub>1-x</sub>Ge<sub>x</sub> quantum well p-MOSFET's", IEEE Trans. Electron Devices, Vol 43, No. 11, p. 1965, 1996.
- [3] Y. P. Wang, S. L. Wu, and S. J. Chang, "Low-frequency noise characteristics in strained-Si nMOSFETs", IEEE Electron Device Letters, Vol. 28, No. 1, p. 243, 2007.
- [4] K. Usuda, T. Numata, T. Irisawa, N. Hirashita, and S. Takagi, "Strain characterization in SOI and strained-Si on SGOI MOSFET

- channel using nano-beam electron diffraction (NBD)", *Materials Science and Engineering B*, Vol. 124, p. 143, 2005.
- [5] F. Dieudonne, S. Haendler, J. Jomaah, and F. Balestra, "Low frequency noise in 0.12  $\mu\text{m}$  partially and fully depleted SOI technology", *Microelectronics Reliability*, Vol. 43, p. 48, 2002.
- [6] S. S. Chen, H. L. Shiang, and T. H. Tang, "Direct tunneling-induced floating-body effect in 90-nm pseudo-kink-free PD SOI pMOSFETs with DTMOS-like behavior and low input power consumption", *IEEE Trans. Electron Devices*, Vol. 51, No. 4, p. 575, 2004.
- [7] J. W. Yang, J. G. Fossum, G. O. Workman, and C. L. Huang, "A physical model for gate-to-body tunneling current and its effects on floating-body PD/SOI CMOS devices and circuits", *Solid-State Electronics*, Vol. 48, No. 2, p. 259, 2004.