

## 반응표면분석법에 의한 적층 칩 바리스터의 전기적 특성

### Electrical Properties of Multilayer Chip Varistors in the Response Surface Analysis

윤중락<sup>1,a</sup>, 정태석<sup>1</sup>, 최근목<sup>1</sup>, 이석원<sup>2</sup>

(Jung-Rag Yoon<sup>1,a</sup>, Tae-Seok Jeong<sup>1</sup>, Keun-Mook Choi<sup>1</sup>, and Seok-Weon Lee<sup>2</sup>)

#### Abstract

In order to enhance sintering characteristics on the ZnO-Pr<sub>6</sub>O<sub>11</sub> based multilayer chip varistors (MLVs), a response surface analysis using central composite design method were carried out. As a result, varistor voltage(V<sub>1mA</sub>), nonlinear coefficient (α), leakage current (I<sub>L</sub>) and capacitance (C) were considered to be mainly affected by sintered temperature and holding time. MLVs sintered at 1200 °C and above 1200 °C revealed poor electrical characteristics, possibly due to the reaction between electrode materials(Pd) and ZnO-Pr<sub>6</sub>O<sub>11</sub> based ceramics. On the sintering temperature range 1150 ~ 1175 °C, nonlinear coefficient (α) and leakage current (I<sub>L</sub>) were shown to be 60 ~ 69 and below 0.3 μA, respectively. In particular, MLVs sintered at 1175 °C, 1.5 hr and 2 °C/hr (cooling speed) showed stable ESD(Electrical Static Discharge) characteristics under the condition of 10 times at 8 Kv with deviation varistor voltage, and deviation nonlinear coefficient were 0.3 % and 0.33 % (at positive), 0.55 % (at negative), respectively.

**Key Words** : Response surface analysis, ESD(Electrical static discharge), Multilayer chip varistor, Varistor voltage, Nonlinear coefficient

#### 1. 서론

적층형 칩 바리스터는 회로에서 캐패시터로 작동하다가 특정한 전압에서 전류의 흐름이 급격히 증가하는 비선형 전압소자로서 적층 칩 세라믹공정을 적용하여 만든 소자이다. 적층 칩 바리스터의 내부전극 구조는 적층 칩 세라믹 캐패시터와 유사하며 전극간의 세라믹 두께 조절을 통하여 입계수 및 항복전압을 조절할 수 있으며 1980년대에 shohata등에 의해 발표되었다[1]. 적층형 칩 바리스터는 수 KV ~ 수십 KV에 이르는 다양한 ESD(Electrical Static Discharge) 에 대한 보호 부품으로 적용되고 있으며 휴대용기기의 ESD에 의

한 제품의 오동작, 파괴를 방지하는 정전기 방지용 제품으로 널리 쓰이고 있다[1,2]. 바리스터의 동작 전압은 두전극 사이에 존재하는 입계의 수에 의해 결정되며 일반적으로 하나의 입계는 2.5 ~ 5 V의 항복전압을 갖는 것으로 알려져 있으며 10 V 정도의 바리스터 전압을 가지는 적층형 칩 바리스터를 제작하기 위해서는 전극간의 바리스터 두께를 박막화 하거나 입자의 크기를 키우는 방법이 있다[3].

적층형 칩 바리스터의 대표적인 조성으로는 ZnO-Bi<sub>2</sub>O<sub>3</sub>-Cr<sub>2</sub>O<sub>3</sub>-CoO-MnO<sub>2</sub>를 주조성으로 한 ZnO-Bi<sub>2</sub>O<sub>3</sub>계와 ZnO-Pr<sub>6</sub>O<sub>11</sub>-CoO를 주조성으로 한 ZnO-Pr<sub>6</sub>O<sub>11</sub>계가 있으며 바리스터의 전기적 특성 중 써지 내량, 에너지 내량은 ZnO-Bi<sub>2</sub>O<sub>3</sub>계가 우수한 반면 반복 ESD 특성은 ZnO-Pr<sub>6</sub>O<sub>11</sub>계가 유리한 것으로 알려져 있다[2,3]. 적층공정을 적용한 ZnO-Bi<sub>2</sub>O<sub>3</sub>계는 Bi<sub>2</sub>O<sub>3</sub> 첨가량에 따른 신뢰성, 내부전극과 세라믹과의 반응등에 대한 연구가 많이 진행되어있으나 ZnO-Pr<sub>6</sub>O<sub>11</sub>계의 경우는 세라믹과 내부전극에 의한 영향, 소결 조건에 따른 신뢰성 및 전기적 특성에 대한 연구가 부족할 실정이다[4].

1. 삼화콘덴서공업(주) 부설연구소  
(경기 용인시 남사면 복리 124)

2. 호서대학교

a. Corresponding Author : yoonjunrag@yahoo.co.kr

접수일자 : 2007. 2. 6

1차 심사 : 2007. 2. 21

2차 심사 : 2007. 3. 8

심사완료 : 2007. 5. 16

따라서 본 논문에서는 92.5ZnO-2.5Pr<sub>6</sub>O<sub>11</sub>-2.5Co<sub>3</sub>O<sub>4</sub>-2.5Y<sub>2</sub>O<sub>3</sub>을 주조성으로 하고 신뢰성 향상을 위하여 Al<sub>2</sub>O<sub>3</sub>를 0.015 wt % 첨가한 조성을 이용하여 적층 칩 바리스터를 제작하였다. 본 논문에서는 소결조건에 따른 전기적 특성을 분석하기 위하여 인자로서 소결온도, 유지시간, 냉각 시간을 정한 후 반응 변화로 바리스터 전압 (V<sub>1mA</sub>), 비직선계수(α), 누설 전류(I<sub>L</sub>), 정전용량 (C)하여 반응 변수에 의한 반응 변화를 이루는 현상을 반응표면에 대한 통계적 수법인 반응표면 분석법(response surface analysis)을 이용하여 분석하였다[5]. 또한, 반응표면 분석법을 통하여 소결조건에 따른 전기적 특성 및 적층 칩 바리스터 설계시 고려되어야 할 전기적 특성을 연구하였다.

## 2. 실험

### 2.1 실험방법

본 실험에 사용된 순도 99.9 %이상의 순도를 가지는 ZnO, Pr<sub>6</sub>O<sub>11</sub>, Co<sub>3</sub>O<sub>4</sub>, Y<sub>2</sub>O<sub>3</sub>, Al<sub>2</sub>O<sub>3</sub> 원료를 적용하였으며 원료 분말을 조성비에 맞게 평량한 후 지르코니아 볼과 물을 이용하여 24시간 분쇄, 혼합 후 건조하였다. 건조한 분말을 800 °C에서 2시간 하소한 후 비드밀 (bead mill)을 이용하여 D<sub>50</sub>: 0.82 μm, BET : 4.8 g/m<sup>2</sup>로 분쇄하였다. 분쇄한 분말에 PVB, 분산제, 톨루엔, 가소제를 첨가하여 슬러리를 제작한 후 닥터브레이드법을 이용하여 그린시트를 제조하였다. 내부전극으로는 Pd전극을 이용하여 그린시트에 인쇄한 후 적층, 가압한 후 절단하였다. 절단한 그린 칩을 300 °C에서 24시간 탈 바인더 한 후 표 2와 같은 조건으로 실험 계획법을 적용하여 소결온도, 유지시간, 냉각속도를 변화시켜 소결하였다. 소결 완료한 칩을 Ag 전극을 이용하여 외부전극을 형성한 후 600 °C에서 10분간 소결하였다. 최종 적층 칩 바리스터의 크기는 소결1.0[L] × 0.5[W] × 0.5[t] mm이다. 적층 칩 바리스터 설계시 그린시트 두께는 23 μm, 내부전극 층수는 6층으로 하였다.

### 2.2 분석 방법

바리스터의 전압-전류 특성은 High Voltage Source Measurement Unit(Keithley 237)을 이용하여 측정하였으며 바리스터 전압 (V<sub>1mA</sub>)은 전류밀도가 1 mA/cm<sup>2</sup>일 때의 전압으로, 누설전류 (I<sub>L</sub>)은 바리스터 전압에 80 %를 인가하여 측정된 전류이다. 비직선계수(α)는 식 (1)을 이용하여 계산하였으며 여기서 V<sub>1mA</sub>와 V<sub>10mA</sub>는 전류밀도 1 mA/cm<sup>2</sup>과 10 mA/cm<sup>2</sup>에 각각 대응되는 전압이다.

$$a = 1 / (\log V_{10mA} - \log V_{1mA}) \quad (1)$$

정전용량은 Impedance Analyzer (HP, 4294A)로 1 MHz에서 측정하였으며 시편의 미세구조 및 성분 분석은 EDS를 부착한 SEM(JSM-6360, Joel)을 이용하였다.

### 2.3 반응표면 분석법

반응표면분석법은 통계소프트웨어인 MINITAB을 이용하여 실험설계는 중심합성(central composite)법을 적용하였으며 실험인자로는 소결시간, 유지시간, 냉각속도로 하였다[6].

각 실험 조건에 대한 샘플수는 30개로 하였으며 표 1에 인자의 범위와 요구되는 규격을 나타내었으며 표 2에는 실험조건과 결과를 나타내었다. 표 2의 결과를 토대로 분석한 결과 냉각속도에 의한 유의차가 없는 것으로 나타나 본 논문에서는 분석 결과에서 제외하였다.

표 1. 실험계획법에 적용된 실험인자, 인자수준 및 목표치.

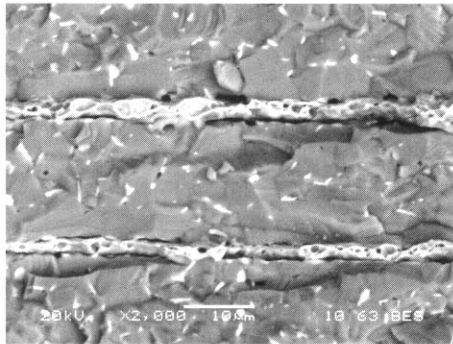
Table 1. Test factor, factor level and target values for response surface analysis method.

실험인자	인자수준		목표치			
			V <sub>1mA</sub> [V]	α	I <sub>L</sub> [μA]	용량 [pF]
소결온도 (°C)	Low	1150	12	Min. 30	Max. 200	50
	Hgh	1200				
유지시간 (hr)	Low	1				
	Hgh	3				
냉각속도 (°C/min)	Low	1				
	Hgh	3				

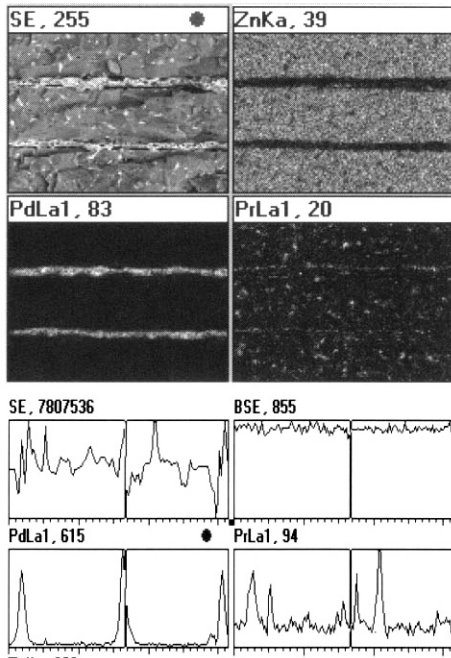
표 2. 실험계획법에 적용된 실험조건과 결과.

Table 2. Test condition and results for response surface analysis method.

No	Type	소결온도 (°C)	유지시간 (hr)	냉각속도 (°C/hr)
1	1	1200	3	1
2	-1	1217	2	2
3	1	1200	1	1
4	0	1175	2	2
5	-1	1175	2	3.7
6	1	1150	3	3
7	0	1175	2	2
8	-1	1175	2	0.3
9	1	1150	1	1
10	0	1175	2	2
11	1	1200	3	3
12	0	1175	2	2
13	1	1200	1	3
14	-1	1175	3.7	2
15	0	1175	2	2
16	-1	1175	0.3	2
17	1	1150	1	3
18	0	1175	2	2
19	1	1150	3	1
20	-1	1133	2	2



(a)



(b)

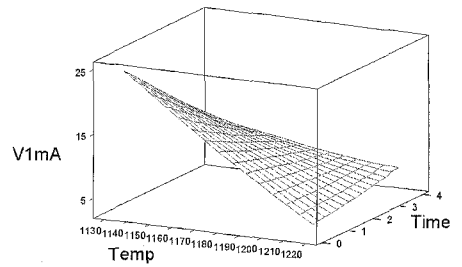
그림 1. 1175 °C, 2시간에서 소결한 적층 칩 바리스터 파단면 및 EDS 분석 결과.  
(a) 파단면 미세구조 사진 (b) EDS 분석 결과

Fig. 1. SEM micrographs and EDS analysis results of the multilayer ceramic varistors sintered at 1175 °C for 2 h.  
(a) SEM micrographs (b) EDS analysis results

### 3. 결과 및 검토

그림 1(a)는 1175 °C, 2시간에서 소결한 적층 칩 바리스터의 파단면의 미세구조를 SEM의 BEI (Back

Surface Plot of V1mA



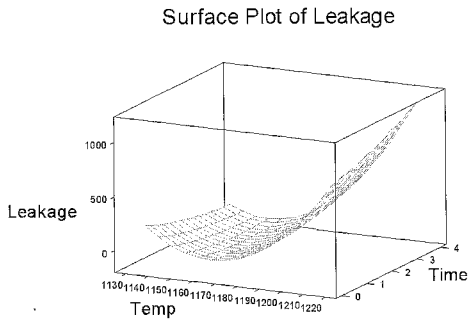
Hold values: Cooling: 2.0

그림 2. 소결온도 및 유지시간에 따른 적층 칩 바리스터 전압.

Fig. 2. Varistor voltage  $V_{1mA}$  of the multilayer chip varistor as a function of sintering temperature and holding time.

Scatter Electron Image)로 나타낸 것이고 그림 (b)는 성분별 EDS mapping한 결과이다. 파단면의 미세구조를 보면 전극간 세라믹의 두께는 18  $\mu\text{m}$ 로서 수축율은 22 %를 보이고 있다. 세라믹 표면을 보면 흰점이 보이고 있으며 이를 분석한 결과 Pr 임을 확인 할 수 있으며 분포를 보면 내부전극 근처에 적게 분포함을 볼 수 있다. 그림 (b)는 Pr의 분포를 mapping할 결과로서 내부전극으로 사용하는 Pd 전극에 Pr이 존재함을 볼 수 있으며 이를 라인 스캐닝(line scanning)으로 내부전극과 세라믹을 분석한 결과에서 내부전극 계면 및 내부전극에 Pr이온 많이 존재하는 것을 볼 수 있다. 이와같은 결과는 ZnO-Bi<sub>2</sub>O<sub>3</sub>를 적용한 적층 칩 바리스터에서도 나타나는 결과로 내부전극 전극내에서 Bi 이온이 검출되었으며 소결 과정 중에 생성된 액상이 내부전극으로 이동하는 것이라고 보고하였다 [3]. ZnO-Pr<sub>6</sub>O<sub>11</sub>를 적용한 적층 칩 바리스터에서도 내부전극과 액상으로 존재하는 Pr이온과 반응성이 있음을 확인 할 수 있었으며 K.T.Jacob등도 소결 온도 및 분위기에 따라 Pd와 Pr과의 반응성이 변화함을 보고하였다[7]. 이와 같은 현상에 의해 바리스터 활성화 영역의 감소와 불규칙한 전도 채널의 형성으로 인하여 ESD 특성 및 신뢰성 저하를 가져올 수 있다.

그림 2는 적층 칩 바리스터의 소결온도 및 유지 시간에 따른 바리스터 전압을 나타낸 것이다. 소결 온도 및 유지시간의 증가에 따라 바리스터 전압이 17.7 V에서 4.8 V까지 감소함을 볼 수 있으며 단위 두께당 전압으로는 266 ~ 983 V/mm의 값을



Hold values: Cooling: 2.0

그림 3. 소결온도 및 유지시간에 따른 적층 칩 바리스터 누설전류.

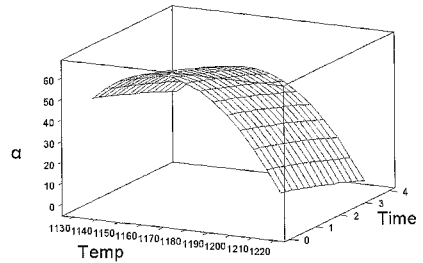
Fig. 3. Leakage current of the multilayer chip varistor as a function of sintering temperature and holding time.

가진다. 일반적으로 바리스터 전압은 전도경로에 절연성을 가지는 입계의 수에 따라 변화하며 평균 결정립이 클수록 감소하는 것으로 알려져 있다[8].

본 논문에서도 소결온도 및 유지시간의 증가에 따라 소결성이 증진되어 평균 결정립의 크기의 증가하여 바리스터 전압이 감소하는 것으로 판단된다. 소결온도에 따라 바리스터 전압의 변화를 회귀식으로 계산한 결과  $Y = -158.98 \cdot \ln(\text{소성온도}) + 1134.2$ 로 나타났으며 소성온도가 1 °C 변화 할 때 바리스터 전압이 1.2 % 변화함을 볼 수 있다. 소결온도에 의한 영향을 줄이기 위해서는 유지시간을 0.5 ~ 2시간 범위로 하는 것이 바리스터 전압의 소결 온도에 의한 변화율을 줄일 수 있음을 확인 할 수 있다.

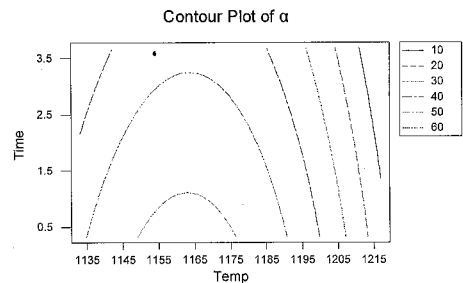
그림 3는 소결온도 및 유지시간에 따른 적층 칩 바리스터 누설전류로서 1150 ~ 1175 °C 범위에서는 0.3 μA이하로서 우수한 전기적 특성을 보이는 반면 1200 °C 이상부터는 소결온도 증가에 따라 누설전류가 급격히 증가하는 양상을 보이고 있다. 유지시간에 의한 영향은 저온영역에서는 1133 ~ 1150 °C 영역에서는 유지시간이 길어짐에 따라 누설전류가 적게 나타나지만 1175 °C 이상부터의 영역에서는 반대의 현상을 나타낸다. 특히 1200 °C 이상의 소성온도에서는 누설전류가 급격히 증가하는 것은 소결온도의 증가에 따라 Pd 내부전극과 Pr과의 반응성이 커짐으로 누설전류가 상대적으로 증가하여 나타난 결과로 판단된다.

Surface Plot of  $\alpha$



Hold values: Cooling: 2.0

(a)



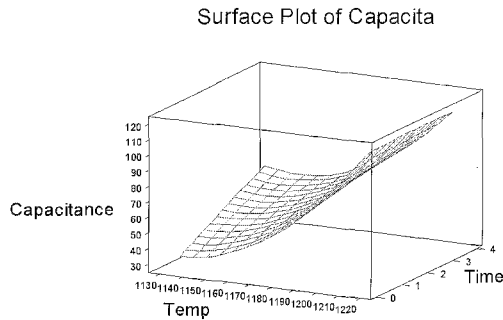
Hold values: Cooling: 2.0

(b)

그림 4. 소결온도 및 유지시간에 따른 적층 칩 바리스터 비직선 계수.

Fig. 4. Non-linear coefficient of the multilayer chip varistor as a function of sintering temperature and holding time.

그림 4는 소결온도 및 유지시간에 적층 칩 바리스터의 비직선계수로서 (a)는 표면 형태 그림이고 (b)는 등고선 형태의 그림이다. 두개의 그림에서 나타나듯이 1150 ~ 1175 °C의 온도영역에서는 비직선 계수값이 60 ~ 69로 우수한 특성을 보이고 있으며 유지시간이 짧을수록 유리함을 볼 수 있다. 반면에 1200 °C 이상의 소결온도에서는 비직선계수가 40이하로 급격히 감소함을 볼 수 있으며 이와 같은 결과는 그림 3에 설명한 바와 같이 1200 °C 이상의 고온에서 Pd와 Pr이온간의 반응에 의한 새로운 화합물 생성으로 입계구조 및 구성물이 변화되어 나타나는 현상으로 판단된다. 일반적으로 비직선계수가 클수록 써지 전류에 대한 안정성이 높으며 적층 칩 바리스터의 경우 45이상이면 ESD 및 써지 특성이 우수한 것으로 알려져 있다[1-3].



Hold values: Cooling: 2.0

그림 5. 소결온도 및 유지시간에 따른 적층 칩 바리스터 정전용량.

Fig. 5. Capacitance of the multilayer chip varistor as a function of sintering temperature and holding time.

그림 5는 소결온도 및 유지시간에 따른 적층 칩 바리스터의 정전 용량을 측정된 그림을 나타내었다. 일반적으로 적층 칩 바리스터의 설계시 결정립의 크기 및 공핍층의 폭등을 고려하면 정전용량 및  $V_{1mA}$ 의 관계식은 다음과 같이 표현된다.

$$C \cdot V_{1mA} = \epsilon_0 \epsilon_r [(\phi_0 \cdot S)/2W]$$

$\epsilon_0$  : 진공의 유전율,  $\epsilon_r$ : ZnO 유전율,  
 $\phi_0$  : 입계의 전위장벽높이, W : 공핍층 폭  
 S : 내부대향전극 면적

일반적으로 적층 칩 바리스터를 ESD 보호용으로 적용에 있어 캐패시터와 ESD 기능을 함께하기 위하여 높은 정전용량을 필요로 하는 제품이 적용되고 있으나 최근에는 고주파 대역에 적용되는 적층 칩 바리스터의 사용량이 증가함에 따라 저 용량의 제품 수요도 증가되고 있다. 이와같은 원인으로 정전용량 값이 적층 칩 바리스터를 선정하는 데 중요한 요소로 작용한다[9]. 소결온도 및 유지시간 증가에 따라 정전용량이 증가함을 볼 수 있으며 이와같은 결과는 위의 식에서도 보듯이 ZnO 입내에 천이금속의 고용량이 증가함에 따라 입계 부근의 공핍층 두께가 감소와 결정립의 크기에 의한  $V_{1mA}$ 의 변화에 의해 나타난 결과로 판단된다. 한편, 적층 칩 바리스터의 정전용량 설계시 소결온도 및 유지시간에 따른  $V_{1mA}$ , 입계 전위장벽 높이, 공핍층 폭등을 고려하여 설계할 필요가 있음을 확인할 수 있다.

반응표면 분석법을 통해 얻은 최적 소결조건 영역에 포함된 소결온도 1175 °C, 유지시간 1.5시간, 냉각속도 2 °C/시간에서 소결한 적층 칩 바리스터를 IEC61000-4-2규격에 의거하여 8 KV로 ESD 10회 인가한 후 전기적 특성 변화량 측정 결과 바리스터 전압 변화량은 0.3 %이하이고 바리스터 비직선계수 변화량은 positive에서 0.33 %, Negative에서 0.55 %로 우수한 ESD 저항성을 나타내었다.

#### 4. 결론

본 연구에서는 ZnO-Pr<sub>2</sub>O<sub>3</sub>계 원료를 적용하여 반응표면분석법을 적용하여 실험한 결과 다음과 같은 결론을 얻었다.

1. 소결온도 및 유지시간에 따른 바리스터 전압, 누설전류, 비직선계수, 정전용량 값은 유지시간에 의한 영향 보다는 소결온도에 더 큰 영향을 받음을 확인하였다.
2. 소결온도에 따른 바리스터 전압 변화를 회귀식 계산한 결과  $Y = -158.98 \cdot \ln(\text{소성온도}) + 1134.2$ 로 나타났으며 소성온도가 1 °C 변화 할 때 바리스터 전압이 1.2 % 변화하였다.
3. 적층 칩 바리스터 특성에 있어 내부전극과 세라믹 층간의 반응에 의한 영향으로 Pr 이온 분포가 불균일함을 확인 할 수 있었으며 전기적 특성도 영향을 끼침을 확인 할 수 있었다.
4. 소결 조건으로 1175 °C, 1.5시간에서 8 KV ESD 10회 인가한 후 전기적 특성 변화량 측정결과 비직선계수 변화량은 positive에서 0.33 %, Negative에서 0.55 %이고 바리스터 전압 변화량은 0.3 %이하로 우수한 ESD 저항성을 나타내었다.

#### 참고 문헌

[1] N. Shohata, M. Nakanishi, and K. Utsumi, "Multilayer ceramic chip varistor", p. 329 in Ceramic Transaction Vol. 3, Advances in Varistor Technology, Edited by L. M. Levinson.  
 [2] 남춘우, "(Pr,Co,Cr,La)-doped ZnO 바리스터의 전기적 특성에 미치는 소결온도효과", 전기전자재료학회논문지, 19권, 12호, p. 1085, 2006.  
 [3] Y. S. Lee, K. S. Liao, and T. Y. Tseng, "Microstructure and crystal phase of praseodymium oxides-based zinc oxide

- varistor ceramics", J. Am. Ceram., Vol. 79, No. 9, p. 2379, 1996.
- [4] Y. J. Kim, H. K., K. S. Hong, and J. K. Lee, "The reaction of internal electrodes with Bi<sub>2</sub>O<sub>3</sub> in multilayer ZnO varistor", Journal of the Korean Ceramic Society, Vol. 35, No. 11, p. 1121, 1998.
- [5] 윤중락, 정대석, 이현용, 이석원, "소결조건에 따른 ZnO 바리스터의 미세구조 및 전기적 특성", 전기전자재료학회논문지, 19권, 7호, p. 662, 2006.
- [6] Minitab Release ver. 13 : User's Guide 1,2,3, 2000.
- [7] K. T. Jacob, K. T. Lwin, and Y. Waseda, "System Pr-Pd-O: Phase Diagram and Thermodynamic Properties of Ternary Oxides Using Solid-State Cells with Special Features", Zeitschrift für Metallkunde, 92, p. 731, 2001.
- [8] 유인성, 정종엽, 박춘배, "ZnO 나노파우더 바리스터의 제작과 전기적 특성", 전기전자재료학회논문지, 18권, 12호, p. 1117, 2005.
- [9] AVX TransGuard, Application notes, AVX.