

Excimer Laser Annealing 결정화 방법 및 고유전 게이트 절연막을 사용한 poly-Si TFT의 특성

Characteristics of poly-Si TFTs using Excimer Laser Annealing Crystallization and high-k Gate Dielectrics

이우현¹, 조원주^{1,a}
(Woo-Hyun Lee¹ and Won-Ju Cho^{1,a})

Abstract

The electrical characteristics of polycrystalline silicon (poly-Si) thin film transistor (TFT) crystallized by excimer laser annealing (ELA) method were evaluated. The polycrystalline silicon thin-film transistor (poly-Si TFT) has higher electric field-effect-mobility and larger drivability than the amorphous silicon TFT. However, to poly-Si TFT's using conventional processes, the temperature must be very high. For this reason, an amorphous silicon film on a buried oxide was crystallized by annealing with a KrF excimer laser (248 nm) to fabricate a poly-Si film at low temperature. Then, High permittivity HfO₂ of 20 nm as the gate-insulator was deposited by atomic layer deposition (ALD) to low temperature process. In addition, the solid phase crystallization (SPC) was compared to the ELA method as a crystallization technique of amorphous-silicon film. As a result, the crystallinity and surface roughness of poly-Si crystallized by ELA method was superior to the SPC method. Also, we obtained excellent device characteristics from the Poly-Si TFT fabricated by the ELA crystallization method.

Key Words : ELA, SLS, SPC, poly-Si TFT, high-k, HfO₂

1. 서 론

현재 널리 사용되는 bulk-silicon 기판을 이용한 MOSFETs 기술은 소자 축소화에 따른 누설 전류의 증가와 스위칭 특성의 열화, 신뢰성 저하와 같은 단채널 효과에 의한 물리적 한계에 도달하였다. 이러한 문제점들을 해결하기 위하여 기판 위에 매몰 산화막을 형성하고 그 위에 얇은 박막을 형성하는 새로운 SOI (silicon on insulator) 소자 기술이 제시되었다. 이러한 기술은 단순한 소자 구조와 얇은 채널, 기생 접합 용량의 감소, 래치 업에 대

한 내성 및 단채널 효과 억제 등의 이점을 가진다 [1]. 하지만 기판의 높은 가격으로 경제성이 떨어지는 단점이 있다. 그에 반해 매몰 산화막 위의 단결정 실리콘을 대신하여 다결정 실리콘을 사용하게 되면 기판 재료의 가격이 낮아질 뿐만 아니라 적층 소자 구조의 가능성, 넓은 면적에서도 소자를 제작할 수 있으며 제작 공정이 단순하다는 장점을 가진다. 또한 다결정 실리콘 박막 트랜지스터는 비결정질 실리콘 박막 트랜지스터에 비해 더 큰 전류 구동력을 갖는다[2]. 따라서, 다결정 실리콘 박막 트랜지스터는 차세대 ULSI (ultra large-scale integration) 소자 기술로 기대되어 진다[3-6].

이 논문에서는 하프늄 게이트 산화막을 가지고 ELA (excimer laser annealing)에 의해 결정화된 다결정 실리콘 박막 트랜지스터의 전기적 특성에 대해 연구하였다.

1. 광운대학교 전자재료공학과

(서울시 노원구 월계동 447-1)

a. Corresponding Author : chowj@kw.ac.kr

접수일자 : 2007. 9. 21

1차 심사 : 2007. 12. 4

심사완료 : 2007. 12. 19

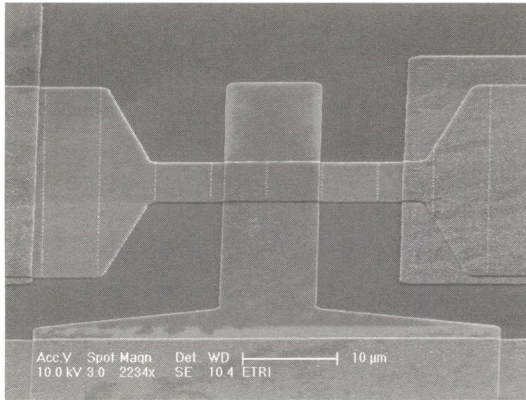
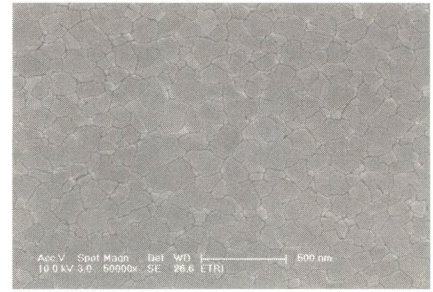


그림 1. 제작된 다결정 실리콘 박막 트랜지스터의 SEM 이미지.

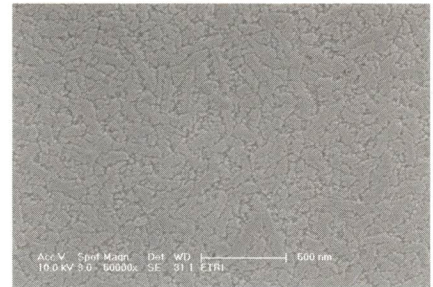
Fig. 1. SEM image of fabricated poly-Si TFT.

2. 실험

(100) p-type bulk silicon wafer 위에 열산화막을 200 nm의 두께로 성장시키고, 100 nm의 비결정질 실리콘은 550 °C의 온도에서 LPCVD (low pressure chemical vapor deposition) 방법으로 증착하였다. 비결정질 실리콘의 결정화는 KrF (248 nm) excimer laser를 사용하여 300 mTorr의 진공 챔버 내에서 이루어졌으며, 조사되는 레이저의 에너지 밀도는 400 mJ/cm²로 최적화하였다. 비결정질 실리콘의 결정화 방법을 비교하기 위해 고상결정화 방법(SPC: solid-phase crystallization)을 적용하여 N₂ 분위기에서 600 °C 24시간 동안의 anneal을 실시하였다. 두 방법에 의해 결정화된 박막의 결정성, 그레인 크기와 표면의 거칠기를 분석하기 위해 XRD (X-ray diffractometer)와 SEM (scanning electron microscope)을 사용하였다. 다결정 실리콘의 소자형성영역을 photo-lithography와 식각 공정에 통해 확립하였다. 그 다음 ALD (atomic layer deposition)를 이용하여 두께 20 nm의 HfO₂ 게이트 절연막을 형성하였고 thermal evaporator를 사용하여 두께 200 nm의 알루미늄 게이트 전극을 증착하였다. Photo-lithography와 식각 공정을 통해 게이트 전극을 확립한 후 소스/드레인 영역의 도핑은 450 °C의 승온 플라즈마 도핑 방법을 사용하여 불순물 활성화를 동시에 달성하였다[7]. 그림 1은 제작된 다결정 실리콘 박막 트랜지스터의 SEM 이미지를 나타내고 있다.



(a)



(b)

그림 2. 다결정 박막의 결정 경계면을 Secco 식각 용액으로 식각한 후의 SEM 이미지. (a) ELA (400 mJ/cm²), (b) SPC (600 °C, 24 h)

Fig. 2. SEM images of poly-Si films after Secco etching of grain boundary; (a) ELA (400 mJ/cm²), (b) SPC (600 °C, 24 h)

3. 결과 및 고찰

그림 2는 Secco 식각 용액에 의해 다결정 실리콘 박막의 결정 경계면을 식각한 후의 SEM 이미지를 나타내고 있다. SPC 방법에 의해 결정화된 다결정 실리콘 박막은 ELA 방법으로 결정화시킨 박막에 비해 더 작은 그레인을 갖는 것을 확인하였다. 또한 ELA 방법에 의해 결정화된 박막의 결정 경계면이 SPC 방법보다 더 깨끗하고 얇은 결정 경계를 나타내는 것을 확인했다.

그림 3은 최적화된 SPC 방법과 ELA 방법에 의해 결정화된 박막의 XRD 결과를 나타낸다. 다결정 실리콘 박막의 결정 방향은 결정화 방법과 무관하고 모든 다결정 실리콘 박막은 (111), (220) 및 (311)의 우선 면방향을 가진다. 특히, (111) 결정면에서 가장 강한 회절이 발생하였으며, SPC 방법보다 ELA 방법에 의해서 결정화된 박막에서 더 강한 회절이 발생하였다.

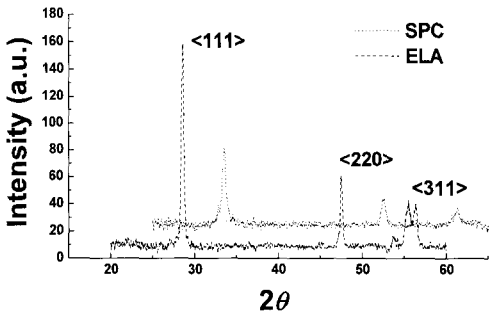


그림 3. 다결정 실리콘 박막의 XRD 분석 결과
ELA (400 mJ/cm²), SPC (600 °C, 24 h).

Fig. 3. Results of XRD analysis obtained from poly-Si films. ELA (400 mJ/cm²), SPC (600 °C, 24 h).

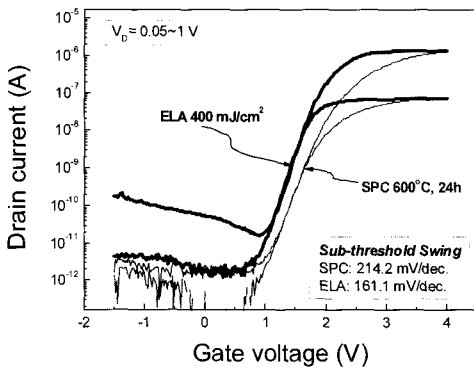


그림 4. ELA (400 mJ/cm²), SPC (600 °C, 24 h)에 의해 결정화된 다결정 실리콘 박막 트랜지스터의 ID-VG 특성.

Fig. 4. ID-VG characteristics of poly-Si TFT fabricated by ELA (400 mJ/cm²), SPC (600 °C, 24 h).

그림 4는 ELA 방법과 SPC 방법에 의해 결정화된 채널의 폭/길이=20 um/10 um인 다결정 실리콘 박막 트랜지스터의 ID-VG 특성을 나타내고 있다. ELA 방법과 SPC 방법에 의해 결정화된 다결정 실리콘 박막 트랜지스터의 subthreshold swing (SS) 특성은 각각 214.2 mV/dec.와 161.1 mV/dec로 분석되었다.

그림 5는 다결정 실리콘 박막 트랜지스터의 ID-VD 특성을 나타내고 있다. ELA 방법과 SPC 방법에 의해 결정화된 다결정 실리콘 박막 트랜지스터의 포화 드레인 전류는 각각 1.26×10^{-6} A and 2.46×10^{-6} A

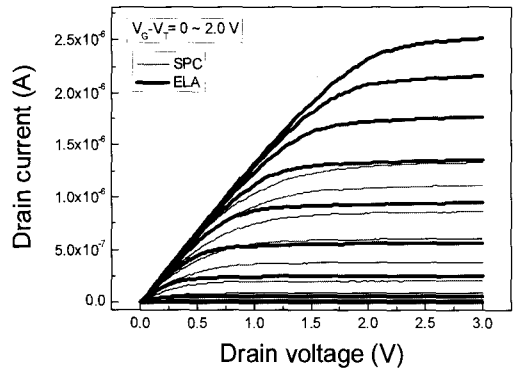


그림 5. ELA(400 mJ/cm²), SPC(600 °C, 24 h)에 의해 결정화된 다결정 실리콘 박막 트랜지스터의 ID-VD 특성.

Fig. 5. ID-VD characteristics of poly-Si TFT fabricated by ELA(400 mJ/cm²), SPC(600 °C, 24 h).

로 나타났다. 결과적으로 그림 4와 그림 5의 고유 전막 게이트를 가지는 다결정 실리콘 박막 트랜지스터를 통하여 ELA 결정화 방법이 SPC 결정화 방법보다 전기적 특성이 더 우수하다는 것을 확인하였다.

4. 결론

고성능, 고집적의 3 차원으로 집적된 CMOS 소자적용을 위한 다결정 실리콘 박막 트랜지스터를 ELA 결정화 방법과 HfO₂ 게이트 절연막을 이용한 저온 공정으로 제작하였다. 그 결과, HfO₂를 적용한 다결정 실리콘 박막 트랜지스터에서도 SiO₂의 대체 물질로서 기대되는 양호한 전기적 특성을 얻을 수 있었다. 따라서, HfO₂는 기존의 SiO₂를 대체하여 게이트 절연막 등에서 소모되는 쓸데없는 전류와 그에 따른 불필요한 발열 등, 기술적인 한계를 해결하고 저온에서 고성능의 다결정 실리콘 박막 트랜지스터를 제작할 수 있는 핵심 게이트 절연체로서 기대된다. 또한, ELA 저온 결정화 방법은 기존의 열산화 방법에 비해 현저히 낮은 공정 온도와 함께 보다 우수한 박막의 특성을 얻을 수 있었다. 이 결과를 바탕으로 고집적 3D ULSI 회로와 미래 디스플레이 소자를 제작하는데 매우 효과적인 방법임을 확인하였다.

참고 문헌

- [1] 백희원, 변문기, 김영호, "SOI technology (2) : SOI MOS 트랜지스터의 전기적 특성", 전기 전자재료, 12권, 9호, p. 10, 1999.
- [2] S. Inoue., S. Utsunomiya., T. Saeki, and T. Shimoda., "Surface-free. technology by laser annealing (SUFTLA) and its application to poly-. Si TFT-LCDs on plastic film with integrated drivers", IEEE Trans. on Electron Device, Vol. 49, No. 8, p. 1353, 2002.
- [3] A. W. Topol, D. C. La Tulipe, Jr., L. Shi, D. J. Frank, K. Bernstein, S. E. Steen, A. Kumar, G. U. Singco, A. M. Young, K. W. Guarini, and M. Jeong, "Three-dimensional integrated circuits", IBM J. RES. & DEV., Vol. 50, No. 4/5, p. 491, 2006.
- [4] Victor W. C. Chan, Philip C. H. Chan, and Chan M., "Three dimension CMOS integrated. circuits on large grain polysilicon films", IEEE IEDM Tech Dig., p. 161, 2000.
- [5] G. D. Wilk, R. M. Wallace, and J. M. Anthony, "High-k gate dielectrics: current status and materials properties considerations", J. Appl. Phys., Vol. 89, p. 5243, 2001.
- [6] 류명관, 손곤, 김천홍, 이정열, "SLS technology for high performance poly-Si TFTs and Its application to advanced LCD and SOG", 전기 전자재료, 19권, 9호, p. 11, 2006.
- [7] W.-J. Cho, K.-J. Im, C.-G. Ahn, J.-H. Yang, J.-H. Oh, I.-B. Baek, and S.-J. Lee, "Plasma doping technology for fabrication of nanoscale metal-oxide-semiconductor devices", J. Vac. Sci. Technol. B, Vol. 22, No. 6, p. 3210, 2004.