

희토류 금속을 이용한 니켈 실리사이드의 전기 및 물리적 특성

Electrical and Physical Characteristics of Nickel Silicide using Rare-Earth Metals

이원재¹, 김도우², 김용진³, 정순연⁴, 왕진석^{4,a}
(Won-Jae Lee¹, Do-Woo Kim², Yong-Jin Kim³, Soon-Yen Jung⁴, and Jin-Suk Wang^{4,a})

Abstract

In this paper, we investigated electrical and physical characteristics of nickel silicide using rare-earth metals(Er, Yb, Tb, Dy). Incorporated Ytterbium into Ni-silicide is proposed to reduce work function of Ni-silicide for nickel silicided schottky barrier diode (Ni-silicided SBD). Nickel silicide makes ohmic-contact or low schottky barrier height with p-type silicon because of similar work function (Φ_M) in comparison with p-type silicon. However, high schottky barrier height is formed between Ni-silicide and p-type substrate by depositing thin ytterbium layer prior to Ni deposition. Even though the ytterbium is deposited below nickel, ternary phase $Yb_xNi_{1-x}Si$ is formed at the top and inner region of Ni-silicide, which is believed to result in reduction of work function about 0.15 - 0.38 eV.

Key Words : Ni-silicide, SALICIDE, Work function, Schottky barrier diode (SBD)

1. 서론

작은 일함수의 실리사이드는 n-type Schottky Barrier(SB)-MOSFET[1,2]와 metal-gate / high-k 기술[3-5]을 이용하여 소자를 제작하는데 필요한 물질이라 할 수 있다. 특히 SB-MOSFET은 100 nm이하의 게이트 길이에서 얇은 접합으로 인한 소스 / 드레인의 저항 값을 낮추고 단채널 효과를 줄일 수 있어 현재의 도핑기반의 소자를 대체할 소자로 연구되어 지고 있다[2]. 낮은 일함수를 갖는 희토류 금속(Er, Yb, Tb, Dy)은 일반적으로 p-type 실리콘 기판과 Schottky barrier을 형성하여 n-type schottky barrier MOSFET를 형성하는 물질로 연구되며 사용되고 있다[1]. 또한 금속 게이트 전극과 high-k 물질은 향후 나노 크기의

CMOSFET에 반드시 필요하다고 할 수 있다[6-8]. 특히, 폴리실리콘을 대신할 메탈 게이트는 폴리 공핍효과 억제와 붕소의 침투 및 저항을 낮춘다는 측면에서 High-k와 접목하여 연구되어 지고 있다[9]. 그러나 높은 일함수를 갖는 메탈 게이트에 적용할 실리사이드는 High-k와 접목 시 높은 문턱전압으로 인해 높은 성능의 소자의 구현에 문제가 될 수 있다[10]. 또한, 니켈 실리사이드는 낮은 형성 온도와 면저항의 선풍 의존성, 실리콘 소모율로 인해 현재 양산에 사용되고 있는 $CoSi_2$ 의 대안 물질로 소스와 드레인의 전극형성에 가장 각광받고 있다[11]. 결과적으로 메탈 게이트의 대안으로 연구되고 있는 FUSI (fully silicided) 역시 니켈 실리사이드가 연구되고 있으므로 같은 적용이 가능하다[12].

본 논문에서는 희토류 금속(REM : Rare Earth Metal)을 이용한 니켈-실리사이드 합금 특성을 연구하였으며 그 중 면저항 특성이 좋은 Ytterbium을 이용하여 Schottky barrier diode를 제작하고 Work function의 변화를 연구 하였다. 얇은 막의 희토류 금속층을 니켈 증착 전에 증착하여 실리사이드를 형성시켰으며, 향후 FUSI 게이트와 Schottky barrier 소스 / 드레인에 동시에 형성할 수 있어 소자에 적용 가능하리라 여겨진다.

1. 삼성전자(주) 시스템 LSI사업부
2. 한국폴리텍여자대학 디지털디자인과
3. 매그나칩 반도체 SMS사업부
4. 충남대학교 전자공학과
(대전시 유성구 궁동 220)
a. Corresponding Author : jswang@cnu.ac.kr
접수일자 : 2007. 10. 15
1차 심사 : 2007. 10. 25
심사완료 : 2007. 11. 16

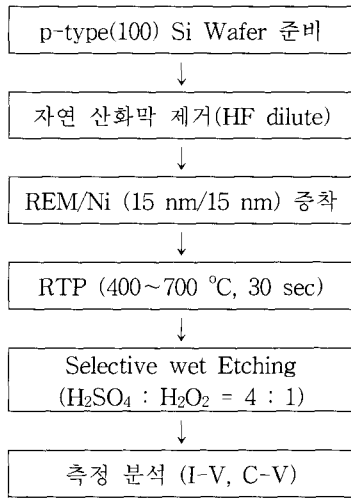


그림 1. 실리사이드 형성의 주요 공정 순서.
Fig. 1. The key process flow for silicidation.

2. 실험

실험을 위해 p-type Si(100) 기판과 다이오드 패턴이 형성된 p-type Si(100) 기판이 각각 사용되었다. 간략화한 제조 공정의 흐름을 그림 1에 나타내었다.

형성된 다이오드의 특성을 분석하기 위해 Area (Width × Length = 2000 × 200 μm) 형태의 다이오드를 형성시켰다. 자연 산화막을 제거하기 위해 1%로 희석된 HF용액에 15초간 식각을 하고 이온빔 스퍼터를 이용하여 회도류 금속을 먼저 buffer layer로 15 nm 증착한 다음에 니켈을 순차적으로 15 nm의 두께로 증착하였다. 메탈 증착을 위한 기본 진공도와 증착 진공도를 5×10^{-7} Torr 와 1.9×10^{-4} Torr에서 각각 실시하였다. 그 후 RTP (Rapid Thermal Process) 장비를 이용하여 400 ~ 700 °C의 온도 조건으로 나누어 30초간 실리사이드 형성을 위한 열처리를 하였다. 그 다음 반응하지 않은 메탈은 H₂SO₄ : H₂O₂ = 4 : 1 용액에 선택적으로 식각하였다. 이렇게 형성된 실리사이드의 면저항을 측정하기 위하여 Four point probe (FPP)를 이용하였고 Field Emission Scanning Electron Microscopy (FE-SEM ; Jeon-ju Branch of the Korea Basic Science Institute, Model S-4700)를 이용하여 형성된 실리사이드의 단면 특성을 분석하였다. X-ray Diffractometer (XRD)는 형성된 실리사이드의 구조분석에 사용되었다.

또한 니켈 실리사이드 Schottky barrier 다이오드의 전류-전압(I-V) 특성과 정전용량과 전압(C-V) 특성을 Agilent 4156C semiconductor parameter analyzer (SPA)와 HP 4280A 장비를 이용하여 각각 측정하고 분석하였으며, 역방향 전류에서의 활성화 에너지(Ea)를 추출하여 분석하였다.

3. 특성 분석

RTP 온도에 따른 니켈 실리사이드의 면저항 특성을 그림 2에 나타내었다.

열처리 동안 Nickel이 Diffusion하여 silicide를 형성하는데 Yb(Ytterbium)를 제외하고 낮은 면저항의 특성을 갖는 Nickel실리사이드가 600도 이후로 형성된 것을 볼 수 있다. Yb(Ytterbium)의 경우 700도 미만에서는 실리사이드가 형성되지 않아 면저항이 측정되지 않았다. 단면 FE-SEM 측정 결과인 그림 3를 보면 면저항과 마찬가지로 Yb에서 가장 양호한 단면 특성을 보였다. Tb의 경우 실리사이드가 거의 형성되지 않은 것을 확인함으로써 높은 저항의 원인을 알 수 있었다. 이로써 Yb 니켈 실리사이드의 안정된 형성을 볼 수 있으며, 형성된 실리사이드의 두께가 50 nm이하로 형성 되어 있음을 그림 3(b)을 통해서 볼 수 있다.

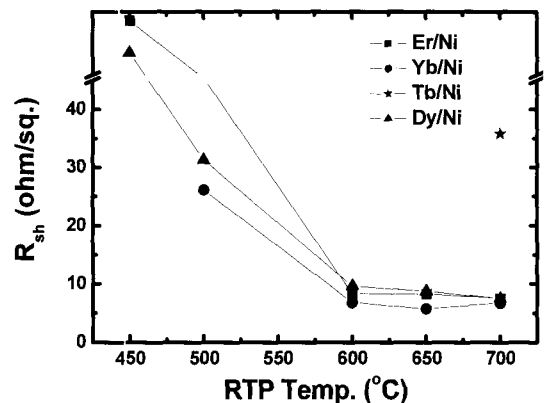


그림 2. 실리사이드의 형성을 위한 금속열처리 450~700 °C, 30초 후의 면저항 특성.

Fig. 2. Sheet resistance after rapid thermal process (RTP) at 400~700 °C for 30 sec to form silicide. (Blanket wafers).

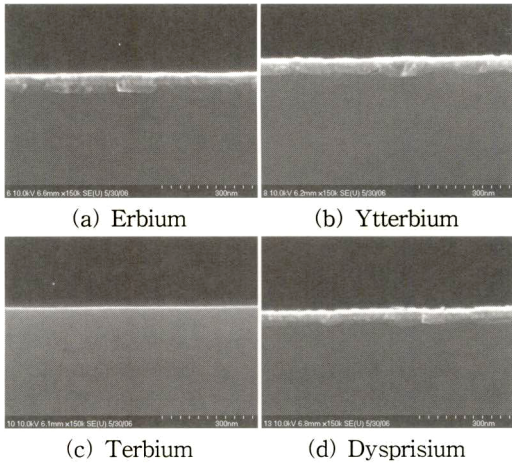


그림 3. 형성된 실리사이드의 FE-SEM 단면 특성.
 Fig. 3. Cross-section FE-SEM image of formed Ni-silicide.

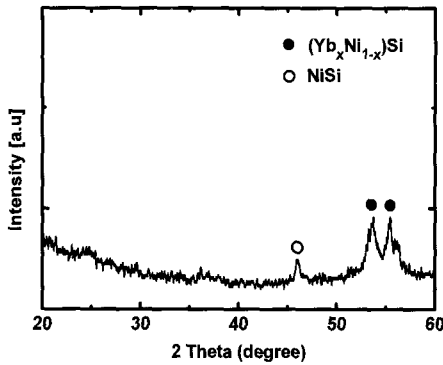


그림 4. 형성된 실리사이드의 XRD 분석결과.
 Fig. 4. XRD 2θ scans of formed silicide.

형성된 실리사이드 중 특성이 가장 좋은 구조인 Yb/Ni의 실리사이드를 이용하여 결정 구조와 상변이 특성을 XRD(X-ray diffraction analysis) 분석을 통하여 그림 4에 나타내었다.

XRD 분석 결과 형성된 실리사이드는 (Yb_xNi_{1-x})Si와 NiSi의 두 가지 상태의 peak를 모두 확인할 수 있었다. 결과적으로 Ytterbium 실리사이드가 형성된 것이 아니고 니켈이 확산되어 내려와 (Yb_xNi_{1-x})Si와 NiSi형태의 실리사이드가 형성된 것을 확인하였다.

그림 5는 형성된 니켈 실리사이드를 이용하여 Silicided Schottky Barrier diode의 전류-전압(I-V) 특성을 나타내었다.

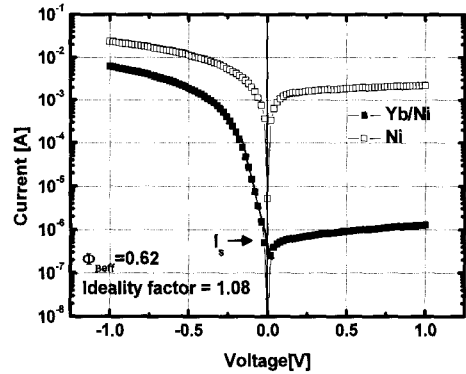


그림 5. 형성된 실리사이드 다이오드의 I-V 특성.
 Fig. 5. I-V characteristics of Ni-silicided schottky diode with p-type substrate.

Thermionic emission (TE) 이론에 의한 순방향 바이어스에서의 다이오드 전류는 식(1)과 같이 나타낼 수 있다.

$$I = AA^*T^2 \exp\left(-\frac{e\phi_{\text{Beff}}}{kT}\right) \left[\exp\left(-\frac{eV}{nkT}\right) - 1 \right]$$

$$= I_s \exp\left(-\frac{eV}{nkT}\right) - 1 \quad (1)$$

여기서 Φ_{Beff} 은 유효 Schottky 장벽 크기(effective schottky barrier height), k는 볼츠만상수 (Boltzmann constant), T는 온도 (temperature), e는 전하량 (electronic charge), A는 다이오드의 면적, A^* 는 리차드슨 상수 (Richardson constant)이다 ($A^* = 35 \text{ A/K}^2\cdot\text{cm}^2$ for p-si). 식 (1)과 추출된 I_s ($I_s = 3.926 \times 10^{-7} \text{ A}$)을 이용하여 추출된 유효 장벽 크기, Φ_{Beff} 와 ideality factor, n은 각각 0.62 eV과 1.08로 나타났다.

그림 6은 내부전위와 기관의 농도를 추출하기 위한 $1/C^2$ 대 역방향 전압 ($1/C^2-V_R$)의 관계식을 나타낸 것이다. 여기에서 역방향 전압이 증가함에 따라 공핍영역의 증가로 인하여 정전용량의 값이 감소하는 것을 볼 수 있다. 두 가지 Parameter를 추출하기 위한 정전용량에 대한 특성의 결정은 식 (2), (3)에 의해 결정된다.

$$\left(\frac{1}{C'}\right) = \frac{2(V_{bi} + V_R)}{e\epsilon_s N_a} \quad (2)$$

$$\frac{\Delta(1/C')^2}{\Delta V_R} = \frac{2}{e\epsilon_s N_a} \quad (3)$$

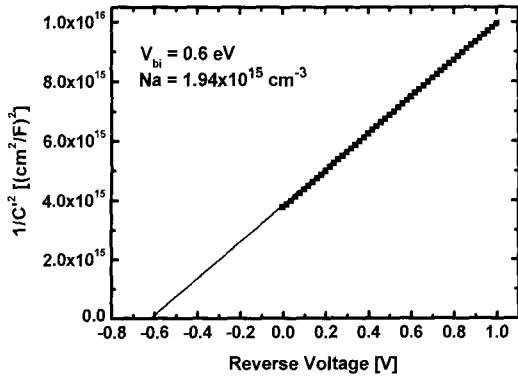


그림 6. 형성된 실리사이드 다이오드의 C-V 특성 내부 전계와 기판농도 추출을 위한 역방향 전압에 따른 $1/C^2$ 특성.

Fig. 6. C-V characteristics for measurement of SBD capacitance. $1/C^2$ vs. Reverse voltage for extraction of a built-in potential and substrate concentration.

여기서 C' 는 단위 면적당 정전용량, V_{bi} 는 내부 전계, V_R 은 역방향 바이어스 전압, e 는 전하량, ϵ_s 는 반도체의 유전율, N_a 는 기판의 억셉터 농도이다.

V_{bi} 는 p-type기판과 Schottky 다이오드의 특성에서 $V_{bi} = \phi_B + \phi_p$ 과 같이 결정될 수 있다. 전위차인 ϕ_p 는 E_F (Fermi level)과 E_v (Valance band의 최상단)의 차이이며 추출된 N_a (Acceptor concentration)를 통하여 계산되어 진다. 식(2)와 (3)을 사용하여 추출한 내부전계, V_{bi} 와 억셉터 농도, N_a 는 각각 0.6 eV와 $1.94 \times 10^{15} \text{ cm}^{-3}$ 으로 분석됐다. 추출된 N_a 를 이용하여 이론적으로 계산된 실리콘의 일함수 (Φ_{Si})는 4.95 eV이다. 이상적인 메탈과 반도체 접합에서 Schottky barrier height (SBH), ϕ_B 는 메탈의 일함수(Φ_M)와 반도체(Φ_{Si})의 차이인 $e\phi_B = e\chi + Eg - e\Phi_M$ 로 간단히 계산될 수 있다. 다이오드의 I-V 방법과 C-V 방법으로 계산된 실리사이드의 일함수(Φ_M)는 각각 4.55 eV와 4.32 eV이다. 비록 I-V와 C-V 방법에 의한 추출 값이 0.23 eV 정도 차이가 나지만, 순수 니켈 실리사이드의 일함수인 4.7 eV보다 감소된 0.15에서 0.38 eV로 추출 방법에 의해 나타낼 수 있다. 그러나 실제적으로 메탈의 일함수에 따라 계면준위의 존재는 Schottky barrier height(SBH)를 작게 만들 수 있다[13]. 결과적으로 메탈의 일함수(Φ_M)는 C-V방법에 의해 추출된 값보다 더 클 수 있다. 그러나 Ytterbium에 의한 일함수의 감소를 두 방법에서 모두 충분히 확인할 수 있다.

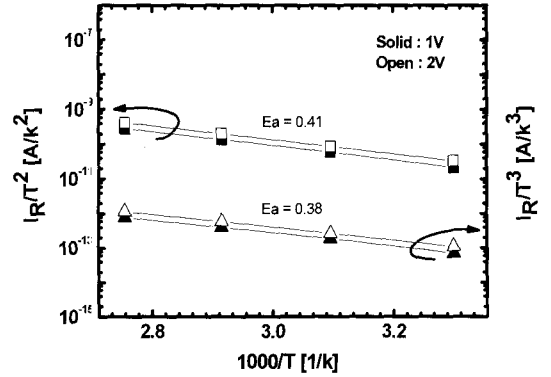


그림 7. 형성된 실리사이드 다이오드의 온도에 따른 역방향 전류에서 추출한 E_a 특성.

Fig. 7. E_a (Activation Energy) characteristics using reverse current of Schottky Barrier Diode on different temperature.

$$\frac{E_a}{T} \propto -\frac{k}{q} \ln\left(\frac{I_R}{T^3 \text{ or } T^2}\right) \quad (4)$$

그림 7에는 형성된 실리사이드 다이오드의 온도에 따른 역방향 전류에서 추출한 E_a 특성값을 나타내었다 E_a 를 추출하기 위한 식은 식(4)에 표현되었다. 역방향 전류는 각각 역방향 바이어스 1 V와 2 V에서 온도에 따라 추출하였으며 온도에 따른 특성은 T^3 과 T^2 에서 크게 차이가 나지 않는 것을 확인 할 수 있다. 일반적인 Schottky diode의 특성은 Leakage에 취약함을 보이는데, 추출된 값을 보면 약 0.4 eV로 낮은 특성 값을 나타내었다. 이는 형성된 실리사이드의 Leakage 또한 취약하다는 것을 알 수 있었다.

니켈과 실리콘의 고체 반응(solid reaction)에 의해 니켈 실리사이드가 형성되는 동안에 $(Yb_xNi_{1-x})Si$ 구조의 질합이 되었고, 일함수가 2.59 eV로 낮은 ytterbium이 NiSi의 일함수를 낮추는데 영향을 미친 것을 알 수 있었다. 그러므로 Ytterbium에 의해 니켈과 실리콘 사이의 결합에 의한 실리사이드의 일함수 변화는 분명하다고 할 수 있다. 또한 Ytterbium 증착과 함께 자기 정렬의 형성이 가능한 실리사이드 기술은 Nano-scale Metal Gate과 함께 소스 / 드레인 Schottky barrier MOSFET의 제조와 성능 향상에 충분히 적용 가능하리라 여겨진다.

4. 결론

본 논문에서는 희토류 금속(Er, Yb, Tb, Dy)을 이용한 니켈 실리사이드의 면저항 및 실리사이드의 형성 유무를 살펴 보았다. 또한 Ytterbium이 첨가된 니켈 실리사이드의 특성을 분석하였다. 비록 Ytterbium의 증착이 니켈 증착전에 시행되었지만 형성된 실리사이드의 특성은 삼상의 $(Yb_xNi_{1-x})Si$ 구조가 형성이 되어 있고 또한 니켈 모노 실리사이드가 형성된 것을 XRD분석을 통해 알 수 있었다. 이러한 니켈 실리사이드를 이용하여 Schottky barrier diode를 제작하여 특성을 분석하였으며 니켈 실리사이드의 일함수는 I-V방법을 통하여 4.55 eV와 C-V 방법을 통하여 4.32 eV를 추출할 수 있었다. 그러므로 제안된 니켈 실리사이드 기술을 통하여 일함수를 조절함으로써 메탈 게이트 전극과 소스 / 드레인의 금속성 접합을 이용한 Nano-scale CMOS 기술에 적용 가능할 것이다.

감사의 글

본 연구는 2005년도 충남대학교 자체 연구비 지원에 의해 수행되었음.

참고 문헌

[1] J. R. Waldrop, "Rare earth metal schottky-barrier contact to GaAs", Appl. Phys. Lett., Vol. 46, p. 864, 1985.

[2] J. M. Larson and J. P. Snyder, "Overview and status of metal S/D Schottky-barrier MOSFET technology", IEEE Transactions On Electron Device Lett., Vol. 53, p. 1048, 2006.

[3] J. K. Schaeffer, C. Capasso, L. R. C. Fonseca, S. Samavedam, D. C. Gilmer, Y. Liang, S. Kalpat, B. Adetutu, H. H. Tseng, Y. Shiho, A. Demkov, R. Hegde, W. J. Taylor, R. Gregory, J. Jiang, E. Luckowski, M. V. Raymond, K. Moore, D. Triyoso, D. Roan, B. E. White Jr., and P. J. Tobin, "Challenges for the integration of metal gate electrodes", Tech. Dig. - Int. Electron Devices Meet., p. 287, 2004.

[4] N. Biswas, J. Gurganus, and V. Misra, "Work function tuning of nickel silicide by

co-sputtering nickel and silicon", Appl. Phys. Lett., Vol. 87, p. 171908-1, 2005.

- [5] J. Yuan and J. C. S. Woo, "Tunable work function in fully nickel-silicided polysilicon gates for metal gate MOSFET applications", IEEE Electron Device Lett., Vol. 26, p. 87, 2005.
- [6] J. H. Lee, H. Zhong, Y. S. Suh, G. Heuss, J. Gurganus, B. Chen, and V. Misra, "Tunable work function dual metal gate technology for bulk and non-bulk CMOS", Tech. Dig. - Int. Electron Devices Meet. p. 359, 2002.
- [7] A. Yagishita, T. Saito, K. Nakajima, S. Inumiya, K. Matsuo, Y. Yakasaka, Y. Ozawa, H. Yano, G. Minamihaba, Y. Matsui, Y. Tsunashima, K. Sugaro, T. Arikado, and K. Okumura, "Reduction of threshold voltage deviation in Damascene metal gate MOSFETs", Tech. Dig. - Int. Electron Devices Meet., p. 257, 1999.
- [8] C. C. Hobbs, L. R. C. Fonseca, A. Knizhnik, V. Dhandapani, S. B. Samavedam, W. J. Taylor, J. M. Grant, L. G. Dip, D. H. Triyoso, R. I. Hegde, D. C. Gilmer, R. Garcia, D. Roan, M. L. Lovejoy, R. S. Rai, E. A. Hebert, H. H. Tseng, S. G. H. Anderson, B. E. White, and P. J. Tobin, "Fermi-level pinning at the polysilicon/metal oxide interface-Part", IEEE Trans. Electron Devices, Vol. 51, p. 971, 2004.
- [9] Q. Xiang, J. S. Goo, J. Pan, B. Yu, S. Ahmed, J. Zhang, and M. R. Lin, "Strained silicon NMOS with nickel-silicide metal gate", Symp. VLSI Tech. Dig., p. 101, 2003.
- [10] B. Cheng, B. Maiti, S. Samavedam, J. Grant, B. Taylor, P. Tobin, and J. Mogab, "Metal gates for advanced sub-80 nm SOI CMOS technology", Proc. IEEE Int. SOI Conf., p. 9192, 2001.
- [11] C. Lavoie, F. M. d'Heurle, C. Detavernier, and C. Cabral Jr., "Towards implementation of a nickel silicide process for CMOS technologies", Microelectron. Eng., Vol. 70, p. 144, 2003.
- [12] H. C. Wen, J. Liu, J. H. Sim, J. P. Lu, and

J. of KIEEME(in Korean), Vol. 21, No. 1, January 2008.

D. L. Kwong, "Investigation of dopant effects in CoSi_2 and NiSi fully silicided metal gates", *Electrochem. Solid-State Lett.*, Vol. 8, p. G119, 2005.

[13] M. Jang, Y. Kim, J. Shin, and S. Lee, "Characterization of erbium-silicided Schottky diode junction", *IEEE Electron Device Lett.*, Vol. 26, p. 354, 2005.