

CuPc/Au 계면에서의 온도 변화에 따른 표면전위 특성

Surface Potential Properties of CuPc/Au Interface with Varying Temperature

이호식^{1,a}, 박용필¹
(Ho-Shik Lee^{1,a} and Yong-Pil Park¹)

Abstract

Organic field-effect transistors (OFETs) are of interest for use in widely area electronic applications. We fabricated a copper phthalocyanine (CuPc) based field-effect transistor with different metal electrode. So we need the effect of the substituent group attached to the phthalocyanine on the surface potential was investigated by Kelvin probe method with varying temperature of the substrate. We were obtained the positive shift of the surface potential for CuPc thin film. We observed the electron displacement at the interface between Au electrode and CuPc layer and we were confirmed by the surface potential measurement.

Key Words : OFET, CuPc, Surface potential

1. 서론

최근 유기물을 이용한 박막 트랜지스터(Thin film transistor; TFT)와 발광 다이오드 소자(Light-emitting diode)에 대한 연구가 매우 활발하게 진행되고 있다. 유기물을 이용한 소자제작은 무기물에 비하여 공정이 간단하고, 또한 저온에서의 소자 제작이 가능하기 때문에 무기물 반도체 소자에 비하여 많은 장점들을 가지고 있다[1].

또한 최근에 많은 연구 주제로 부각되고 있는 유연성 (flexibility)이 있고 가벼운 플라스틱 기판(plastic substrate)의 사용이 가능해지고, 간단한 공정으로 소자를 제작할 수 있어서, 소자를 제작하는 비용의 절감 효과가 극대화 되고 있다[2,3].

본 연구에 사용한 CuPc는 유기 발광 소자(Organic Light-emitting diode; OLED)의 정공 주입층, 태양광 소자(Solar cell)의 정공 주입층 등에 널리 사용되고 있는 물질 중의 하나로 알려져

있다. 특히 전계효과트랜지스터(Field Effect transistor; FET)에서는 금속(Metal)과 절연층(Insulator) 그리고 반도체(Semiconductor)로 이루어진 MIS 캐패시터가 그 중요한 기본 구조로 되어있다. 이 MIS는 절연층을 사이에 두고 금속전극(게이트 전극)에 양 전압을 인가하면 반대쪽의 반도체에 음 전하(전자) 혹은 음전압을 인가하여 양 전하(정공)를 절연체와 반도체 계면에 끌어당겨 전하 층을 만들 수 있고, 또한 전하량도 전압의 크기로 조절이 가능한 소자로 알려져 있다.

따라서 본 연구에서는 CuPc/Au 소자를 제작하고, 이 소자의 금속 전극과 유기물 계면에서 기판 온도에 따라 표면 전위를 측정하여 그 특성을 알아보고자 한다. 또한 온도를 변화시켜 가면서 유기물과 금속 계면에서의 특성을 살펴보고자 한다 [4,5].

2. 실험

그림 1은 본 연구에서 사용한 CuPc 물질의 구조 및 소자의 구조를 나타낸 것이다.

본 연구에 사용한 소자는 CuPc/Au 형태의 구조를 가지고 있으며, 기판은 slide glass를 사용하

1. 동신대학교 병원의료공학과

(전남 나주시 대호동 252)

a. Corresponding Author : hslee@dsu.ac.kr

접수일자 : 2008. 7. 25

1차 심사 : 2008. 8. 27

심사완료 : 2008. 9. 24

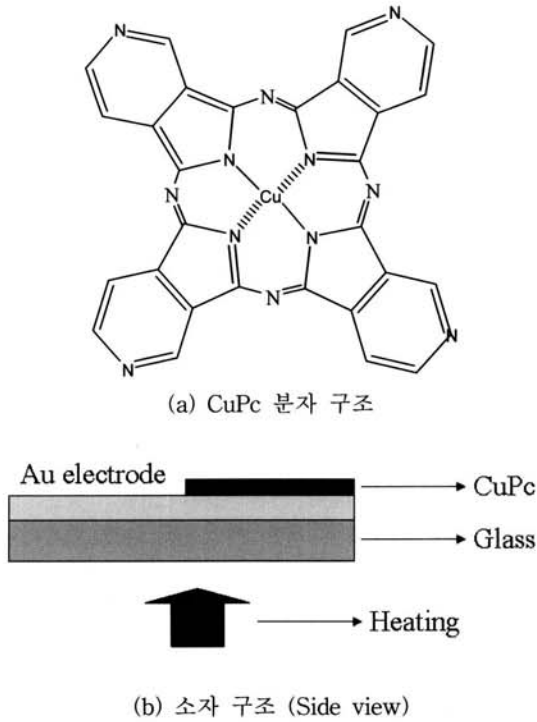


그림 1. CuPc 분자 구조 및 OFET 소자 구조.
Fig. 1. Structure of the molecular and device.

였다. CuPc 박막의 두께는 20 nm, Au 전극의 두께는 100 nm로 제작하였으며, 열 증착법으로 형성하였다.

CuPc 물질은 TCI (Tokyo Chemical Industry Co., Japan)로부터 구입을 하였으며, 박막 형성시의 진공도는 약 10^{-6} [torr]였으며, 증착 속도는 0.5 Å/s의 속도를 유지하면서 증착하였다. 또한 기관으로 사용한 slide glass는 Au 전극 물질을 증착하기 전에 기관의 세척을 위하여 30분 동안 UV/ozone 처리를 하여 사용 하였다[7].

3. 결과 및 고찰

그림 2는 표면 전위측정을 장치 개략도를 나타낸 것이다. 측정 방법은 detector를 유기물이 없는 곳에서 출발하여 유기물이 존재하는 곳까지 서서히 이동하면서 표면 전위를 측정하였다. 이러한 모든 과정은 10^{-5} [torr] 정도의 고진공 상태에서 진행되었다.

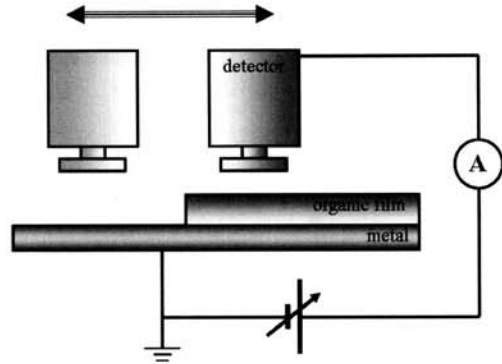


그림 2. 표면 전위 측정 개략도.
Fig. 2. Diagram of the surface potential measurement system.

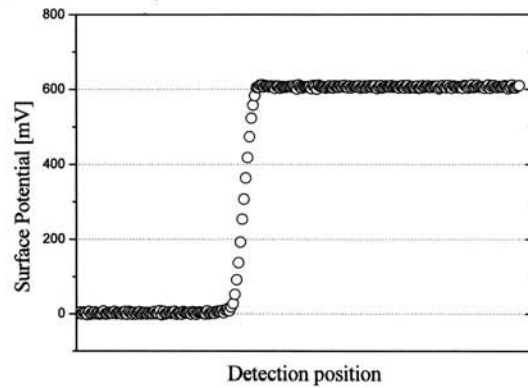


그림 3. 상온에서의 CuPc/Au 소자의 표면 전위.
Fig. 3. Surface potential of the CuPc/Au device with room temperature.

그림 3은 CuPc/Au 소자의 상온에서의 표면 전위를 측정한 것을 나타내었다. Detector를 서서히 옮기면서 측정을 하였으며, CuPc 박막이 존재하는 곳의 경계에서는 표면 전위가 급격히 증가하는 것을 볼 수 있으며, 일정한 위치를 지나서는 표면 전위 값이 안정되는 것을 확인 할 수 있었다. 상온에서의 표면 전위는 약 600 mV의 값을 얻었다.

그림 4에 나타낸 것처럼, 소자의 온도를 100 °C에서 0 °C까지 서서히 감소시키면서 CuPc/Au 소자의 표면 전위를 측정하였다. 표면 전위를 측정한 결과 상온에서 약 600 mV의 값을 보이던 표면 전위 값은 100 °C에서 약 500 mV, 50 °C에서는 약 400 mV, 다시 상온의 상태에서는 약 300 mV,

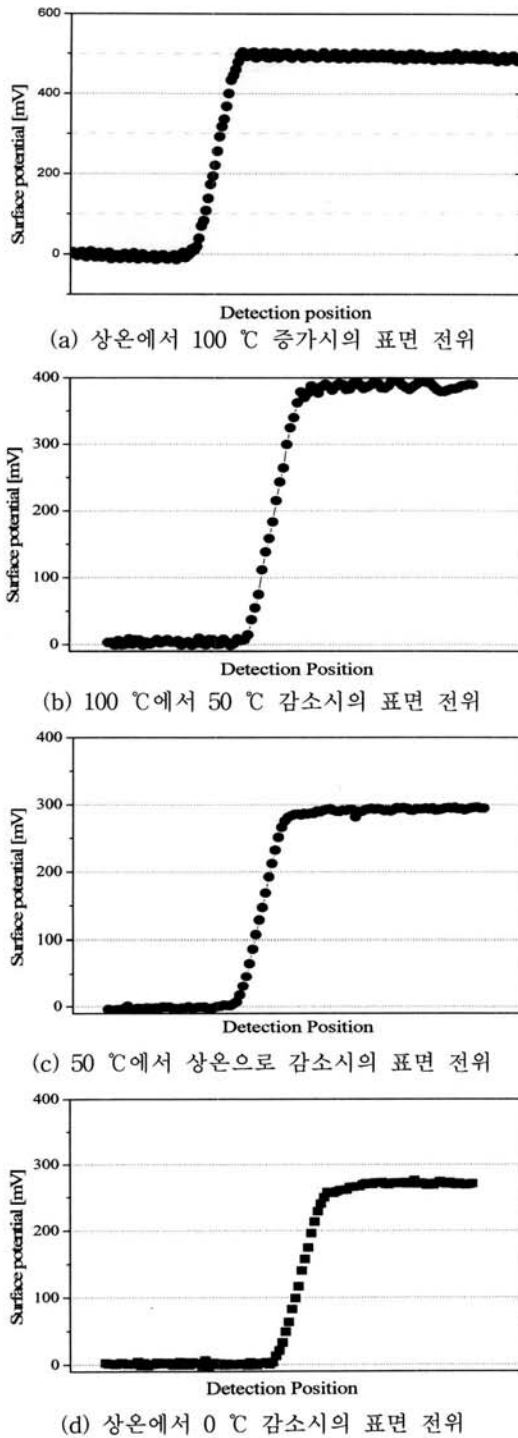
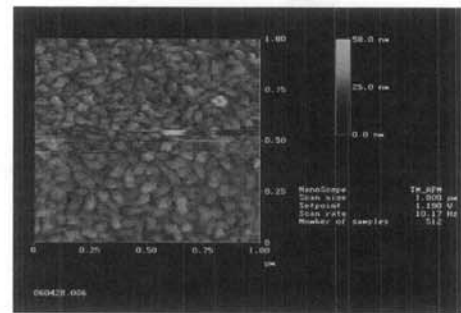


그림 4. 여러 온도에서의 CuPc/Au 소자의 표면 전위 특성.
 Fig. 4. Surface characteristics of the CuPc/Au device with varying temperature.

그리고 0 °C까지 온도를 낮춘 상태에서는 약 280 mV의 값을 보였다. 결과에서 보듯이 처음의 상온에서의 표면 전위 값보다 계속해서 감소하는 것을 확인 할 수 있었다. 이러한 결과는 CuPc 물질에 존재하고 있던 내부 캐리어가 온도의 변화를 통하여 탈 트랩 현상 등을 통하여 외부로 유출되어 나오는 것으로 판단된다. 또한 이러한 현상은 그림 5에서의 AFM 이미지를 통하여도 판단해 볼 수 있을 것이다. AFM 이미지에서 보면 상온에서 온도를 150 °C로 변화하여 측정 한 경우 CuPc 입자들이 서로 간에 재결합 등을 통하여 입자의 크기가 변하한 것을 볼 수 있는데, 이러한 현상도 분면 표면 전위 값의 변화에 상당한 기여를 하고 있는 것으로 판단된다.

그림 5는 Si-wafer 기판 위에 CuPc 박막을 형성한 후에 상온에서 표면 이미지를 측정 한 후에 150 °C로 온도를 변화시켜 측정 한 것이다[7].



(a) 상온에서의 AFM

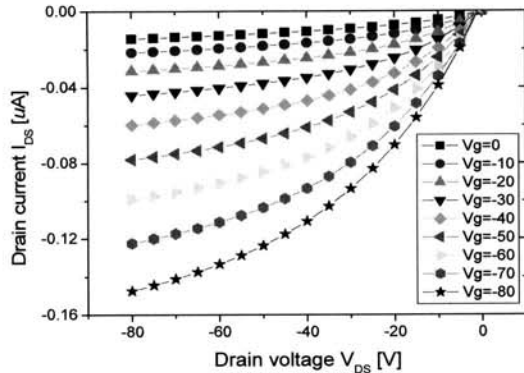


(b) 150 °C에서의 AFM

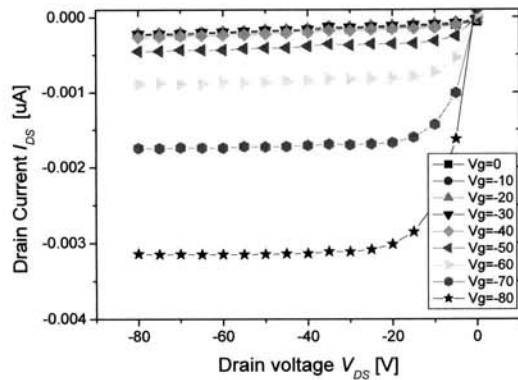
그림 5. CuPc 박막의 AFM 이미지.
 Fig. 5. AFM images of the CuPc thin film.

그림 6은 상온과 150 °C에서의 CuPc FET 소자의 전압-전류 특성을 측정 한 것이다. 그림 6에서

보면, 상온에서의 전기적 특성은 일반적인 FET의 특성을 보이고 있으나, 포화 영역을 정확히 구분할 수 없는 결과를 보이고 있다.



(a) 상온에서의 CuPc FET 전압-전류 측정



(b) 150 °C에서의 CuPc FET 전압-전류 측정

그림 6. CuPc FET에서의 온도 변화에 따른 전압-전류 특성.

Fig. 6. Current-Voltage characteristics of the CuPc FET device.

150 °C 기판을 사용한 CuPc FET에서도 역시 전형적인 FET 특성 곡선을 보이고 있으며, 포화 영역역이 상온에 비해 빠르게 나타나는 것으로 보이고 있다. 이는 그림 5의 AFM 이미지에서 보듯이 기판에서의 CuPc 물질의 배열에 따라서 이와 같은 전기적 특성을 보이고 있는 것으로 생각된다[8].

4. 결론

본 연구에서는 CuPc/Au 소자의 상온 및 100

°C에서의 표면 전위를 측정하였다. 또한 소자의 온도를 서서히 감소시키면서, 표면 전위를 측정하였다. 그 결과 상온에서 약 600 mV, 100 °C에서 약 500 mV, 50 °C에서 약 400 mV, 다시 상온에서 약 300 mV, 그리고 0 °C에서는 약 280 mV의 표면 전위 값이 측정되었다. 이러한 결과는 CuPc 물질에 존재하고 있던 내부 캐리어가 온도의 변화를 통하여 탈 트랩 현상 등을 통하여 외부로 유출되어 나오는 것으로 판단된다.

참고 문헌

- [1] T. Manaka and M. Iwamoto, "Electrical properties of unsubstituted/fluorine-substitute phtalocyanine interface investigated by Kelvin probe method", Thin Solid Films, 438-439, 2003.
- [2] T. Manaka, K. Yoshizaki, and M. Iwamoto, "Investigation of the surgace potential formed in Alq3 films on metal surface by Kelvin probe and nonlinear optical measurement", Current Applied Physics, Vol. 6, No. 5, p. 877, 2006.
- [3] 장성근, "쌍극 폴리-금속 게이트를 적용한 CMOS 트랜지스터의 특성", 전기전자재료학회 논문지, 15권, 3호, p. 233, 2002.
- [4] 황한욱, 황성수, 김용상, "LDD 구조의 다결정 실리콘 박막 트랜지스터의 특성", 전기전자재료학회논문지, 11권, 7호, p. 522, 1998.
- [5] 김윤명, 표상우, 김준호, 심재훈, 김영관, 김정수, "Photoacryl을 게이트 절연층으로 사용한 유기 박막트랜지스터의 전기적 특성에 관한 연구", 전기전자재료학회논문지, 15권, 2호, p. 110, 2002.
- [6] 송정근, "유기박막트랜지스터; 유기전자공학의 핵심소자", 물리학과 첨단기술, 14권, 7/8호, 2005.
- [7] 이호식, "CuPc 두께 변화 및 채널 길이 변화에 따른 전계 효과 트랜지스터의 전기적 특성 연구", 전기전자재료학회논문지, 20권, 1호, p. 47, 2007.
- [8] H. S. Lee, Y. P. Park, and M. W. Cheon, "Electrical properties of CuPc FET with different substrate temperature", Trans. EEM, Vol. 8, No. 4, p. 170, 2007.