

C0G 온도계수 특성을 가지는 고압용 적층 칩 캐패시터의 유전 및 내전압 특성

Dielectric Breakdown Voltage and Dielectric Properties of High Voltage Mutilayer Ceramic Capacitor with C0G Temperature Coefficient Characteristics

윤중락^{1,a}, 우병철¹, 정태석¹

(Jung Rag Yoon^{1,a}, Byong-Chul Woo¹, and Tae-Serk Chung¹)

Abstract

High voltage MLCCs with C0G temperature coefficient characteristics could apply DC-DC inverter were investigated for its dielectric properties. Also we manufactured MLCC through various process and studied the characteristics of dielectric break down voltage [BDV] and dielectric property as the variation of thickness in the green sheet and how to pattern the internal electrode. As the thickness of green sheet is increase, the dielectric BDV per unit thickness is decreased. But as the pattern of internal electrodes were floated we could manufacture the high voltage MLCC maintained its dielectric BDV a unit.

Key Words : MLCC, C0G, High voltage, DC-DC inverter

1. 서론

전자기기의 소형 경량화, 표면 실장화의 급속한 진행과 함께 수동소자의 소형화, 칩화, 저가격화의 요구가 증가되고 있으며 이에 대한 연구가 활발히 진행되고 있다[1]. 수동소자에서 캐패시터의 경우 대표적으로 전해, 탄탈, 필름, 세라믹 캐패시터가 있으나 소형, 고용량이면서 고압화가 용이한 제품으로는 적층 칩 세라믹 캐패시터가 있다. 세라믹 캐패시터에서 정격전압 100 V이하의 저압용 제품은 90 %이상이 표면 실장화가 가능한 적층 칩 세라믹 캐패시터를 적용하고 있으나 250 V이상의 고압용 세라믹 캐패시터의 경우 표면 실장화에 따른 내전압 특성 및 신뢰성 확보에 대한 우려로 적층 칩 세라믹 캐패시터의 적용 비율이 10 %이하에 머

물고 있다[1,2]. 고압용 세라믹 캐패시터는 DC-DC 인버터, 대형 LCD용 냉음극형광램프(CCFL), SMPS (Switch Mode Power Supply), 고출력 플라즈마 장비등에 적용되고 있으며 현재는 리드가 있는 디스크형 세라믹 캐패시터, 필름 캐패시터가 대부분 사용되고 있으나 캐패시터의 소형화, 표면실장 및 캐패시터의 전기적 특성등을 고려하여 고압용 적층 칩 캐패시터의 수요가 증가하고 있다.

고압용 적층 칩 캐패시터에 적용되는 유전체 재료는 온도에 따른 용량 변화 특성에 따라 C0G 특성 (-55 °C ~ 125 °C의 온도 범위에서 용량변화가 0±30 ppm/°C 이내)과 X7R 특성 (-55 °C ~ 125 °C의 온도 범위에서 용량변화가 ± 15 %이내)으로 구분된다. 내부전극으로 Ag, Ag-Pd, Pd와 같이 귀금속을 사용하며 C0G 특성을 가지는 대표적인 유전체 재료로 유전율 60~100인 BaO-Nd₂O₃-TiO₂계, 유전율 20~24 인 MgTiO₃-CaTiO₃계가 있다[1].

최근에는 적층 칩 캐패시터의 경제성을 고려하여 내부전극으로 Ni, Cu를 적용한 적층 칩 캐패시터가 개발되고 있으며 소결시 내부전극의 산화를

¹ 삼화콘덴서공업(주) 부설연구소

(경기도 용인시 남사면 복리 124)

a. Corresponding Author : yoonjunrag@yahoo.co.kr

접수일자 : 2007. 10. 15

1차 심사 : 2007. 12. 18

심사완료 : 2008. 1. 7

방지하기 위하여 내환경 분위기에서 소결을 하고 있다. 내환경 소결이 가능한 대표적인 COG 특성용 원료로는 CaZrO₃를 기본으로 하고 온도 특성 및 전기적 특성을 향상시키기 위하여 CaTiO₃, SrTiO₃를 첨가한 조성이 있다[3-5]. 고압용 적층 칩 캐패시터의 개발을 위한 유전체 재료 측면에서는 첨가제나 소결 조건의 최적화를 통해 미세구조를 제어하여 절연파괴전압 강도를 증가시키고 있으며 설계적 측면에서는 유전체 두께에 따른 절연 파괴 강도를 고려한 설계, 내부전극 두께, 형상등을 고려하여야 한다[6]. 또한, 표면 실장시 PCB 및 세라믹 표면에서의 연면 방전을 최소화할 수 있도록 유전체를 두께를 조절하거나 적층 칩 캐패시터 표면에 유기 절연층을 형성하여야 한다. 본 논문에서는 저가격이면서 DC-DC 인버터용으로 적합한 고압용 적층 칩 캐패시터 제작을 위하여 내부전극으로 Ni이 적용이 가능한 내환경 조성으로 (Ca,Sr)(Zr,Ti)O₃계를 선정 한 후 전기적 특성을 개선하기 위하여 Al₂O₃를 첨가하였으며 절연 특성 및 소결성을 향상시키기 위하여 소결조제로 절연 강화형 유리프릿을 첨가한 후 첨가량에 따른 전기적 특성을 검토하였다. 설계 및 제작에 있어서는 내부 유전체 시트의 미세구조를 확인하였으며 내부전극 두께에 따른 단위두께당 절연파괴 전압과 내부전극 배열 방법에 따른 절연파괴 전압 특성을 연구하여 DC-DC 인버터에 적합한 6 KV 고압용 적층 칩 캐패시터를 제작하였다.

2. 실험 방법

2.1 유전체 조성

본 논문에서는 D₅₀이 0.3 ~ 0.6 μm의 입도 분포를 가지며 합성된 산화물 형태인 CaZrO₃, SrTiO₃, CaTiO₃(Sakai Chemical Co., Ltd)와 TiO₂ (TOHO, Co., Ltd)를 사용하였다. 기본 조성으로는 기초실험을 통하여 환원분위기에서 소결이 가능하면서 COG 온도특성을 만족하는 (Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O₃ 선정하였으며 소결온도 낮추면서도 적층 칩 캐패시터의 신뢰성 향상을 위하여 BaO-CaO-LiO-MnO-B₂O₃-SiO₂계 유리프릿을 첨가하였다[5].

CaZrO₃, SrTiO₃, CaTiO₃, TiO₂를 (Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O₃ 조성비로 평량한 후 지르코니아 불과 순수물을 넣은 후, 2시간 동안 볼밀로 혼합, 분쇄하였으며 건조한 분말을 1100 °C에서 2시간 동안 하소하였다. 하소한 분말의 전기적 특성 개선을 위하여 첨가제로 MnO₂ 0.3 mol%, Al₂O₃ 0.1 ~

0.6 mol% 첨가하였으며 유리프릿을 무게비로 0 ~ 2 wt% 첨가한 후 하소 전과 동일하게 볼밀, 건조한 후 분급하였다. 최종 분말의 입자크기 D₅₀은 0.7 ~ 0.8 μm, 비표면적 4.3 ~ 5.0 m²/g으로 조절하였다. 유리프릿의 제조는 순도가 99 %이상인 BaO, CaO, LiO, MnO, B₂O₃, SiO₂ 산화물 원료를 6시간 건조 혼합한 후, 1350 °C에서 2시간 동안 용융하여 급속 냉각하였으며 볼밀로 60시간 분쇄하여 입자크기(D₅₀)를 0.8 ~ 1.2 μm로 조절하였다.

2.2 MLCC 제조

적층 칩 세라믹 캐패시터 제조에 적용한 세라믹 원료는 원료 실험을 통하여 소결온도와 유전특성을 고려하여 (Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O₃를 주성분으로 하고 첨가제로 MnO₂ 0.3 mol%, Al₂O₃ 0.25 mol% 유리프릿 1 wt%를 첨가한 조성을 선정하였다. 원료 분체 특성은 볼 밀을 이용하여 평균입경 D₅₀ 0.75 μm, BET는 4.4 m²/g로 하였으며 원료의 전기적 특성은 유전율 32, 품질계수 2,600, 절연저항 2,000 GΩ 이상이다.

그린시트 제작을 위한 슬러리는 세라믹 원료, 분산제 및 용매(톨루엔/에탄올)을 적정비로 배합한 후 바스켓 밀을 이용하여 8시간 혼합, 분산하였다. 혼합, 분산된 슬러리에 PVB (Sekisui, BM-SZ), DOP (DC chemical)를 적정 배합비로 첨가한 후 4시간 혼합하여 슬러리를 제작하였으며, 닥터블레이드 방식을 적용하여 실리콘 코팅한 PET 필름위에 25 μm의 그린시트를 성형하였다. 그린시트위에 평균입경 D₅₀ 0.4 μm인 Ni 금속분말과 공제로서 D₅₀ 0.3 μm인 CaZrO₃를 적용하여 만든 페이스트를 스크린 프린트법을 적용하여 내부전극을 형성하였다. 적층 칩 제작은 일반적인 적층 칩 제조공정을 적용하여 적층, 압착, 절단하여 4.5×2.0×2.0 mm인 적층 칩을 제작하였다. 적층 칩을 260 °C에서 48시간 바인더 탈지 후 H₂-N₂-H₂O를 이용하여 P_{O2} = 10⁻¹¹ MPa 분압 하에서 320 °C에서 2시간 소성하였다. 적층 칩 캐패시터의 신뢰성 향상을 위하여 재산화 열처리는 1000 °C, P_{O2} = 10⁻⁷ MPa 분위기에서 2시간 행하였으며 그림 1에 소성도를 나타내었다. 소성 칩의 내부 전극이 돌출되도록 연마 후 Cu 전극을 도포하였으며 환원분위기에서 800 °C에서 10분간 소성하였다. 내부전극을 형성 한 후 외부전극의 산화방지 및 제품의 납땜성 향상을 위하여 바렐을 이용한 전해도금으로 Ni 2 ~ 5 μm, Sn 3 ~ 5 μm 두께로 도금하였다.

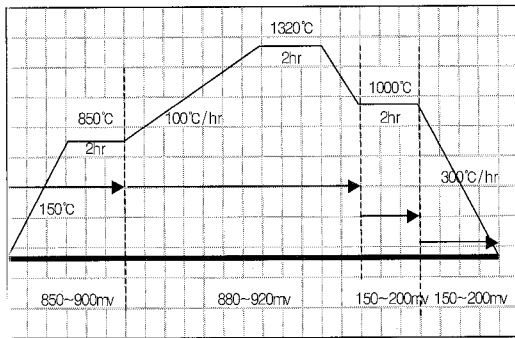


그림 1. 적층 칩 캐패시터 소결조건.
Fig. 1. Firing schedule of multilayer chip capacitor.

2.3 측정

유전체 원료의 첨가제에 따른 결정상을 확인하기 위하여 XRD (D/max-C, Rigaku, Japan)를 측정하였으며 유전율과 손실은 1 MHz, 1 V_{rms} 조건으로 LCR 측정기 (HP4278A, HP, USA)를 이용하여 정전용량 값을 측정 한 후 유전율을 계산하였다. 절연저항측정은 100 V, 60초 인가한 후 고저항 측정기 (HP4339B, HP, USA)를 이용하여 측정하였다. 절연파괴전압은 내전압 측정장치(TOS5101, Kikusui, Japan)을 이용하였으며 절연파괴전압은 누설전류가 1 mA인 경우의 전압으로 하였다.

3. 결과

그림 2는 (Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O₃를 주성분으로 하고 MnO₂ 0.3 mol%, Al₂O₃ 0.25 mol%,로 고정한 후 유리프릿 첨가량에 따른 결정상을 나타낸 변화를 그림으로서 소성온도는 1320 °C이다. 분석 결과 유리프릿의 첨가량에 무관하게 (CaSr)(ZrTi)O₃ 결정상이 주상으로 나타나고 있으며 유리프릿 함량을 2 wt% 첨가한 경우 (Ca_{0.15}Zr_{0.85})O_{1.85}의 cubic zirconia상을 보이고 있다. 이와 같은 결과는 유리프릿에 포함된 Ca양이 주조성에 영향을 끼치므로 화학양론의 (CaSr)(ZrTi)O₃을 유지하지 못하여 나타난 결과로 예상된다.

그림 3은 (Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O₃를 주성분으로 하고 MnO₂ 0.3 mol%를 고정한 후 첨가제 Al₂O₃ 및 유리프릿 첨가량에 따른 유전율을 나타낸 그림이다. Al₂O₃는 0.3 mol% 이하로 첨가시 첨가량의 증가에 따라 유전율을 증가되지만 그 이상 첨가시에는 과잉 첨가에 따른 이차상의 영향으로 소결성이

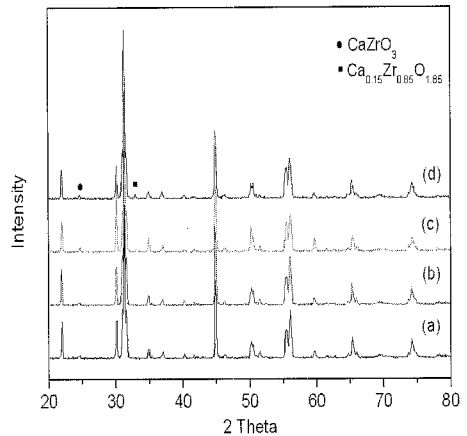


그림 2. 유리프릿 첨가량에 따른 XRD 결과.
Fig. 2. XRD results according to glass frit content.

저하되어 유전율이 감소됨을 볼 수 있다. 유리프릿 함량의 증가함에 따라 유전율이 증가하는 것은 그림 2의 XRD 결과에서와 같이 주조성과 유리프릿의 상호반응에 의해 높은 유전율을 가지는 생성물에 의한 영향으로 판단된다. 한편으로는 유전체에서는 유전율의 경우 소결밀도 및 기공에 의한 영향이 큰 것으로 알려져 있는 데 본 논문에서도 유리프릿을 첨가하지 않은 경우 소성밀도가 4.6 g/cm³으로 낮은 값을 가진 반면 유리프릿 및 Al₂O₃의 첨가량이 증가할수록 소성밀도가 4.65 ~ 4.7 g/cm³으로 증가한 결과를 보아 소결밀도와 연관성이 있음을 확인 할 수 있었다.

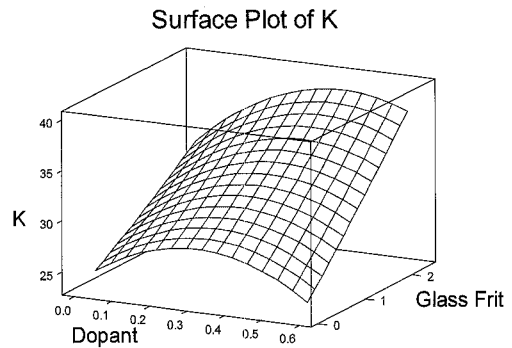


그림 3. Al₂O₃ 및 유리프릿 첨가량에 따른 유전율 특성.
Fig. 3. Dielectric characteristics according to glass frit content.

그림 4는 $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$ 를 주성분으로 하고 MnO_2 0.3 mol%를 고정된 후 Al_2O_3 및 유리프릿 첨가량에 따른 품질계수를 나타낸 그림이다. Al_2O_3 의 첨가량이 증가 할수록 품질계수가 전체적으로 감소하는 경향을 볼 수 있으며 이와 같은 원인은 과잉 Al 이온에 의한 격자결함이나 이차상에 의한 결과로 판단된다. 일반적으로는 소성밀도가 증가하면 품질계수가 증가하는 데 본 실험에서 다른 양상을 보이는 것은 Al_2O_3 에 저온소성을 위해 유리프릿을 첨가한 경우 소결 밀도와 무관하게 품질계수를 저하된다는 보고와 동일한 결과로 판단된다[3]. 따라서, 유리프릿 증가에 따른 품질계수가 저하되는 것은 일반적으로 유리프릿이 첨가된 다결정체 세라믹 경우 격자 결함, 유리상의 조성, 이차상등이 감쇄정수를 증가시켜 품질계수가 저하시킨다는 보고와 유사한 원인으로 판단된다.

그림 5는 $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$ 를 주성분으로 하고 MnO_2 0.3 mol%를 고정된 후 Al_2O_3 및 유리프릿 첨가량에 따른 절연저항을 나타낸 그림이다. 적층 칩 캐패시터 제작시 Ni 내부전극의 산화 방지를 위해 소성시 낮은 산소 분압을 유지해야 한다. 일반적으로 유전체 조성의 경우 낮은 산소분압에서 소성하는 경우 반도체성을 가지므로 절연저항이 급격히 감소하므로 환원 억제제를 위하여 효과적인 억제제 불순물을 첨가하는 방법을 적용한다[7]. 그림 5에서 유리프릿 첨가량이 증가할수록 절연저항이 저하되는 특성을 보이는 반면 Al_2O_3 를 첨가한 경우 절연저항을 향상됨을 볼 수 있다. Al_2O_3 첨가에 따른 절연저항의 증가는 $BaTiO_3$ - MgO -

Y_2O_3 - Er_2O_3 계 조성에서 Er이온이 첨가제 양에 따라 Ba, Ti 위치에 치환되어 도너 또는 억셉터로 작용하여 전자적 결함을 보상함으로써 절연 저항이 증가하는 것과 같이 이온 반경이 작은 Al^{3+} 이온(0.53 Å)이온이 $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$ 조성에서 원자 반경이 Zr^{4+} 이온(0.72 Å), Ti^{4+} 이온(0.61 Å)을 치환함으로써 억셉터 첨가량이 증가함에 따른 전자가 보상에 의해 증가된 것으로 판단된다. 유리프릿 증가에 따른 절연저항의 감소는 유리프릿에 의한 이차 유리상이 $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$ 상보다 절연 특성이 낮아 나타나는 결과로 예상되며 유리프릿 첨가량이 1 wt%이하가 적절함을 볼 수 있다.

그림 6은 $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$ 를 주성분으로 하고 MnO_2 0.3 mol%를 고정된 후 Al_2O_3 및 유리프릿 첨가량에 따른 유전율, 품질계수, 절연저항을 나타낸 그림이다. 온도 보상용 적층 칩 캐패시터 제작시 최적의 조성을 혼인하기 위해 미니탭 프로그램을 적용하여 최적화한 그림으로서 최적화 범위는 유전율은 32 ~ 34 품질계수 2,000 이상, 절연저항 100,000 $M\Omega$ -cm이상으로 하였으며 유전율의 온도 계수는 COG 특성을 만족하는 것으로 하였다. 그림에서 최적화 범위 하얀 부분으로서 Al_2O_3 는 0.15 ~ 0.25 mol%, 유리프릿은 0.8 ~ 1.2 wt% 범위를 확인할 수 있다.

따라, 본 논문에서는 고압용 적층 캐패시터를 제작하기 위한 조성으로 $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$ 를 주성분으로 하고 첨가제로 MnO_2 0.3 mol%, Al_2O_3 0.25 mol%, 유리프릿 1 wt%를 첨가한 조성을 정하였다.

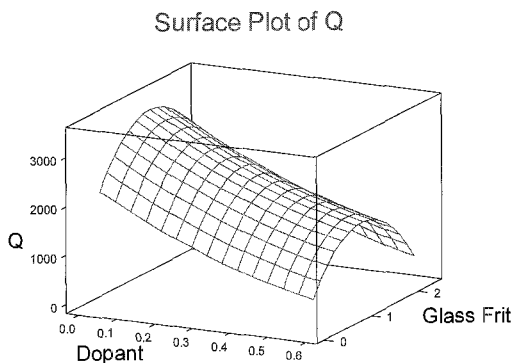


그림 4. Al_2O_3 및 유리프릿 첨가량에 따른 품질계수.
Fig. 4. Quality factor characteristics according to glass frit content.

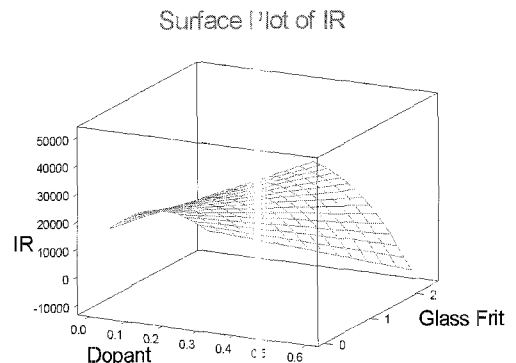


그림 5. Al_2O_3 및 유리프릿 첨가량에 따른 절연저항.
Fig. 5. Insulation resistance characteristics according to glass frit content.

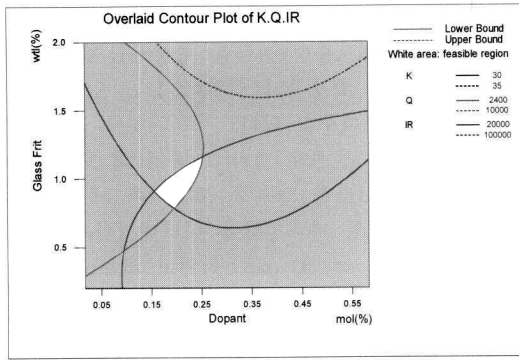


그림 6. Al_2O_3 및 유리프리트 첨가량에 따른 최적 범위.

Fig. 6. Optimization range according to glass frit content.

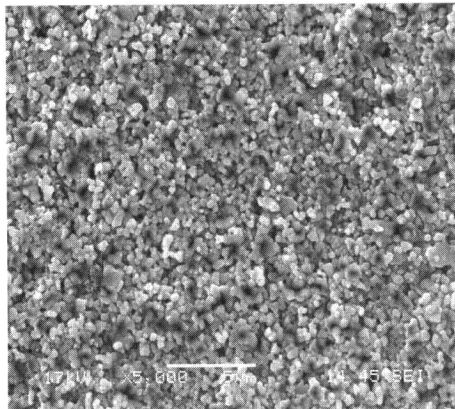
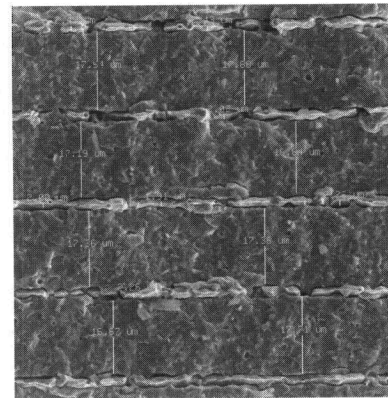


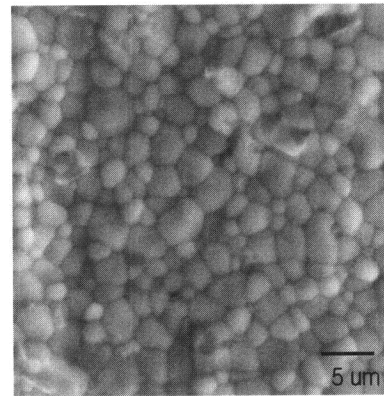
그림 7. 그린시트의 미세구조.

Fig. 7. Micro-structure of green sheet.

그림 7은 PVB 바인더, 에탄올/톨루엔, 분산제, 유전체 원료를 바스켓 밀을 이용하여 슬러리를 제작한 후 닥터블레이드법을 적용하여 제작한 그린시트의 미세구조사진이다. 그린시트의 미세구조는 적층 칩 캐패시터의 전기적 특성 중 내전압 특성에 커다란 영향을 끼치므로 분산을 최적화하여 분말의 응집이 작으면서 그린시트 밀도가 높은 것이 요구 된다. 그림 7에서 대부분 분말의 크기는 $0.7 \sim 0.8 \mu m$ 수준이고 유리프리로 보이는 $1.5 \mu m$ 의 커다란 분말을 볼 수 있다. 유전체 원료 분산 및 혼합의 불균일에 의한 그린시트의 결함으로 나타나는 분말 응집, 바인더 뭉침, 기공등이 작은 양호한 상태의 그린시트임을 확인 할 수 있다.



(a)



(b)

그림 8. 적층 세라믹 캐패시터의 내부 형상.

(a) 파단면 사진 (b)세라믹 유전체 표면

Fig. 8. Internal shape of multilayer ceramic capacitor.

(a) fracture image (b) surface image of dielectric ceramic

그림 8(a)는 적층 캐패시터의 파단면 사진으로 $25 \mu m$ 그린시트에 Ni 내부전극을 인쇄한 후 적층한 칩을 소성한 사진이다. 소결 후 유전체의 두께는 $17 \mu m$ 로서 전체 수축율은 32%로 그린시트 압착수축율 17%, 소성 수축율은 15%이고 Ni 내부전극의 두께는 $2.3 \mu m$ 이다. 그림 8(b)는 적층 캐패시터의 유전체 세라믹 부분을 연마한 후 열 에칭한 표면사진으로 $2 \sim 6 \mu m$ 의 결정립이 고르게 분포하고 있으며 치밀한 미세구조를 보이고 있다.

그림 9는 그린시트 두께에 따른 DC 내전압 특성을 나타낸 그래프로서 $25 \mu m$ 그린시트를 1 ~ 4장 적층하여 그린시트의 두께를 $25 \sim 100 \mu m$ 로 조절하였다. 두께 조절된 그린시트상에 니켈 내부

전극을 인쇄 후 10층 적층하여 4.5×2.0×2.0 mm 크기의 적층 칩 캐패시터를 제작하여 그린시트 두께에 따른 파괴전압 특성을 측정하였다. 그린시트의 두께가 증가할수록 적층 칩 캐패시터의 파괴전압은 증가하지만 단위 두께당 절연파괴 전압(E)은 105 V/μm에서 55 V/μm 감소하는 경향을 나타내고 있다. 동일한 유전체 재료에서 그린시트의 두께가 증가할수록 단위 두께당 절연파괴 전압이 감소하는 것은 절연파괴의 일반적인 형태인 전자사태에 의한 파괴보다는 유전체 두께의 증가에 따라 미세구조 결점이나 기공 등에 의한 전계의 불균일에 따른 열적 파괴 메커니즘에 의해 나타나는 의인성 절연파괴에 의한 것이다. 따라서 파괴전압을 향상시키기 위해서는 설계시 단위 두께당 절연파괴 전압을 고려하여 그린시트의 두께를 선정하여야 함을 알 수 있으며 제조공정(바인더 탈지, 소성 최적화)에서 발생 할 수 있는 결함을 최소화하는 노력을 하여야하며 이와 같은 현상은 X7R 온도 특성을 가지는 BaTiO₃계 유전체를 적용한 경우와 동일하게 나타나고 있다[6,7].

그림 10은 그린시트 두께에 따른 파괴전압이 유전체의 두께를 증가시키면 증가하지만 단위 두께당 절연파괴전압은 감소하는 것을 고려하여 설계하는 내부전극 배열 방법 (floating)의 형태를 나타낸 것이다. 내부전극 배열 방법은 유전체의 두께를 제조 공정상 최적의 두께로 정한 후 전극과 전극간의 거리를 증가시켜 파괴전압을 증가시키는 것으로 구조이다. 내부전극 설계에 있어서 제조시 연마

공정에 의한 파괴전압 클량을 감소하기 위해 굴곡을 준 형태의 입, 출력 전극을 형성하였으며 유전체 간의 거리를 확보하기 위하여 4, 6, 8 floating을 한 구조를 보여주고 있다.

그림 11은 그림 9의 결과 그림 10의 내부전극 floating 수를 고려한 설계를 고려하여 제작한 적층 칩 캐패시터의 파괴전압을 나타내었다. 그린시트의 두께는 25 μm, 50 μm로 하였고 floating 수는 2, 4, 6, 8로 하였다. 실험결과 유전체 두께에 따른 단위 두께당 전압 변화 양상은 그림 9의 결과와 유사함을 볼 수 있으며 floating에 수의 증가에 따른 파괴 전압의 증가는 거의 직선적으로 증가함을 볼 수 있다. 이와 같은 결과는 파괴전압은 절연체의 거리에 비례함을 보여주고 있으며 절연체를 거리를 증가시키는 데 있다 유전체의 두께를 증가시키는 것보다는 전극간의 거리를 증가시키는 것이 더 유효함을 볼 수 있다. 향후, 고압용 적층 칩 캐패시터의 설계에 있어 유전체의 두께를 설정한 후 용량을 고려하여 floating을 적절히 조절함으로 고압용 적층 칩 캐패시터의 개발이 가능함을 확인할 수 있다. 그린시트 25 μm, 8 floating의 경우 파괴전압이 13 kv 수준으로 나타났으며 본 논문에서는 그림 11에서 나타난 바와 같이 제조 공정능력 및 정전 용량을 고려하여 25 μm, 6 floating으로 정전용량 10 pF, 파괴전압 9 kv의 특성을 얻을 수 있음을 확인하였다.

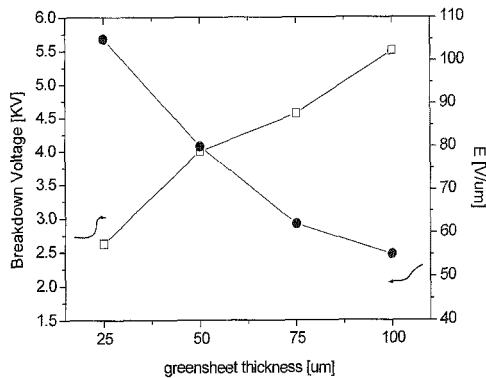


그림 9. 그린시트 두께에 따른 파괴전압 및 단위 두께당 절연파괴 전압.

Fig. 9. Breakdown voltage and dielectric breakdown voltage[E] according to green sheet thickness.

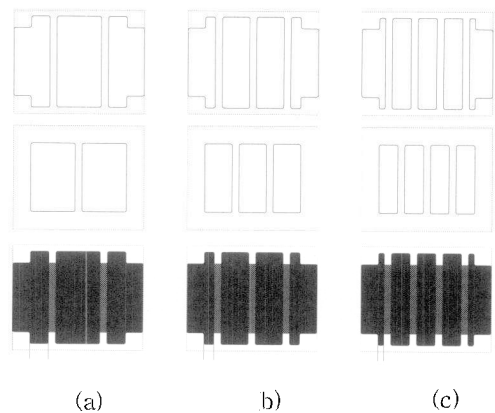


그림 10. 고압용 적층 칩 캐패시터의 내부 전극 형태.

(a) 4 floating (b) 6 floating (c) 8 floating

Fig. 10. Internal electrode pattern of high voltage MLCC

(a) 4 floating (b) 6 floating (c) 8 floating

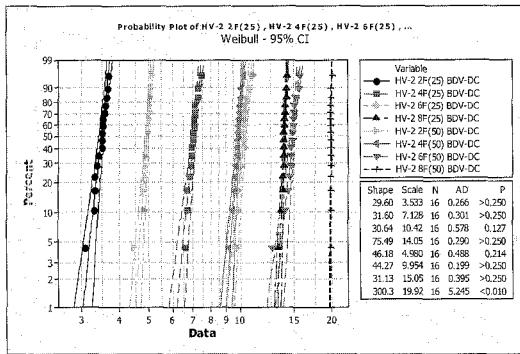


그림 11. 내부전극 형상 및 두께에 따른 파괴전압.
Fig. 11. Breakdown voltage according to internal electrode pattern and green sheet thickness.

4. 결론

온도 보상용 고압 적층 칩 캐패시터 제작을 위한 내화원성 유전체를 연구한 결과 다음과 같은 결론을 얻었다.

- (1) $(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$ 를 주성분으로 하고 MnO_2 0.3 mol%, Al_2O_3 0.15 ~ 0.25 mol%, 유리프릿 0.8 ~ 1.2 wt% 범위의 조성 구간에서 우수한 유전 특성을 나타내었다.
- (2) 미니맵 프로그램을 적용하여 최적화된 유전율은 32 ~ 34, 품질계수 2,000 이상, 절연저항 100,000 $M\Omega\cdot cm$ 이상이고 유전율의 온도 계수는 COG 특성을 만족하는 것으로 하였다.

$(Ca_{0.7}Sr_{0.3})(Zr_{0.97}Ti_{0.03})O_3$ 를 주성분으로 하고 첨가제로 MnO_2 0.3 mol%, Al_2O_3 0.25 mol%, 유리프릿 1 wt%를 첨가한 조성을 이용하여 고압용 적층 칩 캐패시터를 설계 제작하였으며 다음과 같은 결론을 얻었다.

- (3) 그린시트의 두께가 증가할수록 적층 칩 캐패시터의 파괴전압은 증가하지만 단위 두께당 절연 파괴 전압(E)은 105 $V/\mu m$ 에서 55 $V/\mu m$ 감소하는 경향을 나타내고 있다.

- (4) 고압용 적층 칩 캐패시터의 설계에 있어 floating에 수의 증가하는 것이 단위 두께당 전압을 감소시키고 얇고 적층 칩 캐패시터 파괴 전압을 증가시킴을 확인 할 수 있었다.
- (5) $4.5 \times 2.0 \times 2.0$ mm, 10 pF, 고압용 적층 칩 캐패시터 설계시 그린시트 25 μm , 6 floating으로 파괴전압 9 kv 제품을 개발할 수 있었다.

참고 문헌

- [1] H. Kishi, Y. Mizuno, and H. Chazono, "Base-metal electrode-multilayer ceramic capacitor: past, present and future perspectives", Jpn. J. Appl. Phys., Vol. 42, p. 1, 2003.
- [2] L. Dai, F. Lin, Z. Zhu, and J. Li, "Electrical characteristics of high energy density multilayer ceramic capacitor for plus power application", IEEE Transactions On Magnetics, Vol. 41, No. 1, p. 281, 2005.
- [3] P. Hansen, D. Hennings, and H. Schreinemacher, "Dielectric properties of acceptor doped $(Ba,Ca)(Ti,Zr)O_3$ ceramics", J. Electroceramic, Vol. 2, p. 85, 1998.
- [4] T. Kikuchi and H. Tanaka, "Dielectric Ceramic Composition, Electric Device and Production Method Thereof", United States Patent No.:US6,335,301,B1, 2002.
- [5] Yoon J. R., Lee S. W., and Lee H. Y., "Effect of the dielectric properties for $(Ca,Sr)(ZrTi)O_3$ MLCC with Ni electrode", International Conference on Electrical Engineering 2002, Proceedings : Vol. III, p. 1109, 2002.
- [6] 윤중락, 김민기, 이현용, 이석원, "중,고압용 적층 칩 세라믹 캐패시터 제작 및 분석", 전기전자재료학회논문지, 18권, 8호, p. 685, 2005.
- [7] J. Jeong and Y. H. Han, "Effects of MgO-doping on electrical properties and microstructure of $BaTiO_3$ ", Jpn. J. Appl. Phys., Vol. 43, No. 8A, 2004.