

## 유효면적과 평균속도를 고려한 TFT의 해석적 Drain 전류 모델

### Analytical Model of TFT Drain Current based on Effective Area and Average Velocity

정태희<sup>1</sup>, 원창섭<sup>1</sup>, 류세환<sup>1</sup>, 한득영<sup>1</sup>, 안형근<sup>1,a</sup>

(Tae-hee Jung<sup>1</sup>, Chang-sub Won<sup>1</sup>, Se-hwan Ryu<sup>1</sup>, Deuk-Young Han<sup>1</sup>, and Hyungkeun Ahn<sup>1,a</sup>)

#### Abstract

In this paper, we proposed an analytical model for TFT which has series of the polycrystalline structures. An average speed is defined as carrier speed by the electric field. The effective square is suggested as the area of grain without depletion for the changed grain size. First, physical parameters such as grain size, channel length and trap density, have been changed to prove the validity of the average speed model and the value of the effective square has been estimated through drain-source current.

**Key Words** : TFT, Mobility, Analytical model, Grain boundary, Drain current

#### 1. 서론

미래는 첨단 디지털 정보 통신 시대로서 경량화, 박형화, 고신뢰성, 저소비전력 및 일체화된 전자시스템을 구현하기 위한 새로운 기술이 요구되고 있다. 저온 다결정 박막 트랜지스터(poly-Si TFT)기술을 적용하면 음성, 디스플레이, 정보처리, 기억, 입출력 등의 여러 가지 기능 소자들을 하나의 기판 위에 집적함으로써 공간을 줄여 각종 제품을 얇고 가볍게 제작할 수 있으며 배선부의 이상으로 발생하는 여러 가지 에러도 크게 줄일 수 있어 신뢰도 향상과 저렴한 제품 생산을 실현할 수 있다. 특히 박막 트랜지스터 액정 디스플레이(TFT-LCD)는 고밀도, 대면적화 되고 디스플레이 부분과 구동회로 부분을 동일 기판 위에 제작하기 위해서 TFT 이동도의 증가가 절실히 요구되고 있지만 비정질 실리콘 박막 트랜지스터(a-Si TFT)로는 이점을 만족하기가 어렵다. 그렇지만 저온 다

결정 박막 트랜지스터(poly-Si TFT)는 이동도가 크기 때문에 유리기판 위에 주변회로를 집적할 수 있는 장점이 있어서 생산비용 저감 측면에서도 많은 관심을 끌고 있다[1-4].

이와 같이 다결정구조의 grain과 grain boundary 해석적 모델은 기초적이면서 매우 중요한 요소이다. 본 논문에서는 Poisson 방정식을 이용하여 전계에 의한 일차원적인 캐리어의 평균 속도를 모델링하여 grain boundary에서의 포획(trap)에 의한 전류변화를 이동도변화의 시뮬레이션 결과로써 확인하였다. 더불어 공핍이 일어나지 않는 면적을 유효면적(Effective square)이라 정의하였으며, 유효면적을 모델링하여 전류에 기여하는 캐리어의 양의 변화를 시뮬레이션으로 확인하였다

#### 2. 캐리어의 평균속도

##### 2.1 Barrier trap

Trapping state을 크게 grain영역와 grain boundary영역으로 구분은 D.M.Petkovic의 논문에서 언급한 내용을 기준으로 접근한다[2,5]. 우선 grain boundary영역에서의 trapping states는 두 개의 지수함수로 나타낼 수 있다.

1. 건국대학교 전기공학과  
(서울시 광진구 화양동 1)

a. Corresponding Author : hkahn@konkuk.ac.kr

접수일자 : 2007. 10. 17

1차 심사 : 2007. 12. 14

심사완료 : 2008. 2. 19

$$N_T(E) = N_{T1} \exp\left(\frac{E_v - E}{E_1}\right) + N_{T2} \exp\left(\frac{E_v - E}{E_2}\right) \quad (1)$$

$E_v - E$  : 임의의 에너지로부터 가전자대역의 사이의 에너지 차

$N_{T1} E_1$  : deep states parameter

$N_{T2} E_2$  : band tail states parameter

$$N_t = q \int_{E_c}^{E_v} N_T(E) \cdot f_T(E) \cdot dE \quad (2)$$

$$f_T(E) = \left[ 1 + 2 \exp\left(\frac{E_F - E}{kT}\right) \right]^{-1} \quad (3)$$

이와 같은 상태밀도에서 grain boundary에서의 캐리어의 포획(trap)을 나타내면

$f_T$  : trapping state

$N_t$  : 포획(trap) 농도

본 논문에서는 grain boundary내에서의 공핍이 상대적으로 중요하며 특히 gate전압 변화에 따른 공핍층의 변화가 grain boundary에서의 포획(trap)에 의해 좌우되고 grain 내에서는 포획(trap)이 발생하지 않으며, grain 크기는 충분히 커서 공핍층의 변화를 수용할 수 있다는 가정을 둔다.

### 2.2 전위 장벽(Barrier height)

우선 도핑 농도가 낮아 grain내부가 완전히 공핍이 되었을 때이며 이때의 전위 장벽(barrier height)은 다음과 같이 나타낼 수 있다[6].

$$V_b = \frac{3L^2 C_{ox} (V_{gs} - V_{FB})}{8\epsilon_s y_d} \quad (4)$$

$L$  : grain size

$V_{FB}$  : flat band 전압

$y_d$  : 채널의 두께

한편으로는 grain내의 일부가 공핍이 일어나는 경우로써 이때의 전위 장벽(barrier height)은 다음과 같이 나타낼 수 있다[6].

$$V_b = \frac{q^2 N_t^2 y_d}{3 \times 8\epsilon_s C_{ox} (V_{gs} - V_{FB})} \quad (5)$$

본 논문에서는 도핑농도가 높으며 grain의 길이도 충분한 후자의 경우를 사용하며 이때의 전위 장벽(barrier height)식은 Poisson 방정식에 이용한다.

### 2.3 캐리어의 평균속도

#### 2.3.1 가정

이동도 해석함에 있어 몇 가지의 간단한 가정을 할 수 있다. 먼저 그림 1과 같이 다결정 TFT의 구조로 이루어져 있고, 특히 grain내에서는 포획(trap)이 발생하지 않으며 단결정의 형태로 이루어져 있고 포획(trap)은 단지 전위 장벽(barrier height)에서만 발생하며, 또한 캐리어 속도(v)는 drain-source사이의 인가한 전압 $V_{ds}$ 에 의해 발생한 전계(E)의 영향을 받는다. 이때 채널의 길이를 $L_{ch}$ 라 하면 drain-source사이의 전압에 의한 전계(E)는 다음과 같이 나타낼 수 있다.

$$E = \frac{V_{ds}}{L_{ch}} \quad (6)$$

$V_{ds}$  : drain-source사이에 인가된 전압

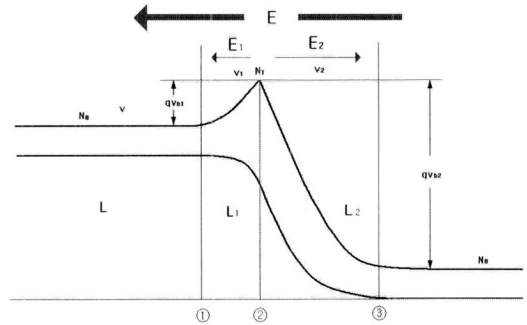


그림 1. Grain boundary의 에너지 준위.

Fig. 1. Energy band diagram of grain boundary.

#### 2.3.2 캐리어의 평균속도

이때  $L_1, L_2$  에서의 전계는 Poisson 방정식을 이용하여 각각  $E_1$ 과  $E_2$ 를 유도할 수 있다.

$$\frac{d^2 V}{dx^2} = -\frac{qN_t}{\epsilon_s} \quad (7)$$

$N_t$  : trap density

$$V = -\frac{qN_t}{\epsilon_s} \left( \frac{x^2}{2} - L_1 x \right) - V_{b1} \quad (8)$$

$$V_{b1} = \frac{qN_t L_1^2}{2\epsilon_s} \quad (9)$$

$$L_1 = \sqrt{\frac{2\epsilon_s V_{b1}}{qN_t}} \quad (10)$$

grain내에 일부분만 공핍이 일어나는 경우로써 식 (5)를 이용하여 전위 장벽(barrier height)은  $V_{b1}$ 로 나타낼 수 있다.

$$V_{b1} = \frac{q^2 n_i^2 y_d}{3 \times 8\epsilon_s C_{ox} (V_{gs} - V_{FB})} \quad (11)$$

$$L_1 = \sqrt{\frac{2\epsilon_s V_{b1}}{qN_t}} \quad (12)$$

$V_{b1}$ 과  $V_{b2}$  차이는 외부에서 인가한 전계에 의한  $L_1+L_2$ 를 통과할 때 발생하는 에너지 레벨의 차이가 발생하여 다음과 같은 관계식을 생각할 수 있다.

$$V_{b2} = V_{b1} + E(L_1 + L_2) \quad (13)$$

두식을 이용하여  $V_{b2}$ 를 구하면,

$$V_{b2} = V_{b1} + E \cdot L_1 + \frac{E^2 \epsilon_s}{qN_t} + \sqrt{2 \frac{E^3 \epsilon_s}{qN_t} (V_{b1} + L_1) + \frac{E^4 \epsilon_s^2}{q^2 N_t^2}} \quad (14)$$

$L_1, L_2$ 의 평균 전계  $E_1, E_2$ 를 구할 때 전계의 변화는 선형적이라고 가정을 하면,

$$E_1 = \frac{qN_t L_1}{2\epsilon_s} \quad (15)$$

$$E_2 = \frac{qN_t L_2}{2\epsilon_s} \quad (16)$$

$L, L_1, L_2$  각 영역의 평균전계를 구할 때  $L$ 영역에서는 단지 인가된 외부전압에 의한 전계만 존재하고  $L_1$ 과  $L_2$ 는 전위 장벽(barrier height)에 의한 부분적인 전계의 합으로써 나타낼 수 있다.

$L$  영역에서의 평균전계 :  $E$

$L_1$  영역에서의 평균전계  $E_3$  :  $E + E_1$

$L_2$  영역에서의 평균전계  $E_4$  :  $E - E_2$

$$E_3 = \frac{V_{ds}}{L_{ch}} + \frac{qN_t L_1}{2\epsilon_s} = \frac{V_{ds}}{L_{ch}} + \frac{qN_t}{2\epsilon_s} \sqrt{\frac{2\epsilon_s}{qN_t}} \sqrt{\frac{q^2 N_t^2 y_d}{3 \times 8\epsilon_s C_{ox} (V_{gs} - V_{FB})}} \quad (17)$$

$$E_4 = \frac{V_{ds}}{L_{ch}} + \frac{qN_t L_2}{2\epsilon_s} = \frac{V_{ds}}{L_{ch}} + \frac{qN_t}{2\epsilon_s} \sqrt{V_{b1} + E \cdot L_1 + \frac{E^2 \epsilon_s}{qN_t} + \sqrt{2 \frac{E^3 \epsilon_s}{qN_t} (V_{b1} + L_1) + \frac{E^4 \epsilon_s^2}{q^2 N_t^2}}} \quad (18)$$

각 영역의 속도를 이용하여 다음과 같이 캐리어가 하나의 grain을 통과 할 때의 평균속도를 구할 수 있다. 먼저 캐리어가 각 영역을 통과 할 때의 속도는

$L$  영역에서의 캐리어의 속도 :  $V$

$L_1$  영역에서의 캐리어의 속도 :  $V_1$

$L_2$  영역에서의 캐리어의 속도 :  $V_2$

하나의 grain을 통과할 때 평균속도  $V_0$

$$\nu_{av} = \frac{\nu L + \nu_1 L_1 + \nu_2 L_2}{L + L_1 + L_2} \quad (19)$$

캐리어의 평균속도를 구할 수 있으며 결국 이동도는 다음과 같다고 할 수 있다.

$$\mu_{av} = \frac{\mu E L + \mu E_3 L_1 + \mu E_4 L_2}{L + L_1 + L_2} \times \frac{1}{E} \quad (20)$$

#### 2.4 유효면적(Effective square)

전류는  $V_{GS} \geq V_T$ 이면서  $0 \leq V_{DS} \leq V_{DS}(sat)$ 일 때와  $V_{DS}(sat) \leq V_{DS}$ 때의 관계식은 각각 다음과 같다.

$$I_D = \frac{W \mu_{av} C_{ox}}{2L_{ch}} [2(V_{gs} - V_t) V_{ds} - V_{ds}^2] \quad (21)$$

$0 \leq V_{DS} \leq V_{DS}(sat)$ 이며

$$I_D = \frac{W \mu_{av} C_{ox}}{2L_{ch}} [2(V_{ds} - V_t)^2] \quad (22)$$

$V_{DS}(sat) \leq V_{DS}$ 로 나뉘진다[7-10].

여기서, grain과 grain boundary 크기가  $L$ 이며 포획(trap)에 의한 공핍된 영역을  $L_1, L_2$ 라고 둔다.

임의의 grain size 내에서 실질적인 캐리어는 grain boundary의 경계면의 공핍영역의 변화에 따

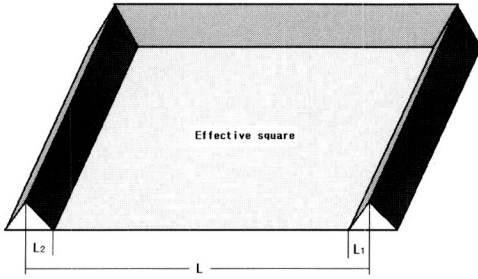


그림 2. Grain의 길이가 L일 때 grain boundary의 형태.

Fig. 2. Shape of grain boundary at grain length L.

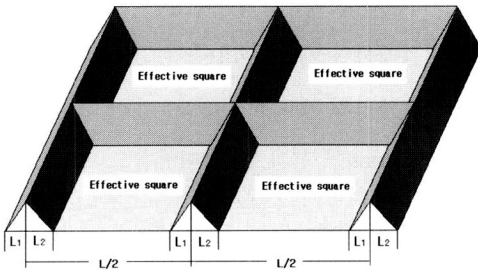


그림 3. Grain의 길이가 L/2일 때 Grain boundary의 형태.

Fig. 3. Shape of grain boundary at grain length L/2.

라서 실질적인 캐리어의 양은 결정될 것이다. 따라서 grain 내에서의 유효면적은 다음과 같이 표현된다.

$$K(n) = \frac{(L/n - 2(L_1 + L_2))^2 \times n^2}{(L - 2(L_1 + L_2))^2} \quad (23)$$

여기서 n은 임의의 grain size에 대한 상대적인 grain size의 비를 나타낸다.

따라서 실질적인 전류는 다음과 같다.

$$I_{D,eff} = K(n)I_D \quad (24)$$

### 3. 시뮬레이션

#### 3.1 조건

도핑농도( $N_a = 2 \times 10^{15} [cm^{-2}]$ )인 조건에서 포획(trap)이 존재하지 않을 때의 결과를 시뮬레이션

하였다. 다음과 같은 조건을 바탕으로 이루어진다.

채널의 길이( $L_{ch}$ ) :  $50 [\mu m]$

Source-drain 전압( $V_{ds}$ ) :  $5 [V]$

Grain size( $L + L_1 + L_2$ ) :  $10 [\mu m]$

Trap density( $N_t$ ) :  $1 \times 10^{12} [cm^{-2}]$

이 결과를 바탕으로 포획(trap)이 존재하는 다결정 구조를 시뮬레이션 할 것이다. 우선 포획(trap)이 존재하면서 더불어 채널의 길이의 변화가 일어나지만 Grain size의 변화는 일어나지 않을 경우와 같은 방법으로 Grain size의 변화가 일어날 때를 보았다. 또한 포획(trap)에 따른 이동도의 변화를 보고 단지 이동도의 변화에만 의한 전류와 유효면적개념을 추가한 실질적인 전류를 시뮬레이션 하였다.

#### 3.2 시뮬레이션 결과

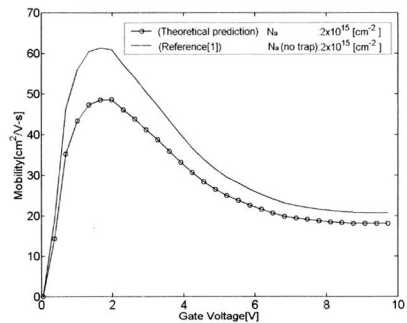


그림 4. 포획(Trap)이 존재할 때 이동도.

Fig. 4. Mobility with trap.

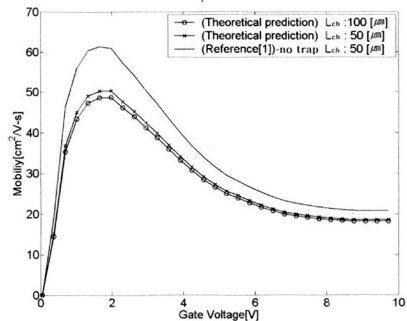


그림 5. 일정한 grain size이며 채널( $L_{ch}$ )의 변화에 따른 이동도.

Fig. 5. Mobility with different channel lengths at fixed grain size.

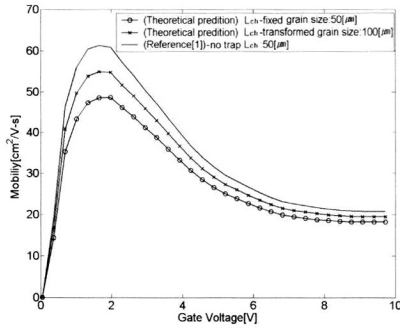


그림 6. Grain size와 채널 ( $L_{ch}$ )의 변화에 따른 이동도.

Fig. 6. Mobility with different channel lengths at transformed grain size.

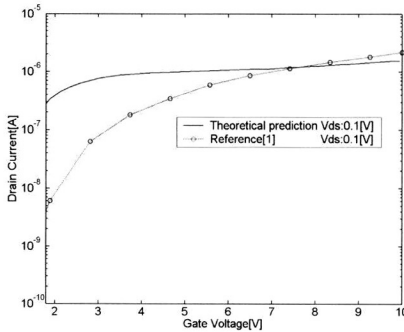


그림 7. 드레인 전류.

Fig. 7. Drain current.

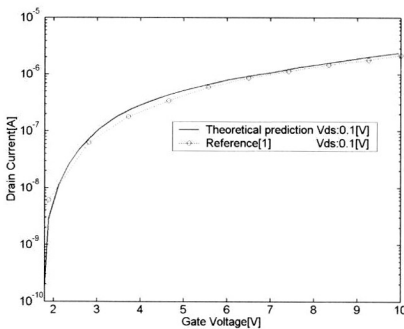


그림 8. 유효면적을 고려한 전류.

Fig. 8. Drain current with an effective square.

### 3.3 시뮬레이션 검토

전류는 기여하는 요소로써 캐리어의 속도와 양으로 나눌 수 있다. 식 (19)는 캐리어의 속도와 관

련되며, 식 (23)은 캐리어의 양과 관련된 식이라고 할 수 있다. 식 (19)의 합리성을 검증하기 위해 grain의 길이변화와 포획(trap)의 유무에 따라 시뮬레이션 해보았다. 그림 4를 통하여 포획(trap)이 존재함에 따라 이동도의 변화를 확인할 수 있으며, 그림 5와 그림 6을 통하여 grain의 길이 변화에 따라 이동도의 변화를 확인할 수 있다. 그림 7은 캐리어의 평균속도만 고려한 전류로써 낮은 gate전압 큰 오차를 확인할 수 있다. 그렇지만 그림 8에서 유효면적(effective square)을 고려한 전류는 낮은 gate전압에서의 오차가 거의 존재 하지 않음을 알 수 있다.

## 4. 결론

본 연구는 TFT의 채널에서의 grain boundary의 영향을 모델링 하였으며 크게 캐리어의 속도와 양으로 구분하여 분석하였다. grain boundary의 영향에 의한 캐리어의 속도는 모델링된 식의 합리성을 검증하기 위해 이동도의 변화를 시뮬레이션 해보았으며, grain boundary의 영향에 의한 캐리어의 양은 유효면적(effective square)이라는 개념을 도입하여 검증하였다.

본 논문에서는 TFT의 이동도 해석하기 위해서 거리에 따른 평균속도의 개념을 도입하여 모델링 하였다. 먼저 본 논문에서 제안한 이동도 식은 grain 내에서 완전한 공핍이 일어나지 않는 범위 내에서 이동도 변화의 특징을 잘 나타낼 수 있으므로 임의의 도핑농도와 grain size이상의 범위에서 적용될 수 있다.

그림 4를 통하여 포획(trap)이 존재할 때와 포획(trap)이 존재하지 않을 때를 나타내고 있으며 포획(trap)이 존재할 때의 이동도는 낮아짐을 볼 수 있다. 그림 5와 그림 6은 각각 채널의 길이 변화가 있으면서 grain size의 변화가 없을 때와 있을 때를 각각 나타내고 있다. 채널이 길어짐에 따라 grain size가 일정할 때는 채널의 길이변화에 이동도의 변화는 거의 존재하지 않지만, 채널이 길어짐에 따라 grain size도 같은 비율로 같이 길어지면 이동도는 크게 증가함을 볼 수 있다. 즉 다결정 구조에서의 이동도는 grain size의 내부 길이에 영향을 많이 받는다고 할 수 있다. 위의 결과를 통하여 식 (19)의 캐리어의 평균속도 모델링은 캐리어의 이동도 변화로써 모델링된 식의 합리성을 부여한다고 할 수 있다.

그림 7과 그림 8 비교해보면, 두 시뮬레이션의 결과의 가장 큰 차이는 낮은 gate 전압일 때의 큰 오차이다. 그림 7은 전류에 drain-source 저항과 이동도의 변화만 고려한 전류이며 그림 8은 면적을 통하여 gate 전압의 변화에 유기되는 캐리어의 양을 고려한 전류이다. 따라서 식 (23)의 유효면적 (effective square) 모델링 된 식의 가치를 평가할 수 있다.

### 참고 문헌

- [1] M. D. Jacunski, M. S. Shur, and M. Hack, "Threshold voltage, field effect mobility, and gate-to-channel capacitance in polysilicon TFT'S", IEEE Trans, Electron Device, Vol. 43, No. 9, p. 1433, 1996.
- [2] J. R. Ayres, "Characterization of trapping states in poly-crystalline-silicon thin-film transistor by deep-level transient spectroscopy", J, Appl. Phys., Vol. 74, p. 1787, 1993.
- [3] 윤영준, 정순신, 김태형, 박재우, 최종선, "Semi-empirical 정전용량 모델을 이용한 대면적 고품질 TFT-LCD 의 화소 특성 시뮬레이션", 전기전자재료학회논문지, 12권, 10호, p. 920, 1999.
- [4] T. T. Sukada, "TFT-LCD", OPA Amsterdam B. V., 1996.
- [5] G. A. Armstrong, S. D. Brotherton, and J. R. Ayres, "Modeling of laser-annealed polysilicon TFT Characteristics", IEEE Electron Devices Lett., Vol. 18, p. 315, 1997.
- [6] W. Yangyuan and T. I. Kamins, "Polysilicon thin film and its application in VLSI", science press, 1988.
- [7] R. F. Pierret, "Semiconductor device fundamentals", Addison Wesley, p. 619, 1996.
- [8] S. M. Sze, "Physics of semiconductor devices", 2nd ed., John Wiley & Sons, 1981.
- [9] D. A. Neamen, "Semiconductor physics & devices", 2nd ed., McGRAW-HILL, 1999.
- [10] M. Ohring, "Materials science of thin films deposition and structure", 2nd ed., Academic Press, 2002.