

## 높은 이동도 특성을 가지는 Strained-Si-on-insulator (sSOI) MOSFETs

### High Mobility Characteristics of Strained-Si-on-insulator (sSOI) Metal-oxide-semiconductors Field-effect-transistors (MOSFETs)

김관수<sup>1</sup>, 조원주<sup>1,a</sup>  
(Kwan-Su Kim<sup>1</sup> and Won-Ju Cho<sup>1,a</sup>)

#### Abstract

We investigated the characteristics of Strained-Si-on-Insulator (sSOI) MOSFETs with 0.7 % tensile strain. The sSOI MOSFETs have superior subthreshold swing under 70 mV/dec and output current. Especially, the electron and hole were increased in sSOI MOSFET. The electron and hole mobility in sSOI MOSFET were 286 cm<sup>2</sup>/Vs and 151 cm<sup>2</sup>/Vs, respectively. The carrier mobility enhancement is due to the subband splitting by 0.7 % tensile strain.

**Key Words** : Strained-Si, SOI, Mobility enhancement, Subband splitting

#### 1. 서론

Strained-Si 기술은 저전력, 고속의 차세대 CMOS 기술로 큰 관심을 가지고 있다. 특히, 단채널 효과에 강하고, 공정이 간단한 장점을 가지고 있는 Silicon-on-Insulator (SOI) 기술과 접목된 Strained-Si-on-Insulator (sSOI) 기술은 높은 이동도 특성을 가지는 소자 기술로서 많은 연구가 진행되고 있다[1,2]. sSOI 기판은 매몰산화층 위에 존재하는 SiGe막과 Si의 격자상수 차이를 이용하여 형성한다. 이렇게 제작한 sSOI 기판을 이용한 MOSFET는 기존의 SOI MOSFET보다 높은 이동도 특성을 가진다. 그러나 소자를 제작하는 과정에서 고온공정에 따른 Ge 확산으로 따른 alloy scattering이 증가하게 되어 캐리어의 이동도의 열화가 발생하게 된다[3,4]. 따라서 smart cut 기술을 이용하여 SiGe층을 제거하여 Ge의 확산이 존재하

지 않는 Ge-free sSOI에 관한 연구가 많이 진행되고 있다[5].

따라서 본 논문에서는 SiGe 층이 존재하지 않고 상부 strained-Si의 두께가 40 nm인 sSOI 기판을 이용하여 sSOI MOSFETs를 제작하고 SOI MOSFETs과 전기적 특성을 비교하여 sSOI MOSFET의 우수성을 확인하였다.

#### 2. 실험

두께가 40 nm인 sSOI 기판을 이용하여 채널의 길이와 폭이 각각 20/20 μm인 sSOI MOSFETs를 그림 1의 방법으로 제작하였다. Initial cleaning 이후 mesa isolation 방법을 이용하여 소자간 분리를 해주었다. 게이트 산화막으로는 열산화 방법을 이용하여 880 °C에서 약 8 nm 성장시켜 주었다. 이후 LPCVD 방법을 이용하여 인이 도핑된 poly-Si를 600 °C에서 약 100 nm 증착하였다. 게이트 패턴 이후 얇은 접합 깊이를 형성하기 위해 플라즈마 도핑 방법을 이용하여 소스와 드레인을 형성시켜 주었다. 40 nm의 상부실리콘 두께를 가지는 SOI MOSFETs를 같은 방법으로 제작하여 sSOI MOSFETs과 전기적 특성을 비교하였다.

1. 광운대학교 전자재료공학과

(서울시 노원구 월계동 447-1)

a. Corresponding Author : chowj@kw.ac.kr

접수일자 : 2008. 4. 7

1차 심사 : 2008. 6. 12

심사완료 : 2008. 7. 22

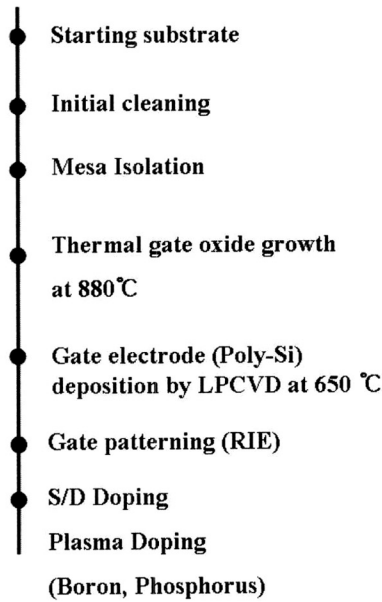


그림 1. sSOI MOSFET 제작 과정.  
Fig. 1. sSOI MOSFET fabrication process.

### 3. 결과 및 고찰

그림 2는 sSOI 기판의 Raman spectrum을 나타내고 있다. 일반적으로 Si의 경우  $520\text{ cm}^{-1}$ 에서 peak가 나타나는 것을 볼 수 있다. 그러나 sSOI 기판에서는  $514\text{ cm}^{-1}$ 에서 새로운 peak가 나타나는 것을 볼 수 있다. 이같은 sSOI 기판에서 나타나는 새로운 peak를 통해 0.7 %의 tensile strain이 존재하는 것을 확인하였다.

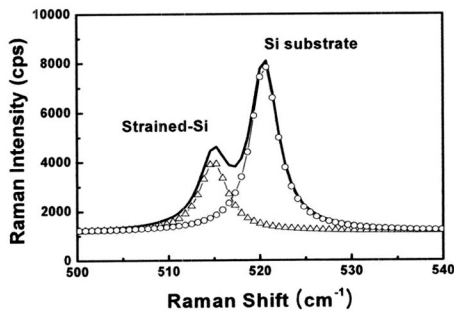
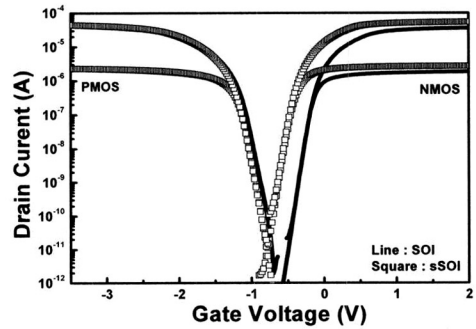
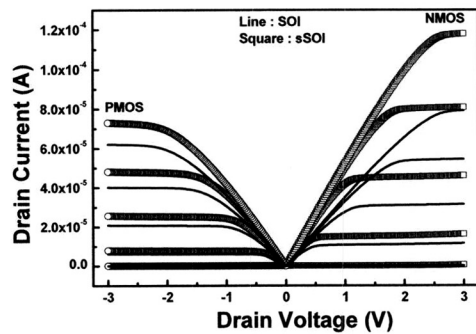


그림 2. sSOI 기판의 Raman spectrum.  
Fig. 2. Raman spectrum of sSOI wafer.



(a)



(b)

그림 3. SOI/sSOI MOSFET의 I-V 특성 (a) subthreshold 특성, (b) 출력 특성.

Fig. 3. Current-Voltage characteristics of SOI/sSOI MOSFETs (a) Subthreshold characteristics, (b) Output characteristics.

그림 3는 채널의 길이와 폭이 각각  $20/20\text{ }\mu\text{m}$ 인 SOI/sSOI MOSFET의 전기적 특성을 나타내고 있다. 그림 3(a)를 통해 NMOSFET의 경우 약  $70\text{ mV/dec}$ 이며, PMOSFET의 경우 약  $80\text{ mV/dec}$ 로 SOI/sSOI 모두 우수한 subthreshold swing 특성을 가짐을 볼 수 있다. 또한 SOI MOSFET의 문턱전압의 경우 NMOS와 PMOS 각각  $-0.1\text{ V}$ ,  $-1.04\text{ V}$ 로 측정되었다. 그러나 sSOI MOSFET의 경우 문턱전압이  $-0.26\text{ V}$  (NMOS),  $-1.12\text{ V}$  (PMOS)로 SOI MOSFET 보다 왼쪽으로 이동된 것을 볼 수 있다. 이 같은 문턱전압의 변화는 strain에 의해 Si의 금지대 폭이 감소하게 되며, conduction band와 valance band의 edge가 SOI 보다 낮아지기 때문

이다[6]. 그림 3(b)는 SOI/sSOI MOSFETs의 출력 특성을 나타내고 있다. SOI/sSOI MOSFETs 모두 우수한 출력특성을 나타내고 있다. 특히 sSOI MOSFET의 경우 출력특성이 SOI MOSFET 보다 증가된 것을 확인할 수 있다.

그림 4는 SOI/sSOI MOSFETs의 전자와 정공의 이동도 특성을 나타내고 있다. sSOI MOSFET에서의 전자의 이동도는  $286 \text{ cm}^2/\text{Vs}$ 로 SOI MOSFET에서의 전하이동도  $209 \text{ cm}^2/\text{Vs}$ 보다 약 1.2 배 증가된 것을 볼 수 있다. 또한 정공의 경우  $122 \text{ cm}^2/\text{Vs}$ 에서  $151 \text{ cm}^2/\text{Vs}$ 로 sSOI MOSFET에서 정공의 이동도가 약 1.3 배로 이동도가 증가하였다. 이 같은 이동도의 증가는 그림 5와 같은 strain에 의한 subband splitting 때문이다. 일반적으로 conduction band에는 conductivity mass가 작고 전자의 이동도가 높은 2-fold valley와 conductivity mass가 크고 전자의 이동도가 낮은 4-fold valley가 축퇴되어 있다. 그러나 strain이 인가되게 되면 4-fold valley가 상승하게 되어 2-fold valley와 2-fold valley사이에서 band splitting이 발생한다. 따라서 2-fold valley에 존재하는 전자의 수가 증가하게 되어 average conductivity mass가 감소하게 되고 전자의 이동도는 증가하게 된다. Valance band의 경우 light hole (LH) band와 heavy hole (HH) band로 축퇴되어 있다. 마찬가지로 strain에 의해 LH band가 상승하게 되어 valance band에서 band splitting이 발생하게 되며, LH band를 차지하는 정공의 수가 많아져 정공의 이동도는 증가하게 된다[7].

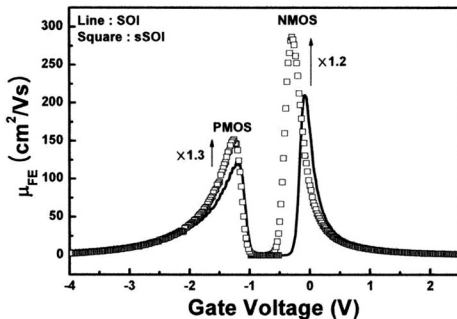


그림 4. SOI/sSOI MOSFETs의 이동도 특성.  
Fig. 4. Electron and hole mobility characteristics of SOI/sSOI MOSFETs.

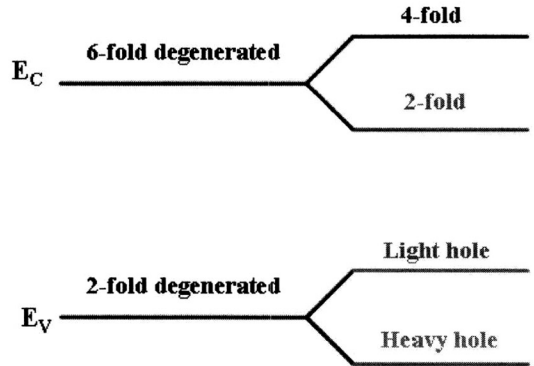


그림 5. Strain에 의한 conduction band와 valance band의 band splitting.  
Fig. 5. Strain induced band splitting of conduction band and valance band.

#### 4. 결론

본 연구에서는 0.7 % tensile strain이 인가되어 있고 상부실리콘 두께가 40 nm 인 sSOI 기판을 이용하여 채널의 길이와 폭이 각각 20  $\mu\text{m}$ 인 sSOI MOSFETs을 제작하고 전기적 특성을 살펴보았다. sSOI MOSFETs은 70 mV/dec (NMOS), 80 mV/dec의 매우 우수한 subthreshold swing 특성을 나타냈다. sSOI MOSFETs의 문턱전압은 strain에 의한 band gap의 감소에 의해 band offset이 발생하게 되며, SOI MOSFETs 보다 왼쪽으로 이동된 값을 가짐을 확인하였다. 특히 sSOI MOSFETs의 캐리어 이동도는 전자가  $286 \text{ cm}^2/\text{Vs}$ , 정공이  $151 \text{ cm}^2/\text{Vs}$ 로 SOI MOSFETs 보다 우수한 이동도 특성을 가짐을 확인하였다. 이 같은 캐리어 이동도의 증가는 strain에 의한 conduction band와 valance band에서의 subband splitting 때문이다. 따라서 sSOI MOSFETs은 기존의 저전력 고속 CMOS를 실현할 수 있는 핵심기술이라고 판단된다.

#### 참고 문헌

[1] S. Tagaki, T. Mizuno, T. Tezuka, N. Sugiyama, T. Numata, K. Usuda, Y. Moriyama, S. Nakaharai, J. Koga, A. Tanabe, N. Hirashit, and T. Maeda, "Channel Structure Design, Fabrication and Carrier Transport Properties of Strained-Si/SiGe-on-insulator (Strained-SOI) MOSFETs", IEDM, p. 57, 2003.

- [2] L. J. Huang, J. O. Chu, S. Goma, C. P. D'Emic, S. J. Koester, D. F. Canaperi, P. M. Mooney, S. A. Cordes, J. L. Speidell, R. M. Anderson, and H.-S. Phillip Wong, "Carrier Mobility Enhancement in Strained Si-on-insulator Fabricated by Wafer Bonding", IEEE VLSI Symp., p. 57, 2001.
- [3] D. R. Black, J. C. Woicik, M. Erdtmann, and T. A. Langdo, "Imaging defect in strained-silicon thin films by glancing-incidence", Appl. Phys. Lett., Vol. 88, p. 224102, 2006.
- [4] G. Xia, M. Canonico, and J. L. Hoyt, "Interdiffusion in strained Si/strained SiGe epitaxial heterostructures", Semicond. Sci. Technol., Vol. 22, p. 55, 2007.
- [5] T. A. Langdo, M. T. Currie, Z.-Y. Cheng, J. G. Fiorenza, M. Erdtmann, G. Braithwaite, C. W. Leitz, C. J. Vineis, J. A. Carlin, A. Lochtefeld, M. T. Bulsara, I. Lauer, D. A. Antoniadis, and M. Somerville, "Strained Si on insulator technology: from materials to devices", Solid-state Electronics, Vol. 48, p. 1357, 2004.
- [6] T. Numata, T. Mizuno, T. Tezuka, J. Koga, and S. Takagi, "Control of threshold-voltage and short-channel effects in ultrathin strained-SOI CMOS devices", IEEE Trans. Electron Devices, Vol. 52, No. 8, p. 1780, 2005.
- [7] S. Tagaki, T. Mizuno, T. Tezuka, N. Sugiyama, S. Nakaharai, T. Numata, J. Koga, and K. Uchida, "Sub-band structure engineering for advanced CMOS channels", Solid-State Electronics, Vol. 49, p. 684, 2005.