

논문 21-8-5

Plasma Etch Damage가 (100) SOI에 미치는 영향의 C-V 특성 분석

C-V Characterization of Plasma Etch-damage Effect on (100) SOI

조영득¹, 김지홍², 조대형², 문병무², 조원주¹, 정홍배¹, 구상모^{1,a}
(Yeong-deuk Jo¹, Ji-hong Kim², Dae-hyung Cho², Byung-Moo Moon²,
Won-Ju Cho¹, Hong-Bay Chung¹, and Sang-Mo Koo^{1,a})

Abstract

Metal-oxide-semiconductor (MOS) capacitors were fabricated to investigate the plasma damage caused by reactive ion etching (RIE) on (100) oriented silicon-on-insulator (SOI) substrates. The thickness of the top-gate oxide, SOI, and buried oxide layers were 10 nm, 50 nm, and 100 nm, respectively. The MOS/SOI capacitors with an etch-damaged SOI layer were characterized by capacitance-voltage (C-V) measurements and compared to the sacrificial oxidation treated samples and the reference samples without etching. The measured C-V curves were compared to the numerical results from corresponding 2-dimensional (2-D) structures by using a Silvaco Atlas simulator.

Key Words : MOS, Plasma-induced etch damage, Interface states, Capacitance, Silvaco Atals

1. 서 론

MOSFET 소자가 점점 미세구조화 됨에 따라 그에 따른 여러 가지 기생효과 등이 소자특성에 좋지 않은 영향을 미치게 된다. SOI(silicon on insulator) 소자는 산화막으로 소자와 기판 사이를 절연시킴으로써 기생효과를 억제할 수 있으며 고속 동작과 집적화 등 여러 가지 장점들 때문에 많은 연구가 이루어지고 있다.

C-V(capacitance-voltage) 특성은 소자의 절연막과 실리콘의 계면특성, 절연막의 유전특성, 실리콘의 물성 등을 알아낼 수 있는 중요한 측정법이다. 이를 이용하여 SOI 기판에 MOS 커패시터를 제작하여 측정된 고주파 C-V 특성을 통하여 계면에 미치는 플라즈마 식각 데미지(plasma etch damage)의 영향과 희생산화(sacrificial oxidation)

공정을 통한 데미지의 회복을 연구하였고 이와 동일한 구조로 시뮬레이션을 동시에 수행함으로써 비교, 분석을 수행하였다.

2. 실 험

이번 연구에서 사용된 SOI 웨이퍼는 SOITEC사에서 제조된 Smart Cut™ 기술을 사용한 UNIBOND™로서, 실리콘 두께는 50 nm이고 매몰산화층(buried oxide) 두께는 100 nm로 이루어져 있다. SOI 기판의 결정 방향은 (100)방향이다. MOS 구조의 상부 전극은 10 nm 두께의 Au/Ti로 증착했고 게이트 산화막(gate oxide)의 두께는 10nm로 하였다. 그리고 실리콘의 도핑 농도는 N-type $\sim 10^{15} \text{ cm}^{-3}$ 로 도핑하였다.

플라즈마 식각 데미지를 확인하기 위하여 각기 다른 공정과정에 따라 3가지 소자 샘플을 제작하여 분석하였다. 기준이 되는 샘플은 SOI 웨이퍼 위에 10 nm의 두께로 산화막을 생성하였고, 플라즈마 식각 데미지 영향을 알아보기 위한 샘플은 SOI 웨이퍼에 반응성 이온 식각(reactive ion etching,

1. 광운대학교 전자재료공학과
(서울시 노원구 월계동 447-1)
2. 고려대학교 전자공학과
a. Corresponding Author : smkoo@kw.ac.kr
접수일자 : 2008. 4. 30
1차 심사 : 2008. 7. 10
심사완료 : 2008. 7. 23

RIE)으로 10 nm를 식각한 후에 10 nm 두께의 산화막을 생성하였다. 그리고 데미지 회복 효과를 알아보기 위해 SOI 웨이퍼에 반응성 이온 식각을 10 nm 두께로 식각한 후에 10 nm 두께의 희생 산화막(sacrificial oxidation)을 생성하였다. 그 후, BOE로 식각한 뒤, 10 nm의 산화막을 생성하여 샘플을 제작하였다. 표 1은 이 연구에서 수행한 공정과정을 간단히 보여준다.

표 1. 샘플 소자의 공정과정.

Table 1. Fabrication process for the three different samples.

	Sample 1	Sample 2	Sample 3	
Step	SOI wafer			
	Oxidation 10 nm	RIE 10 nm	RIE 10 nm	
		Oxidation 10 nm	Sacrificial Oxidation 10 nm	BOE etching
			Oxidation 10 nm	
Au/Ti electrode				

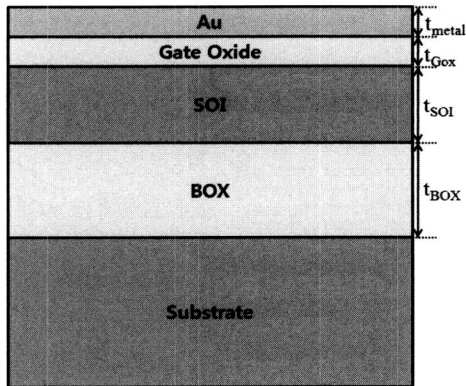


그림 1. MOS/SOI 커패시터의 구조도.

Fig. 1. The cross-sectional schematic diagrams of the fabricated MOSOI capacitor.

C-V 특성을 분석하기 위하여 HP 4284 LCR meter를 이용하여 1 MHz로 고주파 측정을 하였다. 게이트전압은 -20 V에서 20 V까지 인가하였고 암상자에서 실온을 유지하여 측정되었다. 이와 동시

에 소자의 2-D 시뮬레이션은 Silvaco사의 Atlas로 실제 소자와 동일한 조건의 구조에서 수행하였다. 그림 1은 이번 연구에서 사용한 구조를 나타낸다.

3. 결과 및 검토

그림 2는 공정과정을 각각 다르게 제조한 샘플 소자의 C-V 곡선이다. 반응성 이온 식각 공정으로 데미지를 입은 소자의 C-V 곡선이 기준소자의 곡선보다 음의 방향으로 이동됨을 알 수 있다. 소자의 상부 계면에 데미지가 가해져서 전하량의 변화를 가져온 것이라 판단된다. 또한 반전층 영역의 불균일한 곡선은 반전 영역에서부터 C-V 곡선을 측정하여서 그때의 불완전한 캐리어(carrier)들의 영향과 게이트 누설 전류와 기판의 변위 전류로 인한 효과라 판단된다. 전하량을 구하기 위해 MOS 소자 기반의 공식을 도입하여 계산하였다. SOI 소자에 적용했을 경우에는 여러 가지 계면인자나 커패시턴스를 근사시켜서 간략히 계산하도록 하였다.

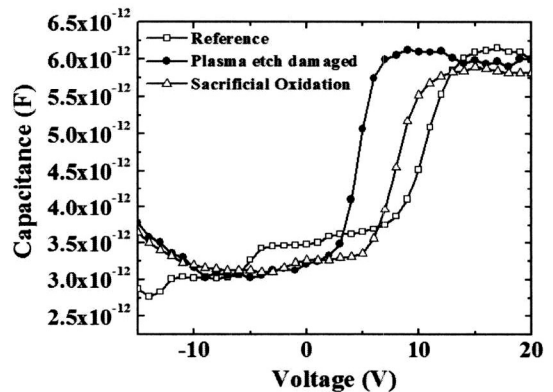


그림 2. 플라즈마 식각에 의한 데미지 효과를 나타내는 C-V 곡선.

Fig. 2. Measured C-V curves showing the effect of plasma etch damage on MOSOI capacitors.

기준소자와 플라즈마 식각 데미지가 가해진 소자의 C-V 곡선에서 게이트 산화막의 변화된 총 전하량을 구하기 위하여 미세한 크기의 기생커패시터 값을 무시하였고, 그때의 C-V 이력곡선 또한 무시할 만큼 작게 측정되었으므로 근사화시켜서

계산하였다. 다음과 같은 공식에 의해 총 커패시턴스의 근사값을 구할 수 있다.

$$\frac{1}{C_{total}} = \frac{1}{C_{GoX}} + \frac{1}{C_{BoX}} \quad (1)$$

근사적으로 매물 산화층은 소자 전체의 커패시턴스 량에 크게 영향을 준다. 여기에서 게이트 산화막의 커패시턴스는 이 소자에서 매물 산화층의 이상적인 커패시턴스 값은

$$C = \frac{\epsilon}{t} \quad (2)$$

의 공식에 의하여 $3.45 \times 10^{-8} \text{ F/cm}^2$ 의 값을 얻을 수 있다. 이 값으로 두께의 비율을 이용하여 게이트 산화막의 커패시턴스를 구하면 $3.45 \times 10^{-7} \text{ F/cm}^2$ 이고, 이 값으로 전하량의 공식

$$Q_{total} = -(\Delta V_{FB} C_{OX})/q \quad (3)$$

을 이용하여, 데미지에 의해 변화된 게이트 산화막의 전하량을 구하였다. 플라즈마 식각 데미지에 따른 게이트 산화막 전하량의 값은 $1.73 \times 10^{13} \text{ cm}^{-2}$ 이다.

회생 산화막 공정을 추가한 소자의 C-V 곡선은 플라즈마 식각 데미지를 입은 소자의 곡선에 비해 기준소자의 C-V 곡선 방향으로 근접함을 볼 수 있다. 이와 같은 특성을 비교해보면 플라즈마 식각 데미지가 회생 산화막에 의해 회복됨을 알 수 있다. 이 곡선에서 계단 모양을 띠는 부분은 SOI 층의 채널영역이 공핍영역에서 반전영역으로 변하는 상태를 나타내고, SOI 채널 내에서의 공핍영역의 변화에 의해 특정 형태의 곡선을 보이게 된다.

그림 3은 MOS/SOI 커패시터의 SOI 층에서의 캐리어의 분포를 보여주는 그래프이다. A영역은 게이트에 12 V의 바이어스를 인가했을 때의 캐리어의 움직임 보여준다. 컨덕션 밴드 에너지와 QFL(quasi fermi level)의 그래프가 근접하는 영역에서 전자가 밀집됨을 나타낸다. 여기서는 SOI와 매물 산화막 층의 계면 부분에 전자가 밀집되어 있음을 나타낸다. B영역은 게이트에 -12 V의 바이어스를 인가했을 때의 캐리어의 분포를 나타내고 이와 같은 경우에는 전자가 게이트 산화막과 SOI 층 사이의 계면 부분에 밀집함을 알 수 있다.

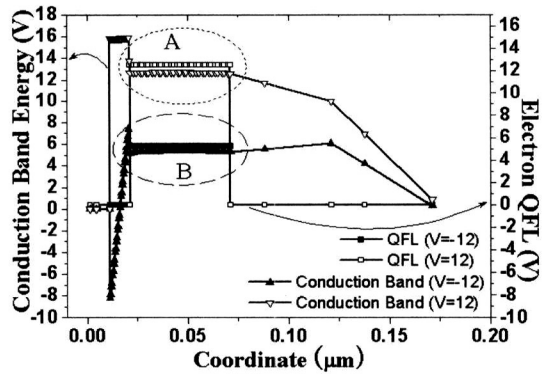


그림 3. MOSOI 커패시터 채널 내에서의 캐리어의 거동.

Fig. 3. The distributions of carriers in the channel of MOSOI capacitors.

그림 4는 게이트 산화막 표면을 기준으로 SOI film 영역에서의 캐리어의 분포를 나타낸 에너지 밴드 다이어그램이다. 캐리어의 분포는 게이트에 가해진 바이어스 조건에 의하여 상부 실리콘 영역에서 접합부에 밀집됨을 알 수 있다. (a)는 -12 V 바이어스를 게이트에 인가했을 때, 전자가 매물 산화막 층에 가까운 부분에 밀집됨을 알 수 있다. (b)의 그림은 12 V 바이어스를 인가한 경우의 그림으로 전자가 상부 산화막 층에 근접하여 밀집됨을 알 수 있다.

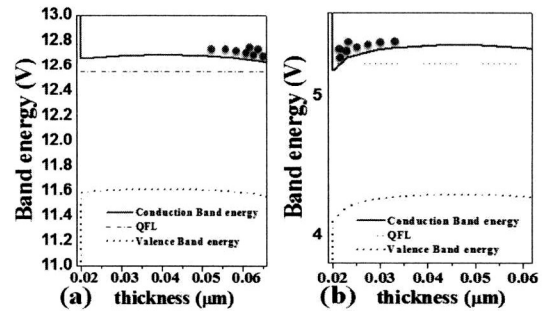


그림 4. (a) -12 V 바이어스를 게이트에 인가했을 경우와 (b) 12 V 바이어스를 게이트에 인가했을 경우, SOI film 내에서의 캐리어의 분포.

Fig. 4. The distributions of carriers in SOI film layer for (a) +12 V and (b) -12 V biased conditions, respectively.

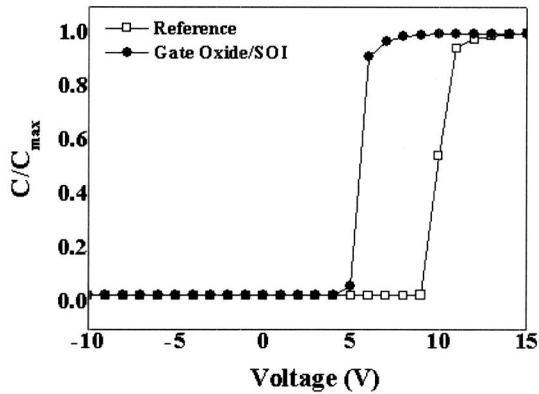


그림 5. Gate oxide와 SOI 계면의 영향에 따른 C-V 곡선의 변화.

Fig. 5. Simulated C-V curves showing the effect of the interface charges at between the gate oxide and SOI layers.

실제 측정에서 플라즈마 식각 데미지의 영향을 확인할 수 있었는데, 반응성 이온 식각이 MOS/SOI 커패시터의 상부 계면에 영향을 미쳐 그림 2와 같은 곡선이 얻어졌다고 판단하였다. 이를 뒷받침하기 위하여 실제 소자와 동일한 구조를 Silvaco사의 Atlas로 시뮬레이션을 수행하였다. 수행한 결과는 그림 5와 같으며, 앞의 공식들을 이용하여 총 전하량(Q_{total}) 구해보면 $1.29 \times 10^{13} \text{ cm}^{-2}$ 의 값을 갖는다. 시뮬레이션의 결과를 앞의 그림에서 캐리어의 분포와 측정된 C-V 특성을 비교, 분석하여 상부 계면에 데미지 효과가 발생한 것을 알 수 있다.

4. 결론

본 연구에서는 SOI 기판 위에 MOS 커패시터를 구현하여 C-V 시뮬레이션과 측정값의 분석을 통하여 플라즈마 식각 데미지와 회생산화공정에 따른 데미지 회복 효과를 연구하였다. 시뮬레이션을 수행하여 얻어진 C-V 특성과 채널 내의 캐리어의 분포, 그리고 측정으로부터 얻어진 C-V 특성을 비교하여 상부 계면에 미치는 플라즈마 식각 데미지에 따라 고정 산화막 전하가 증가됨을 보였다. 회

생 산화막 공정을 추가한 샘플소자의 C-V 특성으로부터 완벽하진 않지만 효과적으로 식각 데미지가 회복되어졌다고 판단할 수 있다.

감사의 글

본 논문은 2007년도 광운대학교 교내 연구비 지원과 학술진흥재단(KRF-2007-3310173)에 의해 통해 개발된 논문임을 밝힙니다.

참고 문헌

- [1] D. J. Wouters, M. R. Tack, G. V. Groeseneken, H. E. Maes, and C. L. Claeys, "Characterization of front and back Si-SiO₂ interfaces in thick- and thin-film silicon-on-insulator MOS structures by the charge-pumping technique", IEEE Trans. Electron Devices, Vol. 36, No. 9, p. 1746, 1989.
- [2] J. H. Lee and S. Cristoloveanu, "Accurate technique for CV measurements on SOI structures excluding parasitic capacitance effects", IEEE Electron Device Lett., Vol. 7, No. 9, p. 537, 1986.
- [3] F. A. Ikraiam, R. B. Beck, and A. Jakubowski, "Modeling of SOI-MOS capacitors C-V behavior: partially- and fully-depleted cases", IEEE Trans. Electron Devices, Vol. 45, No. 5, p. 1026, 1998.
- [4] S. C. Vikavage and E. A. Irene, "An investigation of Si-SiO₂ interface charges in thermally oxidized (100), (110), (111), and (511) silicon", J. Appl. Phys., Vol. 68, No. 10, p. 5262, 1990.
- [5] C. M. Zetterling, M. Ostling, C. I. Harris, P. C. Wood, and S. S. Wong, "UV-ozone precleaning and forming gas annealing applied to wet thermal oxidation of p-type silicon carbide", Materials Science in Semiconductor Processing, Vol. 2, No. 1, p. 23, 1999.