

고전압 전력소자를 보호하기 위한 Sense FET 설계방법

A Design Method on Power Sense FET to Protect High Voltage Power Device

경신수¹, 서준호¹, 김요한¹, 이종석¹, 강이구², 성만영^{1,a}

(Sin Su Kyoung¹, Jun Ho Seo¹, Yo Han Kim¹, Jong Seok Lee¹, Ey Goo Kang², and Man Young Sung^{1,a})

Abstract

Current sensing in power semiconductors involves sensing of over-current in order to protect the device from harsh conditions. This technique is one of the most important functions in stabilizing power semiconductor device modules. The sense FET is very efficient method with low power consumption, fast sensing speed and accuracy. In this paper, we have analyzed the characteristics of proposed sense FET and optimized its electrical characteristics to apply conventional 450 V power MOSFET by numerical and simulation analysis. The proposed sense FET has the n-drift doping concentration $1.5 \times 10^{14} \text{ cm}^{-3}$, size of $600 \mu\text{m}^2$ with 4.5Ω , and off-state leakage current below $50 \mu\text{A}$. We offer the layout of the proposed sense FET to process actually. The offered design and optimization methods are meaningful, which the methods can be applied to the power devices having various breakdown voltages for protection.

Key Words : Sense FET, Current sensing

1. 서론

전력용 반도체(Power Device)에서 전류 감지는 초과 전류를 감지하여 전력반도체 소자를 보호하는 기능으로 전력용 반도체 소자 모듈의 안정성에 있어 가장 중요한 기능 중 하나이다. 일반적인 전류감지 방법에는 직렬로 연결한 저항으로 전류를 감지하는 방법, 전력용 소자에 병렬로 연결된 R_{ds} 저항으로 감지하는 방법 등이 있으나, 그 중 단일 소자 형태의 일체형의 Power MOSFET의 소스 단자 일부분을 사용하여 병렬로 연결된 MOSFET을 구성하여 전류를 감지하는 Sense FET을 사용한 전류 감지방법은 이전의 어떤 전류 감지방법보다 적은 전력 소모와 빠른 감지 속도, 정확성을 보여 가장 실용적이다[2,3]. 본 논문에서는 Sense FET

의 특성을 분석하고, 현재 전력용 소자 중 가장 널리 쓰이는 450 V 급 Power MOSFET 소자에 가장 적합한 Sense FET의 특성을 도출하고, 최적설계를 수행하였다.

2. 본론

2.1 Sense FET의 구조

Sense FET의 등가회로와 구조를 그림 1에 도시하였다. 그림 1(a)에서 보듯이 주소자인 Power MOSFET과 전류 감지 소자인 Sense FET은 드레인 전극을 공유하며, 같은 부하에 연결되어 있는 반면 소스 전극은 분리되어 있다. 즉 Power MOSFET은 전류를 통과시키는 전력용 소자의 기능을 수행하기 위해 접지에 연결되지만 Sense FET은 전류 감지 소자에 연결되어 전류 감지 기능을 수행한다. 그림 1(b)는 Sense FET의 실제 소자에서의 수직구조를 보여준다. 주소자인 Power MOSFET 옆으로 일정한 거리를 두고 Sense FET이 병렬로 구성된다. 이 때 Power MOSFET과

1. 고려대학교 전기공학과
(서울시 성북구 안암동 5가 1)
2. 극동대학교 정보통신표준화학부
a. Corresponding Author : semicad@korea.ac.kr
접수일자 : 2008. 11. 13
1차 심사 : 2008. 12. 8
심사완료 : 2008. 12. 22

Sense FET의 드레인은 같은 금속 전극으로 연결되어 전극을 공유하고 있지만 소스단은 각각 분리된 전극으로 구성된다.

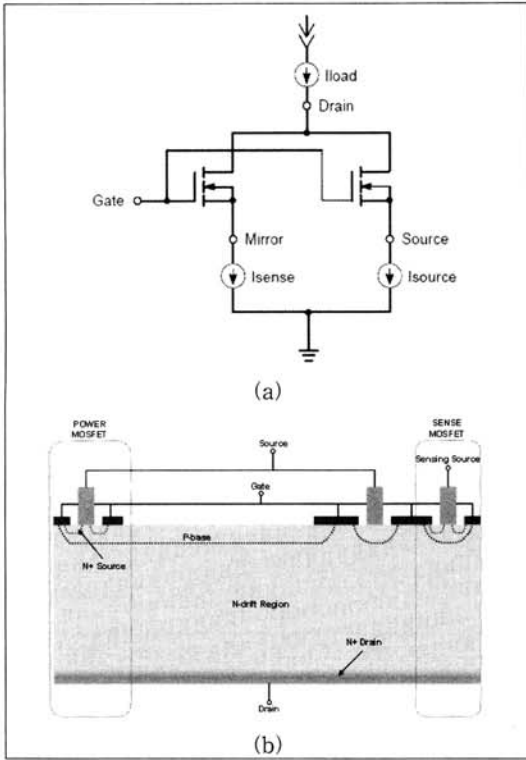


그림 1. (a) Sense FET 등가회로, (b) Sense FET 소자구조.
 Fig. 1. (a) Sense FET equivalent circuit, (b) Sense FET device structure.

2.2 Sense FET 설계와 최적화

Sense FET 에 있어 중요한 설계 파라메터인 항복전압, 온 저항, 오프 상태 누설전류를 수식과 시뮬레이션을 통해 설계하였다.

Sense FET은 전류 감지를 위해 Power MOSFET 에 병렬로 연결되므로 주소자인 Power MOSFET 의 항복전압 특성을 방해하지 않기 위해서 Power MOSFET보다 크거나 같은 항복전압을 가져야 한다. Sense FET의 항복전압은 Power MOSFET과 마찬가지로 n 드리프트층과 p 베이스층으로 이루어진 계단형 접합의 항복전압에 의존한다.

계단형 접합의 항복전압은 다음 (1)식에 의해

결정된다[1].

$$BV = 5.34 \times 10^{13} N_D^{-3/4} \tag{1}$$

수식 (1) 에서 N_D 는 n 드리프트층의 농도이다. 그림 2에 수식(1)에 의한 이론값의 그래프와 450 V, 600 V, 750 V에 대해서 수식 (1)로부터 얻어진 농도값을 대입한 시뮬레이션의 결과로 얻어진 항복전압 결과를 같이 나타내었다.

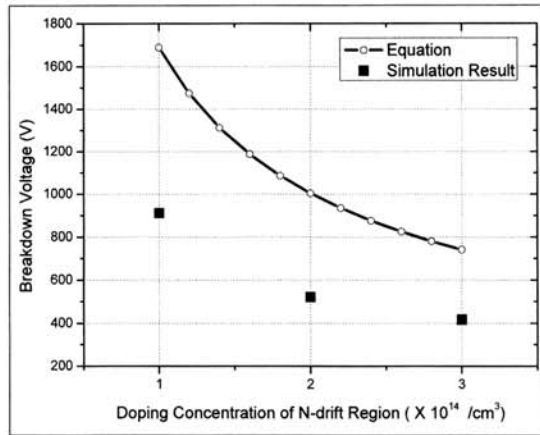


그림 2. 항복전압의 이론값과 시뮬레이션값.
 Fig. 2. The numerical and simulated value of the breakdown voltage.

그림 2에서 보듯이 시뮬레이션 결과는 이론적인 값보다 낮은 값을 나타냈다. 실제의 제작시는 이보다 더 낮은 것을 감안하여, 마진을 고려하여 수식 (1)을 수식 (2)로 고려할 수 있다.

$$BV_{eq} \times 0.36 = BV_{device} \Rightarrow BV_{eq} = \frac{BV_{device}}{0.36} \tag{2}$$

수식 (2)에 의해 450 V, 600 V, 750 V의 결과에 따른 시뮬레이션 항복전압 결과와 제작시의 예상 항복전압 결과, 각각의 농도에 대한 공핍층 길이의 시뮬레이션 결과를 표 1에 정리하였다.

온 저항을 설계하기 위해 표 1의 각 항복전압시의 n 드리프트층의 공핍층의 길이를 고려하여, 마진을 두어 n 드리프트 영역의 길이를 200 μm 로 정하였다. 이에 따른 각 항복전압에 따른 온 저항의 시뮬레이션 결과를 그림 3에 도시하였다.

표 1. 목표 항복전압에 따른 예상된 항복전압, 공핍층 길이, n 드리프트층 도핑농도.

Table 1. Predicted breakdown voltage, depletion layer length, and doping concentration depending on target breakdown voltage.

N 드리프트층 도핑농도 ($/\text{cm}^3$)	1.5×10^{14}	1.0×10^{14}	0.8×10^{14}
목표 항복전압 (V)	450	600	750
시뮬레이션 항복전압 (V)	665	911	700
제작시의 예상결과 (V) (시뮬레이션의 70%로 고려)	466	638	744
저지시의 n 드리프트층의 공핍층 길이 (μm)	78	108	133

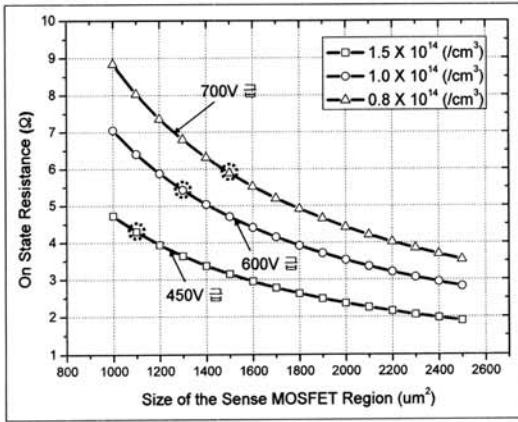


그림 3. 항복전압과 Sense FET 영역 크기에 따른 온 저항의 시뮬레이션 결과.

Fig. 3. On-state resistance change depending on the size of sense FET.

그림 3에서 보듯이 각 항복전압이 낮을수록 더 낮은 온 저항을 가짐을 알 수 있다. 이는 수식 (1)에서와 같은 n 드리프트층의 농도와 항복전압 관계에서 더 낮은 항복전압일수록 더 높은 n 드리프트층 도핑농도를 가지므로 저항이 낮아지기 때문이다. Sense FET이 차지하는 영역의 넓이가 넓을수록 온 저항 값이 감소하는 것도 확인할 수 있는데 이는 일반적으로 저항이 면적에 반비례하는 특성에 기인한다. 온 저항의 경우 낮을수록 더욱 좋은 특성의 소자라고 할 수 있지만, Sense FET의

영역이 넓을수록 주 소자 영역의 면적이 감소하므로, 목표로 하는 온 저항에 대해서 최소로 작은 영역을 점유하도록 설계하여야 한다.

본 논문에서는 450 V Sense FET 소자를 목표로 하여 설계를 수행하였다. 450 V에 맞는 온 저항의 최적화 설계를 위해 표 1의 공핍층 길이 78 μm 를 참고하여 Sense FET 영역의 크기에 따른 온 저항을 시뮬레이션하여 그림 4에 도시하였다. 기존의 450 V 급에서 상업적인 소자들의 저항은 일반적으로 4.5 Ω 미만이다. 따라서 본 논문의 450 V Sense FET도 600 μm^2 의 면적이 필요함을 그림 4의 결과를 통해 알 수 있다.

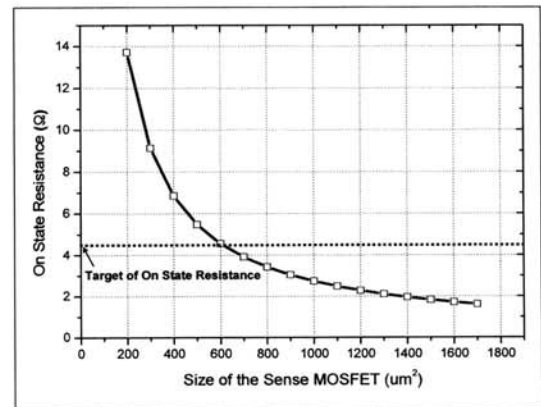


그림 4. 450 V의 항복전압을 가지는 구조의 Sense FET 영역 크기에 따른 온 저항의 시뮬레이션 결과.

Fig. 4. The results of on-state resistance simulation of 450 V sense FET depending on size of sense FET region.

앞서 설계한 Sense FET의 신뢰성을 평가하기 위해 오프 상태에서의 누설전류를 나타내는 지표인 '0' 게이트 전압시의 드레인 전류를 시뮬레이션하여 그림 5에 도시하였다.

상업적으로 신뢰성을 가지는 Sense FET의 경우 50 μA 미만의 오프 상태 누설전류만을 허용한다. 그림 5의 시뮬레이션 결과에 따라 드레인 전압이 300 V에서의 누설전류량 1.03 $\text{pA}/\mu\text{m}^2$ 를 고려할 때, Sense FET이 차지하는 면적의 크기는 $4.9 \times 10^7 \mu\text{m}^2$ 이하가 되어야 한다. 따라서 앞서 설계한 온 저항에 따른 Sense FET의 면적 600 μm^2 는 적합한 설계로 판단할 수 있다.

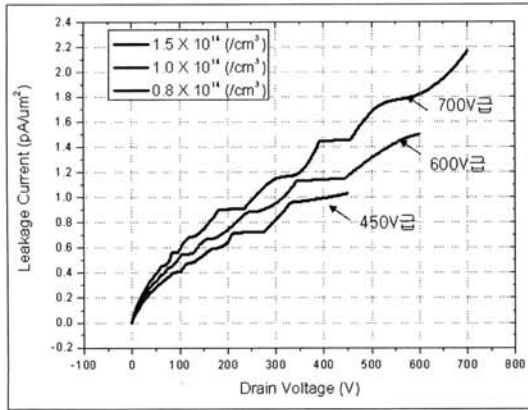


그림 5. 각 항복전압에 따른 오프 상태 누설전류의 시뮬레이션 결과.

Fig. 5. The results of zero gate drain current simulation depending on each breakdown voltage.

앞서 설계한 Sense FET을 적용한 450 V 급 Power MOSFET을 제작하기 위한 레이아웃을 그림 6에 도시하였다. 그림 6에 보듯이 접합마감 안에 주 소자인 Power MOSFET 영역의 일부를 Sense FET 영역으로 할애하였다.

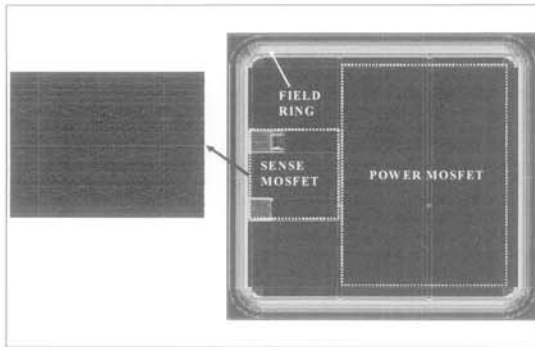


그림 6. 단위소자 레이아웃(좌)과 전체 OM 이미지(우).

Fig. 6. The unit cell layout(left) and OM image(right).

3. 결론

시뮬레이션과 수식을 통해 450 V 급 Power

MOSFET에 적용할 수 있는 Sense FET을 설계하고 실제 제작할 수 있는 레이아웃을 작성하여 제공하였다. 설계한 Sense FET은 $1.5 \times 10^{14} \text{ cm}^{-3}$ 의 n 드리프트층 농도를 가지고, $600 \mu\text{m}^2$ 의 공간을 차지하며, 50 μA 미만의 오프 상태 누설전류를 가진다. 본 논문에서 제시한 Sense FET 설계 방법과 최적화 설계는 여러 항복전압을 가지는 전력소자에 적용하여 Sense FET을 설계하고 분석할 수 있음에 큰 의미가 있다.

감사의 글

이 연구는 고려대학교 특별연구비에 의하여 지원되었음.

참고 문헌

- [1] B. Jayant Baliga, "Power semiconductor devices", PWS, 1996.
- [2] H. P. Forghani-zadeh and G. A. Rincon-Mora, "Current-sensing techniques for DC-DC converters", MWSCAS-2002, Vol. 2, p. II-577, 2002.
- [3] C. M. Yun, M. K. Han, and Y. I. Choi, "A new power MOSFET with self current limiting capability", J. ELECTRONICS, Vol. 80, No. 2, p. 131, 1996.
- [4] Y. Han, J. Chen, and J. Liang, "Summary of HV power ICs protecting circuit design", Solid-State and Integrated-Circuit Technology, Vol. 1, p. 135, 2001.
- [5] 유장우, 김후성, 윤지영, 황상준, 성만영, "IC 신뢰성 향상을 위한 내장형 고장검출 회로의 설계 및 제작", 전기전자재료학회논문지, 18권, 5호, p. 431, 2005.
- [6] 성만영, 김대중, 강이구, "스마트 파워 IC를 위한 트랜치 파워 MOSFET의 전기적 특성에 관한 연구", 전기전자재료학회논문지, 17권, 1호, p. 27, 2004.
- [7] Xiao. Y., Cao. J., Chen. J. D., and Spring. K., "Current sensing trench power MOSFET for automotive applications", APEC 21th Annual, Vol. 2, p. 766, 2005.
- [8] Patel. A. M. and Ferdowsi. M., "Advanced

- Current Sensing Techniques for Power Electronic Converters", Vehicle Power and Propulsion Conference, 2007.
- [9] Dake. T. and Ozalevli. E., "A precision high-voltage current sensing circuit", J. IEEE Transactions on, Vol. 55, No. 5, p. 1197, 2008.
- [10] Frank. R. and Aloisi, "Power device with integrated protection", Proceedings of 4th European conference of PEA, p. 110, 1993.
- [11] Simizu. Y., Harada. Y., and Otaka. S., "A new IGBT with a monolithic over-current protection circuit", Proceedings of ISPSD'94, p. 31, 1994.