

## Flexible Display용 Low Temp Process를 이용한 ZnO TFT의 제작 및 특성 평가

### Fabrication and Characteristics of ZnO TFTs for Flexible Display using Low Temp Process

김영수<sup>1,2</sup>, 강민호<sup>1,2</sup>, 남동호<sup>1</sup>, 최광일<sup>1</sup>, 이희덕<sup>1</sup>, 이가원<sup>1,a</sup>

(Young-Su Kim<sup>1,2</sup>, Min-Ho Kang<sup>1,2</sup>, Dong-Ho Nam<sup>1</sup>, Kang-Il Choi<sup>1</sup>, Hi-Deok Lee<sup>1</sup>, and Ga-Won Lee<sup>1,a</sup>)

#### Abstract

Recently, transparent ZnO-based TFTs have attracted much attention for flexible displays because they can be fabricated on plastic substrates at low temperature. We report the fabrication and characteristics of ZnO TFTs having different channel thicknesses deposited at low temperature. The ZnO films were deposited as active channel layer on Si<sub>3</sub>N<sub>4</sub>/Ti/SiO<sub>2</sub>/p-Si substrates by RF magnetron sputtering at 100°C without additional annealing. Also, the ZnO thin films deposited at oxygen partial pressures of 40%. ZnO TFTs using a bottom-gate configuration were investigated. The Si<sub>3</sub>N<sub>4</sub> film was deposited as gate insulator by PE-CVD at 150°C. All Processes were processed below 150°C which is optimal temperature for flexible display and were used dry etching method. The fabricated devices have different threshold slop, field effect mobility and subthreshold slop according to channel thickness. This characteristics are related with ZnO crystal properties analyzed with XRD and SPM. Electrical characteristics of 60 nm ZnO TFT (W/L = 20 μm/20 μm) exhibited a field-effect mobility of 0.26 cm<sup>2</sup>/Vs, a threshold voltage of 8.3 V, a subthreshold slop of 2.2 V/decade, and a I<sub>ON/OFF</sub> ratio of 7.5 x 10<sup>2</sup>.

**Key Words** : ZnO, TFT, Flexible, Low temp process

#### 1. 서 론

Zinc oxide (ZnO)는 넓은 band-gap (3.3 eV at 300K)과 a-Si TFT보다 높은 field-effect mobility로 인하여 최근 OLED 구동 소자나 대면적 LCD TV용으로 많은 연구가 이루어지고 있다. 그리고 ZnO TFT는 Si 기반의 소자와는 다르게 post-oxidation 현상이 발생하지 않고, 상온에서 비정질이나 다결정 구조를 가지기 때문에 grain을 형성하기 위한 추가적인 annealing이 필요하지 않다는 장점이 있다[1,2]. ZnO TFT의 전기적인 특성은

field-effect mobility가 0.02 ~ 20 cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>, I<sub>ON/OFF</sub> ratio가 10<sup>5</sup>~10<sup>6</sup>, threshold voltage가 -1 ~ 21 V로 보고되어 있다[2,3].

본 연구에서는 flexible display 적용을 위해 gate insulator 및 ZnO 증착 공정 포함 전 공정을 150°C 이하의 저온 공정을 이용하여 ZnO TFT를 제작하였고, 회로 적용을 위해 필수적인 threshold voltage의 제어를 위해 ZnO channel layer의 두께를 80 nm / 60 nm / 40 nm 로 split 하였다[4]. bottom-gate type의 ZnO TFT를 제작하면서 top-gate 구조보다 chemical damage에 취약한 점을 해결하기 위해 ZnO active layer 증착 후 oxide passivation을 실시하였으며, ZnO sputtering 시 oxygen vacancy를 최적화하여 전기적인 특성을 개선하기 위해 O<sub>2</sub> partial pressure를 40%로 고정된 상태에서 실험을 진행하였다[5,6]. 4 mask의 pattern 형성은 photo lithography 및 dry etch 방식을 사

1. 충남대학교 전자공학과  
(대전시 유성구 대학로 79)  
2. 나노융합팩센터 나노패턴팀  
a. Corresponding Author : gawon@cnu.ac.kr  
접수일자 : 2009. 8. 12  
1차 심사 : 2009. 9. 17  
심사완료 : 2009. 9. 22

표 1. ZnO 스퍼터링 조건.

Table 1. Sputtering condition of ZnO.

Target	76 mm $\phi$ ZnO(4N5)
RF power	200 W
Pressure	3 mT
Gas flow rate	O <sub>2</sub> /Ar = 8/12 sccm
Substrate temp	100°C

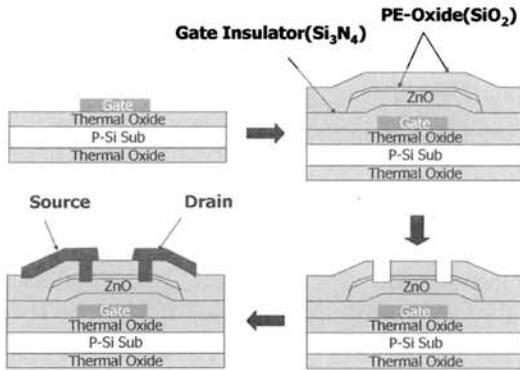


그림 1. Bottom Gate ZnO TFT를 제작하기 위한 공정 순서도.

Fig. 1. Process flow for fabrication of bottom gate ZnO TFT.

용하여 bottom-gate ZnO TFT 구조를 제작하였고, 전기적인 특성 및 구조적인 특성을 비교 분석하였다.

## 2. 실험

Si 기판을 thermal oxidation 500 nm로 절연시킨 후, bottom gate를 형성하기 위해 RF magnetron sputter를 이용하여 상온에서 Ti gate layer 100 nm를 증착하였다. Gate insulator는 PE-CVD 장치를 이용하여 150°C에서 Si<sub>3</sub>N<sub>4</sub> film 200 nm를 증착하였으며, active layer인 ZnO는 RF magnetron sputter 장치에서 표 1과 같은 조건으로 진행되었다.

ZnO layer의 passivation을 위해 PE-CVD 장치를 이용하여 150°C에서 oxide 50 nm를 증착하였으며, 이 후 층간 절연을 위해 역시 150°C에서 PE-CVD로 oxide 300 nm를 증착하였다. Source/drain pad의 형성은 RF magnetron sputter를 이용하여 room temp에서 Ti 20 nm/Al 200 nm[7]를 증착하였다. 공정 진행 순서는 그림 1과 같다.

Bottom gate pattern은 mask aligner를 이용하여 photo lithography 공정으로 PR pattern을 형성

표 2. ZnO 건식 식각 조건.

Table 2. Dry etching condition of ZnO.

Plasma source	ICP
Top rf power	1200 W
Bottom rf power	250 W
DC bias	-300 V
Pressure	5 mT
Gas flow rate	Cl <sub>2</sub> /Ar = 10/20 sccm
VAT valve	38% open
Substrate temp	60°C

한 후, ICP380 metal etcher에서 Cl<sub>2</sub> 와 BCl<sub>3</sub>, N<sub>2</sub> Gas를 이용하여 Ti film을 dry etch 하였다. Active pattern의 형성은 mask aligner로 PR pattern을 형성한 후, passivation oxide를 제거하기 위해 MERIE type의 P5000 oxide etcher로 CHF<sub>3</sub>, CF<sub>4</sub>, Ar Gas를 이용하여 oxide를 제거하고, ICP380 metal etcher를 이용하여 표 2와 같은 조건으로 ZnO active layer를 dry etch하였다[8].

Contact pattern의 형성은 PR patterning 후 MERIE type의 P5000으로 dry etching을 하였는데, 이 때 active 위와 bottom gate 위에 동시에 contact이 형성되어야 함으로 인해, bottom gate까지 dry etch 되는 동안 active layer인 ZnO에 plasma damage가 발생하는 것을 방지하기 위해 ZnO active patterning 시 gate insulator 200 nm 중 100 nm를 미리 dry etch하여 etch되는 target을 비슷하게 가져감으로서 plasma damage를 최소화 하였다. Source/drain pad의 형성은 PR patterning 후 P5000 metal etcher를 이용하여 dry etch하여 bottom gate TFT를 완성하였다. Lithography 및 dry etch 후 polymer 및 particle를 제거하기 위해 PR strip & cleaning은 ZnO가 반응하지 않는 solvent 용액으로 ultrasonic 조건에서 진행한 후 spin dry 하였다. 제작된 bottom gate ZnO TFT의 측정 및 분석방법은 다음과 같다. ZnO 및 gate insulator film의 두께는 ellipsometer로 각각 측정하였으며, 전기적인 특성은 keithley사의 probe station을 이용하여 I-V 및 C-V 를 측정하였다. ZnO channel 두께 별 구조적인 분석은 결정성 및 결정 방향 분석을 위해 XRD 를 하였으며, 두께에 따른 roughness 분석을 위해 SPM 분석을 하였다.

## 3. 결과 및 고찰

제작된 소자 중 channel의 두께가 60 nm의 경우의 I-V 특성은 그림 2 및 그림 3과 같다.

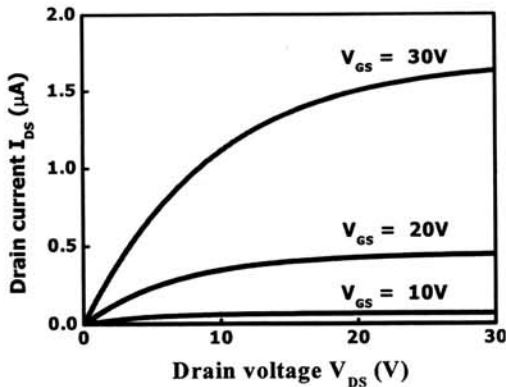


그림 2. 60 nm ZnO I<sub>DS</sub> - V<sub>DS</sub> 선도.  
Fig. 2. I<sub>DS</sub> - V<sub>DS</sub> curve of 60 nm ZnO.

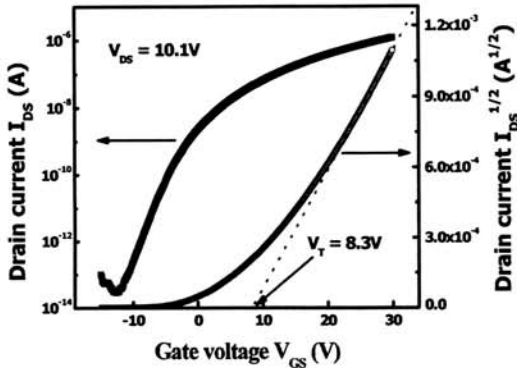


그림 3. 60 nm ZnO I<sub>DS</sub> - V<sub>GS</sub> 선도.  
Fig. 3. I<sub>DS</sub> - V<sub>GS</sub> curve of 60 nm ZnO.

그림 2는 I<sub>DS</sub>-V<sub>DS</sub> 곡선이다. 동일한 V<sub>GS</sub>하에서는 V<sub>DS</sub>가 증가하더라도 I<sub>DS</sub>는 크게 변하지 않으나, V<sub>GS</sub>의 변화에 따른 변화폭은 매우 큼을 알 수 있다. 그림 3은 I<sub>DS</sub>-V<sub>GS</sub> 곡선이다. 문턱전압은 V<sub>DS</sub>를 10.1 V로 인가하였을 때의 V<sub>GS</sub>의 변화에 따른 I<sub>DS</sub>의 제곱근 값을 미분한 peak치를 구하여 계산하였다. 계산된 각각의 ZnO Channel 두께에 따른 전기적인 특성을 요약하면 표 3과 같다.

여기서 subthreshold slop 및 threshold voltage의 경우 V<sub>DS</sub> 10.1 V인 조건에서 계산되었으며, on current는 V<sub>DS</sub>=20 V / V<sub>GS</sub>=30 V, off current는 V<sub>DS</sub>=20 V / V<sub>GS</sub>=0 V, field effect mobility, μ<sub>FE</sub>는 V<sub>DS</sub>=20 V / V<sub>GS</sub>=30 V인 조건에서 비교되어졌다. μ<sub>FE</sub>는 아래의 식 (1)에 의해 계산되었으며, V<sub>DS</sub> > V<sub>GS</sub> - V<sub>T</sub>보다 큰 saturation 영역에서 계산되었다[9].

표 3. ZnO TFT 두께별 전기적인 특성.

Table 3. Electrical characteristics as ZnO thickness.

	40nm	60nm	80nm	Condition
V <sub>T</sub>	14.9V	6.9V	8.9V	V <sub>DS</sub> =5.1V
I <sub>ON</sub>	4.7 × 10 <sup>-8</sup> A	1.5 × 10 <sup>-6</sup> A	3.9 × 10 <sup>-6</sup> A	V <sub>DS</sub> =20V V <sub>GS</sub> =30V
I <sub>OFF</sub>	6.4 × 10 <sup>-12</sup> A	2.0 × 10 <sup>-9</sup> A	2.4 × 10 <sup>-9</sup> A	V <sub>DS</sub> =20V V <sub>GS</sub> =0V
I <sub>ON/OFF</sub>	7.3 × 10 <sup>3</sup>	7.5 × 10 <sup>2</sup>	1.6 × 10 <sup>3</sup>	
Slope	5.3 V/decade	2.2 V/decade	4.0 V/decade	V <sub>DS</sub> =5.1V
μ <sub>FEsat</sub>	0.01 cm <sup>2</sup> V <sup>-1</sup> s <sup>-1</sup>	0.23 cm <sup>2</sup> V <sup>-1</sup> s <sup>-1</sup>	0.72 cm <sup>2</sup> V <sup>-1</sup> s <sup>-1</sup>	V <sub>DS</sub> 20V V <sub>GS</sub> 30V

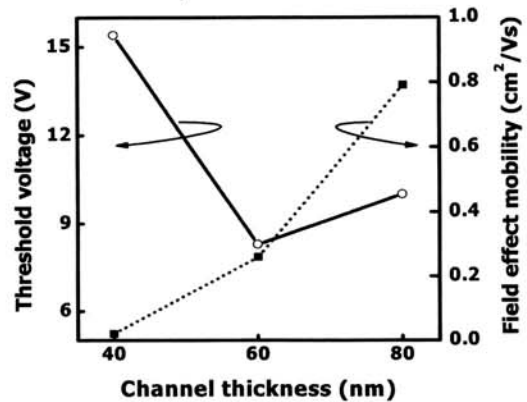


그림 4. ZnO 두께에 따른 V<sub>T</sub> 및 mobility의 변화.  
Fig. 4. V<sub>T</sub> and mobility as ZnO thickness.

$$I_{DS} = \frac{1}{2} \mu_{FE} C_{nit} \frac{W}{L} (V_{GS} - V_T)^2 \quad (1)$$

여기서 W는 채널의 폭이며, L은 gate의 길이, C<sub>nit</sub>는 gate 절연막의 전하량이다. C<sub>nit</sub>의 값은 W/L = 50 μm/100 μm 인 Pattern에서 C-V 측정에 의해 구해졌다. Subthreshold slop S는 식 (2)에 의해 계산되었으며, V<sub>GS</sub> < V<sub>T</sub>보다 작은 영역에서 계산되었다.

$$S = \frac{dV_G}{d(\log I_{DS})} \quad (2)$$

표 3에서 ZnO 채널 두께 별 V<sub>T</sub> 및 mobility의 변화를 정리해 보면 그림 4와 같다. 그림 4에서 채널 두께가 두꺼워지면 V<sub>T</sub>는 감소하고 mobility는 증가함을 알 수 있다.

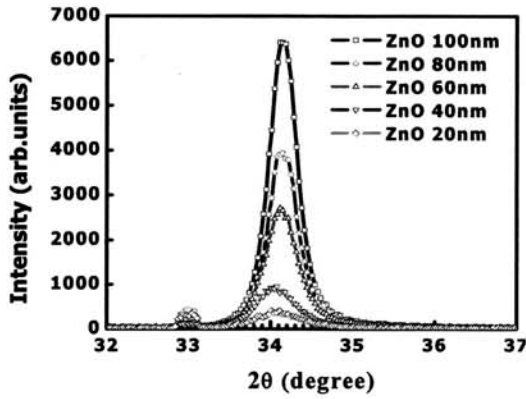


그림 5. ZnO 두께에 따른 XRD.  
Fig. 5. XRD as ZnO thickness.

이상과 같은 측정 결과를 분석하기 위해 XRD 및 SPM 분석을 하여 ZnO 두께 변화에 따른 유의차를 비교하였다. XRD 및 SPM 분석은 p-Si 기판에 SiO<sub>2</sub> 100 nm가 oxidation된 별도의 시편에 ZnO를 sputtering하여 분석하였다. 그림 5는 XRD 결정성 분석 결과이다. 2θ 값 34.1도에서 ZnO (002) 방향의 peak가 관찰되었다. 2θ 값 32.9도에서도 미세한 peak가 관찰되는데, 이는 기판인 Si의 (002) 방향 결정성이다.

ZnO의 두께에 따른 회절각의 peak치와 반가폭을 비교해 보면 두께가 두꺼워짐에 따라 peak치가 올라감을 알 수 있고, 반가폭은 20 nm에서 0.62°, 40 nm에서 0.56°, 60 nm에서 0.47°, 80 nm에서 0.42°, 100 nm에서 0.39°로 두꺼워 질수록 감소함을 알 수 있다. Scherrer의 공식에 의해 결정 크기를 아래의 식 (3)으로 구할 수 있다.

$$D = \frac{0.89\lambda}{B(\cos\theta_b)} \quad (3)$$

여기서 D는 결정 크기, λ는 x-ray 파장으로 주어진 값, B는 반가폭, θ<sub>B</sub>는 Bragg's angle이다. 계산된 결정 크기는 20 nm에서 133 Å, 40 nm에서 146 Å, 60 nm에서 175 Å, 80 nm에서 196 Å, 100 nm에서 210 Å이다. 이것으로 증착 시간이 길어지면 확산에 의한 결정화가 더 진행되어 결정 크기가 커지고, 반가폭이 줄어들어 결정성이 향상되는 것을 확인 할 수 있다.

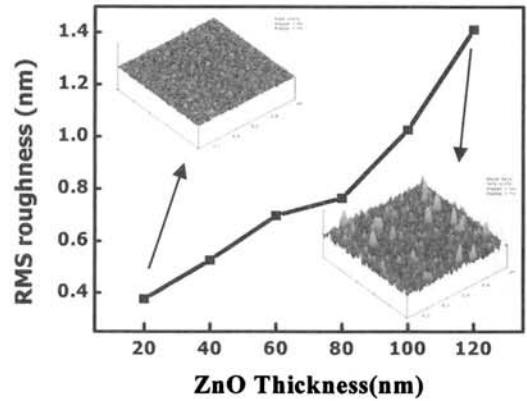


그림 6. ZnO 두께에 따른 AFM 조도.  
Fig. 6. AFM roughness as ZnO Thickness.

그림 6은 SPM 결과이다. 분석은 1 μm × 1 μm 영역을 scan하여 이루어졌다. ZnO 두께가 두꺼워 질수록 RMS 표면조도가 0.4 nm에서 1.4 nm로 커짐을 알 수 있고, XRD 결과와도 일치한다. XRD와 SPM 분석에서, ZnO의 두께가 두꺼워 질수록 결정 크기가 커짐으로[10,11], 결정 경계면에서의 전자 산란이 줄어들어 채널 저항이 감소함을 알 수 있고, 이 영향으로 V<sub>T</sub>가 낮아지고 mobility가 증가하는 것을 설명할 수 있다. 그러나 본 실험에서 V<sub>T</sub>의 경우 두께에 따라 계속 감소하는 것이 아니라 60 nm에서 80 nm로 가면서 약간 증가하는 경향을 보인다. 이것을 분석하고 재현성을 검증하기 위해 추가적인 실험을 진행 중에 있다.

#### 4. 결론

본 연구에서는 ZnO를 이용하여 150°C 이하의 low temp 공정을 통해 bottom-gate TFT를 제작한 후, ZnO channel layer의 두께 변화에 따른 전기적인 특성 변화 및 구조적인 특성을 관찰하였다. 이상과 같은 결과로 low temp process로 제작된 bottom gate ZnO TFT를 구현 할 수 있었으며, plastic 기판에의 활용도 가능성을 확인 할 수 있었다. 그리고 ZnO channel 두께에 따라 문턱전압, 전하이동도 및 subthreshold slop의 변화가 관찰되었는데, XRD 및 SPM 분석을 통해, 두께에 따른 결정성의 변화와 밀접하게 관련이 있는 것으로 나타났다.

### 감사의 글

본 연구는 나노종합팹센터의 연구비 지원 및 한국과학재단(No. R01-2007-000-20580-0)의 지원에 의한 것입니다.

### 참고 문헌

- [1] C. R. Gorla, N. W. Emanetoglu, S. Liang, W. E. Mayo, and H. Shen, "Structural, optical, and surface acoustic wave properties of epitaxial ZnO films", *J. Appl. Phys.*, Vol. 85, No. 5, p. 2595, 1999.
- [2] Bae H. S. and Yoon M. H., "Photodetecting properties of ZnO-based thin-film transistors", *Appl. Phys. Lett.*, Vol. 83, No. 25, p. 5313, 2003.
- [3] R. L. Hoffman, B. J. Norris, and J. F. Wager, "ZnO-based transparent thin-film transistors", *Appl. Phys. Lett.*, Vol. 82, No. 5, p. 735, 2003.
- [4] B. Y. Oh, M. C. Jeong, M. H. Ham, and J. M. Myoung, "Effects of the channel thickness on the structural and electrical characteristics of room-temperature fabricated ZnO thin-film transistors", *Semicond. Sci. Technol.*, Vol. 22, p. 608, 2007.
- [5] Y. K. Moon, D. Y. Moon, S. Lee, S. H. Lee, and J. W. Park, "Effects of oxygen contents in the active channel layer on electrical characteristics of ZnO-based thin film transistors", *J. Vac. Sci. Technol. B*, Vol. 26, No. 4, p. 1472, 2008.
- [6] 조신호, "O<sub>2</sub>/Ar 혼합 유량비를 변수로 갖는 라디오파 마그네트론 스퍼터링으로 성장된 ZnO 박막의 특성", *전기전자재료학회논문지*, 20권, 11호, p. 932, 2007.
- [7] 김한기, 이지면, "산화아연 반도체의 광전소자 응용을 위한 오믹접합 기술 개발동향", *전기전자재료*, 21권, 2호, p. 15, 2008.
- [8] S. R. Min, J. W. Lee, H. N. Cho, and C. W. Chung, "Etch characteristics of zinc oxide thin films in a Cl<sub>2</sub>/Ar plasma", *J. Korean Ind. Eng. Chem.*, Vol. 18, No. 1, p. 28, 2007.
- [9] T. Hirao, M. Furuta, T. Hiramatsu, and M. Kakegawa, "Bottom-gate ZnO TFTs for AM-LCDs", *IEEE Transactions on Electron Devices*, Vol. 55, No. 11, p. 3139, 2008.
- [10] S. Kishimoto, T. Yamamoto, Y. Nakagawa, K. Ikeda, H. Makino, and T. Yamada, "Dependence of electrical and structural properties on film thickness of undoped ZnO thin films prepared by plasma-assisted electron beam deposition", *Superlattices and Microstructures*, Vol. 39, p. 306, 2006.
- [11] S. S. Lin and J. L. Huang, "Effect of thickness on the structural and optical properties of ZnO films by r.f. magnetron sputtering", *Surface & Coatings Technology*, Vol. 185, p. 222, 2004.