

전류모드에 따른 전해도금된 마이크로 비아의 전기적 특성 연구

Study on the Electric Characteristics of Electroplated Micro Vias with Current Mode

차두열¹, 강민석¹, 조세준¹, 장성필^{1,a}

(Doo-Yeol Cha¹, Min-Suck Kang¹, Se-Jun Cho¹, and Sung-Pil Jang^{1,a})

Abstract

In order to get more higher integration density of devices, it is getting to be used more and more micro via interconnection lines for interconnecting layers or devices. However, it is very important to enhance the electrical characteristic by reducing the electrical resistivity of micro via interconnection line because it affects the reliability of packaging. In this paper, Micro vias were patterned with a diameter from 10 to 100 μm by increasing the step of 10 μm and 100 μm height and were fabricated by micromachining technology to investigate the electrical characteristic of micro via interconnection lines. These micro vias were filled with copper by electroplating process with applying pulse current mode. And the electrical characteristics of micro via interconnection lines were measured. The measured value of electrical resistivity shows with a range from 20 to 26 $\text{m}\Omega$. This value from micro via interconnection lines fabricated by pulse current mode electroplating process shows better result than the resistivity from than micro via interconnection lines fabricated by DC mode (31 $\text{m}\Omega$).

Key Words : Micro via, Current mode, Micro machining technology, Resistivity

1. 서론

지식 정보화 사회의 고도화에 따라 정보 전송량에 대한 수요가 급격하게 증가하고 있으며, 이에 따른 전송용량의 수요를 충족시키기 위한 수단으로 광도파로가 포함된 인쇄회로기판인 광 PCB가 대두하고 있다. 이제까지 광 PCB 모듈은 다수의 광소자와 IC 칩의 이차원적 배열에 의하여 이루어져 왔다. 그러나 최근 제품의 소형화, 경량화가 급격히 진행됨에 따라 반도체 칩을 2차원적으로 배열하여서는 원하는 크기와 성능을 얻는데 한계에 도달하게 되어 광 PCB를 3차원으로 적층하는 3D 패키지에 대한 연구가 진행되고 있다[1-4].

광 PCB의 적층형 패키지는 크기 및 무게의 현

저한 감소와 더불어 단위면적당 소자 기능의 증가 및 공정가격 저하 등의 여러 장점을 지니고 있다.

그러나 현재 상용되고 있는 적층형 패키지에서는 적층된 광 PCB를 와이어 본딩하고 있으나, 이와 같은 와이어 본딩에 의해 노이즈 증가에 따른 전기적 특성의 저하가 발생하며 패키지의 크기가 증가하는 문제점을 지니고 있다. 이에 따라 광 PCB에 비아홀을 형성하고 이를 Cu로 채운 후, 이를 3차원 전기적 연결을 사용함으로써 전기적 특성을 향상시키고 패키지의 크기를 감소시키고자 하는 연구들이 제안되고 있다. 비아홀의 구리 충전 시 비아 개구부의 모서리에 전류밀도가 집중되어 다른 부위보다 전착이 빠르게 진행됨으로써 비아홀의 입구가 막히게 되어 비아 내분의 완전충전이 불가능하게 되며 기공 또는 seam 같은 결함이 발생된다. 이러한 문제점을 해결하기 위해 구리 비아 충전에 대한 연구가 활발히 이루어지고 있다.

본 연구에서는 적층형 광 PCB 패키지 공정을 개발하기 위한 기초 연구로써 전류인가방식에 따른 Cu 비아의 전기적 특성을 분석하였다.

1. 인하대학교 전자공학과
(인천시 남구 용현동 253)

a. Corresponding Author : spchang@inha.ac.kr

접수일자 : 2008. 11. 24

1차 심사 : 2008. 12. 29

심사완료 : 2009. 1. 20

2. 본 론

2.1 시편제작

비아의 제작 공정은 크게 두 개로 나눌 수 있다. 측정을 위한 패드 제작 공정과 비아홀의 제작 공정이 바로 그것이다.

구리 비아의 제작을 위해 사용된 기판은 유리 기판(Pyrex 7740)으로 투명하여 뒷면도 쉽게 관찰할 수 있다는 장점을 가지고 있다(그림 2(a)). 유기 기판을 세정한 후에 점착력을 높이기 위해 80 °C 오븐에 30분 정도 가열한 후에 식히게 된다. 다음으로 RF 스퍼터를 이용하여 유리기판 위에 씨앗층을 형성하게 된다. 씨앗층은 타이타늄과 금으로 이루어져 있는데 점착층으로 이용되는 타이타늄은 400 W 의 전력으로 3분간 스퍼터링하여 20 nm 정도의 두께를 가지게 된다. 다음으로 전극의 연결과 씨앗층으로 이용되는 금을 스퍼터링 하게 되는데 250 W 로 6분간 공정을 진행하여 250 nm 정도의 두께를 가지게 된다(그림 2(b)). 씨앗층이 형성된 후에 패드 제작을 위한 패턴을 만들게 되는데, 유리 기판 위에 양성감광제인 AZ 4620 을 스프인코팅 방법으로 500 rpm - 5초, 3000 rpm - 30초 로 도포하게 된다(그림 2(c)). 그리고 소프트 굽기를 진행을 하게 되는데 110 °C 의 핫플레이트에서 3분간 가열하게 된다. 다음으로 패턴을 감광제 위로 전사시키기 위한 광학리소그래피 공정을 진행하게 되는데 520 mJ 의 에너지를 가진 빛을 마스크 위에 전사시키면 마스크의 패턴이 감광제 위에 새겨지게 된다. 그 후 AZ 4620 은 양성감광제이기 때문에 별도의 노광후 굽기 단계가 필요 없이 바로 현상을 하게 된다. AZ 400 MIF 현상액을 이용하여 약 4 분간 유리 기판을 현상하게 되면 약 7 um 정도의 두께를 가진 패드 패턴을 얻을 수 있다(그림 2(d)).

다음으로 실제적인 패드 제작을 위해 만들어진 패드 패턴으로 전해도금을 하게 된다(그림 2(e)).

표 1. 구리전해도금의 구성물질.

Table 1. Materials of copper bath.

물질	사용량
CuSO ₄ ·5H ₂ O	250 g
H ₂ SO ₄	50 ml
DI H ₂ O	1000 ml
Temperature	40 - 60 (°C)

비아는 다음 그림 1과 같은 형태로 여러 크기의 샘플이 제작하였다.

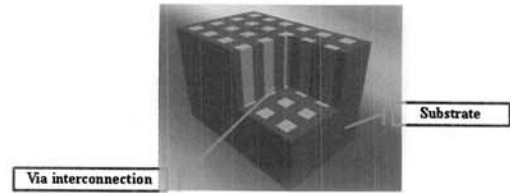


그림 1. Via interconnection의 3차원 모식도.
Fig. 1. 3D illustration of via interconnection.

다음 그림 2는 비아 제작 공정의 도식도를 나타낸 것이다.

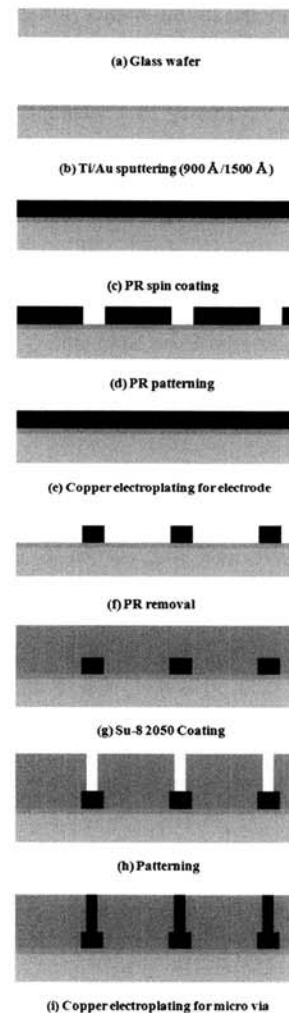
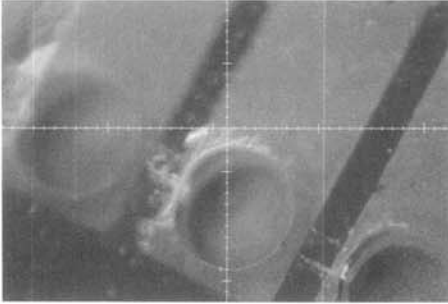
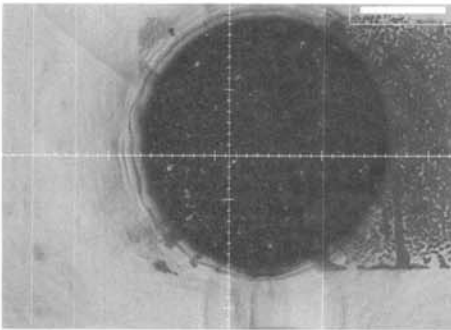


그림 2. 비아 구조의 공정도.
Fig. 2. Fabrication sequence of via structure.

그림 3(a)는 마이크로 비아를 전해도금 하기 전 인 그림 2(h)의 상태의 모습을 보여주고 있는 현미경 사진이며, 그림 3(b)는 반지름이 15 um 인 비아패턴에 구리가 전해도금된 현미경 사진이다.



(a) 마이크로 머시닝을 통해 패턴된 비아 구조
(a) Patterned via structure through micro machining technology



(b) 전해도금된 비아
(b) Electroplated via structure

그림 3. 제작된 시편.

Fig. 3. Fabricated samples.

구리 전해도금 용액은 표 1과 같은 방법으로 제작을 하였다. 구리 전해도금 용액의 환경은 60 °C 온도로 유지시키고 자기 막대를 60 rpm으로 회전시킨다. 그런 다음 전기 도금을 위해 구리 전해도금 용액 안에 전극을 형성한 후 양극(+)에 구리 금속판을 연결하고 음극(-)에 기판을 연결한 후 20 mA의 전류를 약 10분 정도 흐르게 하여 비아의 패드 부분을 형성하였다. 패드를 제작한 후에 비아를 만들게 되는데 우선 기판에 남아있는 감광제를 제거하게 된다(그림 2(f)). 아세톤을 이용하여 감광제를 제거한 후 세정과 건조 과정을 거친 후

에 SU-8 2050을 스핀코팅으로 500 rpm - 5초, 1000 rpm - 60초 로 진행하게 되면 100 um 의 두께를 가진 감광층을 얻을 수 있다(그림 2(g)). 또한 스핀코팅을 회전수나 시간을 조절하여 원하는 두께의 감광층을 도포할 수 있다.

감광제를 도포한 후에 소프트 굽기를 하는데 2 단계로 진행이 된다. 우선 65 °C 의 핫플레이트에 6분간 가열한 후에 95 °C 의 핫플레이트에서 20분간 가열한다. 이 과정에서 휘발성 용제가 증발하게 된다. 이렇게 소프트 굽기를 한 후 몇 분간 기판을 식힌 후에 광학 리소그래피를 하게 된다. 노광기(MJB4)를 이용하여 650 mJ 의 에너지로 노출시켜 비아 패턴을 전사하게 된다.

그리고 음성 감광제인 SU-8 2050 은 노광후 굽기 과정이 필요하기 때문에 65 °C 의 핫플레이트에서 다시 2분간 가열한다. 다음은 현상을 하게 되는데 SU-8 developer 현상액을 이용하여 10분간 현상을 하게 되면 다음과 같은 형태의 비아 패턴을 제작할 수 있다(그림 2(h)).

완성된 비아 패턴을 24시간 자연건조 시킨 후에 비아 형성을 위한 전해도금을 진행하였다(그림 2(i)). 전해도금을 위해 1 mA/cm² 의 전류를 약 1 시간 정도 흐르게 하여 비아를 형성하였다. 또한 양질의 비아를 얻기 위해 펄스 전류를 인가하여 비아의 입구가 먼저 막혀 비아 내부에 결함이 생기는 것을 방지하였다. 이때 사용한 펄스전류모드는 동작전류 1 mA/cm², 동작시간 40 msec, 휴지 시간 10 msec의 조건이었다.

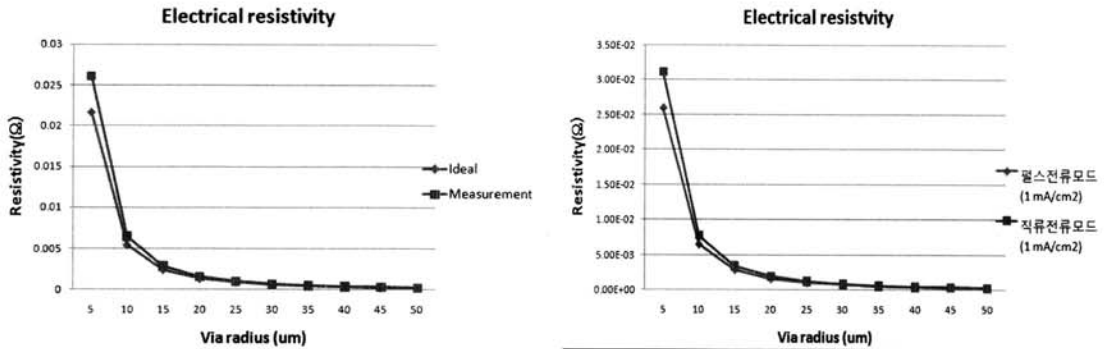
3. 결과 및 고찰

제작된 비아의 전기적 특성을 살펴보기 위해 비아의 저항치를 측정하였다. 4-point 프로브스테이션을 이용하여 측정을 하였고 그 결과 다음 그림과 같은 결과를 얻을 수 있었다. 본 논문에서 사용된 마이크로 비아의 이론치는 다음 식 (1)에 의해 얻을 수 있는 값이다.

$$R = \rho \frac{l}{A} \quad (1)$$

ρ : 비저항, l : 비아의길이, A : 비아의단면적

여기서 구리의 비저항(ρ)을 $1.7 \times 10^{-8} \Omega \cdot m$ 로 두고 계산하였다.

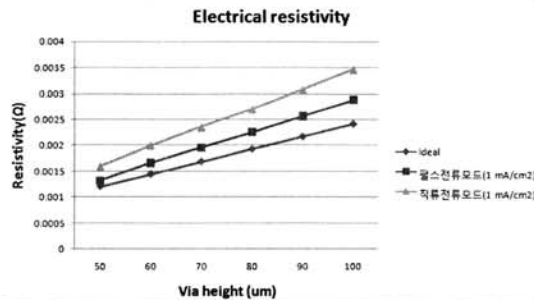


높이(100 μm)	측정값 (펄스전류모드)	이론값
반지름	저항값	저항값
5 μm	26 mΩ	21 mΩ
10 μm	6.5 mΩ	5.4 mΩ
15 μm	2.9 mΩ	2.4 mΩ
20 μm	1.6 mΩ	1.3 mΩ
25 μm	1 mΩ	0.8 mΩ
30 μm	0.73 mΩ	0.6 mΩ
35 μm	0.54 mΩ	0.4 mΩ
40 μm	0.41 mΩ	0.33 mΩ
45 μm	0.32 mΩ	0.26 mΩ
50 μm	0.26 mΩ	0.21 mΩ

높이(100 μm)	펄스전류모드	직류전류모드
반지름	저항값	저항값
5 μm	26 mΩ	31.2 mΩ
10 μm	6.5 mΩ	7.8 mΩ
15 μm	2.9 mΩ	3.46 mΩ
20 μm	1.6 mΩ	1.95 mΩ
25 μm	1 mΩ	1.25 mΩ
30 μm	0.73 mΩ	0.87 mΩ
35 μm	0.54 mΩ	0.64 mΩ
40 μm	0.41 mΩ	0.5 mΩ
45 μm	0.32 mΩ	0.38 mΩ
50 μm	0.26 mΩ	0.31 mΩ

(a) 이론치와 측정치의 저항치 비교
 (a) Comparison between measured values and calculated values

(b) 펄스전류 모드와 직류전류 모드의 저항치 비교
 (b) Comparison between resistivity by pulse current mode and resistivity by direct current mode



반지름(15 μm)	이론치	펄스전류모드	직류전류모드
높이	저항값	저항값	저항값
50 μm	1.2 mΩ	1.32 mΩ	1.59 mΩ
60 μm	1.4 mΩ	1.66 mΩ	1.99 mΩ
75 μm	1.7 mΩ	1.95 mΩ	2.34 mΩ
80 μm	1.9 mΩ	2.25 mΩ	2.70 mΩ
95 μm	2.2 mΩ	2.57 mΩ	3.08 mΩ
100 μm	2.4 mΩ	2.89 mΩ	3.46 mΩ

(c) 비아 높이에 따른 전기저항 비교
 (c) Comparison of electrical resistivity through varius via height

그림 4. 측정치.
 Fig. 4. Measured data.

그림 4(a)에서 보듯이 대부분의 경우 실제의 저항치는 이론치 보다 큰 것을 알 수 있었다. 그 이유는 비아 내부에 생성된 기공이나 Seam 등의 결합으로 인한 것으로 보이며 비아홀의 크기가 큰 경우의 실제치와 이론치의 차이가 작은 경우보다 심한 것을 알 수 있었다. 이것은 비아홀의 크기가 큰 경우 전해도금 과정 중에 결합이 생길 수 있는 여지가 더 크다는 것을 말한다. 그러나 그림 (b)에서는 직류전류를 인가한 경우보다 펄스 전류를 인가한 경우가 저항이 낮아 전기적 특성이 훨씬 우수하다는 것도 알 수 있었다. 또한 그림 4(c)와 같이 비아의 높이의 변화에 관계없이 펄스전류모드의 전해도금이 직류전류모드의 전해도금보다 우수한 전기적 성능을 가진 마이크로 비아를 형성할 수 있음을 알 수 있다. 이는 펄스전류를 인하여 홀 입구에서 구리 이온의 정체현상이 억제됨으로써 일어난 것이라고 생각된다.

4. 결론

본 논문은 향후 적층형 패키징 기술의 중요한 요소가 될 높은 종횡비의 마이크로 비아 형성을 위하여 기본 직류 전류 전해도금의 단점을 보완하기 위하여 펄스 전류 전해도금 기술을 적용하였다. 그 결과 우수한 전기적 특성을 지닌 3차원 Interconnection을 위한 마이크로 비아의 제작하였다. 전해도금을 통하여 반경이 5 μm , 높이가 100 μm 비아의 제작시 펄스 전류를 인가하여 비아를 제작하였을 때 26 $\text{m}\Omega$ 의 저항을 얻을 수 있었고 직류 전류를 인가하여 비아를 제작한 경우 31 $\text{m}\Omega$ 의 저항을 얻을 수 있었다. 이것은 펄스전류를 인가하여 형성된 비아의 전기적 특성이 우수하다는 것을 말해주고 있다. 그 원인은 직류전류를 인가하여 도금한 경우 비아의 입구에 높은 전류밀도와 높은 이온농도로 인해 입구 도금층 성장이 빨라 입구가 우선적으로 막혀 비아 내부에 결합이 생성되기 때문이다. 또한 전해도금 후에 CMP (Chemical-Mechanical Polishing) 공정을 진행하지 않아서 비아의 높이가 약 1 μm 정도로 오차가 나타난 점이 이번 실험에서 개선되어야 할 점이다.

감사의 글

본 연구는 인하대학교 집적형 광자기술센터의

“OPCB 설계 및 표준화” 연구사업 지원으로 수행됨.

참고 문헌

- [1] S. F. Al-Sarawi, D. Aboott, and P. D. Franzon, "A review of 3-D packaging technology", *IEEE Trans. on Comp. Packag. Manufact. Technol.*, Vol. 21, No. 1, p. 2, 1988.
- [2] 주철원, 임성훈, 한병성, "감광성 BCB를 이용한 절연막층에서의 비아형성", *전기전자재료학회논문지*, 14권, 5호, p. 351, 2001.
- [3] 이영민, "광소자 패키징 기술", *전기전자재료*, 16권, 8호, p. 10, 2003.
- [4] M. Hirano, K. Nishikawa, I. Toyoda, S. Aoyama, S. Sugitani, and K. Tamassaki, "Three-dimensional interconnect technology for ultra-compact MMICs", *Solid-state Electro.*, Vol. 41, No. 10, p. 1451, 1997.
- [5] 신용덕, 조인철, "세라믹 다층 기능 패키지", *전기전자재료*, 13권, 7호, p. 14, 2000.
- [6] R. Crowley, "Three-dimensional electronics packaging", *Tech. Rep. Tech Search Int. Inc. Austin*, p. 7, 1995.
- [7] K. Takahashi, T. Yoshihiro, Y. Yasuhiro, H. Masataka, S. Tomotoshi, M. Tadahiyo, S. Masahiro, and B. Manabu, "Current status of research and development for three-dimensional and chip stack technology", *Jpn. J. Appl. Phys.*, Vol. 40, p. 3031, 2001.
- [8] P. Ramm, "Three-dimensional metallization for vertically integrated circuits", *Microelectron. Eng.*, Vol. 37, p. 39, 1997.
- [9] C. H. Seah, S. Mridha, and L. H Chan, "DC/pulse plating of copper for trench/via filling", *J. Mater. Process. Technol.*, Vol. 114, p. 233, 2001.
- [10] T. Kobayashi, H. Kawasaki, K. Mihara, and H. Honma, "Via-filling using electroplating for build-up PCBs", *Electrochimica Acta*, Vol. 47, p. 85, 2001.
- [11] D. Varadarajan, C. Y. Lee, and W. N. Gill, "A tertiary current onto high aspect ratio sub-0.25 μm trenches", *J Electrchem. Soc.*, Vol. 147, p. 3382, 2000.